

# 一种基于电平位移电路的低电压全摆幅 CMOS 运放

潘学文, 周继承, 郑旭强

(中南大学 物理科学与技术学院, 湖南 长沙, 410083)

**摘要:**为解决阈值电压对电源电压和输入信号的受限问题,提出一种实用的电平位移电路,为运放的输入级提供良好的电平位移。采用互补金属氧化物半导体(CMOS) 0.5  $\mu\text{m}$  工艺设计的低电压全摆幅 CMOS 运算放大器,中间级采用适合低电压工作的低压宽摆幅共源共栅结构,输出级采用传统的 Class A 类得到轨至轨的输出。采用 Hspice 软件对所设计的电路进行仿真。研究结果表明:当电源电压降至或者小于 NMOS 与 PMOS 的阈值电压之和时,在任何共模输入电压下,该运放都能正常工作,实现输入级的全摆幅和恒跨导;在 1.3 V 单电源供电情形下直流开环增益达 106.5 dB,单位增益带宽为 2.3 MHz,功耗 178.8  $\mu\text{W}$ 。电路结构简单紧凑,具有实用的电平位移功能,适合于低电压应用。

**关键词:** CMOS 运放;全摆幅;仿真;电平位移技术

中图分类号: TN 402

文献标志码: A

文章编号: 1672-7207(2010)04-1473-05

## A level-shifting circuit based on low-voltage rail-to-rail CMOS op-amp

PAN Xue-wen, ZHOU Ji-cheng, ZHENG Xu-qiang

(School of Physics Science and Technology, Central South University, Changsha 410083, China)

**Abstract:** A level-shifting circuit was proposed to solve the supply voltage and input signal limited by threshold voltage, which offers a level-shifting voltage for input stage. A low-voltage rail-to-rail op-amp was designed by CMOS 0.5  $\mu\text{m}$ , the middle gain stage uses the low voltage, wide swing cascade structure which is suitable to work in low voltage, and the output stage uses the traditional class A to reach rail-to-rail. With a single 1.3 V supply voltage, the whole circuit was simulated in Hspice. The results show that when the supply voltage is equal to or lower than the sum of NMOS threshold voltage and PMOS threshold voltage, the op-amp can also work well in any common mode input voltage. It reaches rail-to-rail common mode input range and constant  $g_m$ . The direct current gain is 106.5 dB while the unit gain bandwidth is 2.3 MHz, and 178.8  $\mu\text{W}$  power dissipation. For its simple and compact structure, this op-amp cell is suitable for low voltage application.

**Key words:** CMOS op-amp; rail-to-rail; simulation; level-shifting technique

近年来,随着 CMOS 工艺的发展,器件特征尺寸减小,集成电路的集成度提高,使得集成电路向着低压低功耗的方向发展<sup>[1-2]</sup>。为了适应低压低功耗的发展趋势,低电压、高功耗、高性能的模拟电路单元的设计成为人们关注的焦点<sup>[3-4]</sup>。而运算放大器作为模拟电路的最主要的组成单元,也越来越受到重视。电源电

压的降低对运算放大器的最大影响就是输入和输出信号的动态幅度大大减小<sup>[5-6]</sup>。为了增加其输入、输出电压范围和信噪比,迫切需要设计具有全摆幅输入、输出能力的运算放大器。传统的全摆幅运放的实现主要是依靠互补的 PMOS 和 NMOS 的差分对来实现共模电压从 0 V 到电源电压的工作范围,满足其工作条

收稿日期: 2009-08-17; 修回日期: 2009-11-10

基金项目: 国家自然科学基金资助项目(60371046); 湖南省国际合作项目(1713-394201034)

通信作者: 周继承(1963-), 男, 湖南长沙人, 博士, 教授, 从事微纳电子材料与器件等研究; 电话: 13873193957; E-mail: jicheng@mail.csu.edu.cn

件的电源电压最小为  $V_{\text{sump,in}}=V_{\text{thn}}+V_{\text{thp}}+2V_{\text{dsat}}$ (即 NMOS 与 PMOS 的阈值电压和与负载进入饱和区电压之和, 其中:  $V_{\text{sump,in}}$ ,  $V_{\text{thn}}$ ,  $V_{\text{thp}}$  和  $V_{\text{dsat}}$  分别为电源电压最小值、管开启电压、p 管开启电压、饱和电压)<sup>[7]</sup>。当电源电压进一步降低时, 由于阈值电压和进入饱和区的电压都不会随着电源电压等比例降低, 这样 PMOS 差分输入对和 NMOS 差分输入对的工作范围将无法重合, 从而导致从  $V_{\text{dd}}-V_{\text{thp}}-V_{\text{dsat}}$  到  $V_{\text{thn}}+V_{\text{dsat}}$  的范围内运放不能正常工作<sup>[8-9]</sup>。此时, 若不提高工艺成本, 采用低阈值电压的输入差分对, 则必须对现有的电路形式进行改进。为此, 本文作者针对低电源电压运算放大器设计问题, 提出一种简单实用的电平位移电路<sup>[10-13]</sup>, 当电源电压降至或者小于  $V_{\text{sump,in}}$  时, 也能使运放在任何共模输入电压下正常工作, 达到良好的性能。

### 1 电平位移电路原理分析

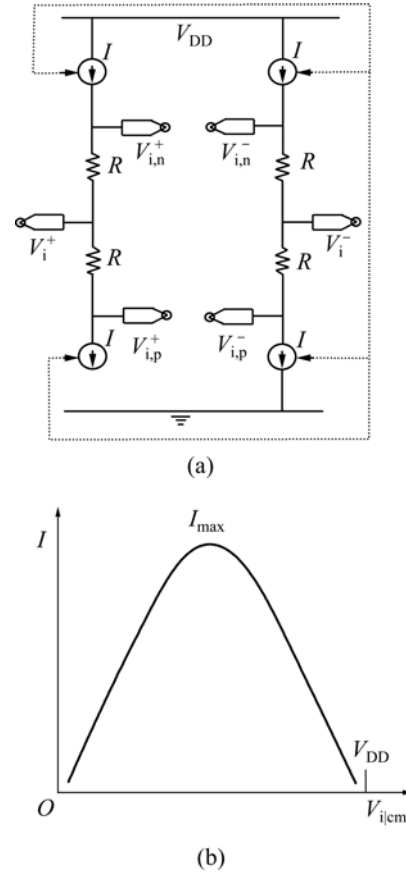
运算放大器的输入级是运放的重要组成部分, 其主要作用是放大输入的差分信号, 同时有效抑制共模信号。共模输入范围是运放输入级的一个重要参数。当在输入共模电压范围内时, 即使输入很小的差分信号, 输入级都能正常工作<sup>[14]</sup>。因此, 在设计运放输入级时, 应使共模输入电压保持在共模输入范围内。此外, 运放的其他重要性能参数如输入相关噪声、失调和共模抑制比等也都是由输入级决定的<sup>[15]</sup>。

本文设计的电平位移电路由适配器和非线性电流产生器组成, 其原理如图 1 所示。在适配器(图 1(a))中, 运放的输入端( $V_{\text{i}}^+$  和  $V_{\text{i}}^-$ )通过电阻连接到 N 型差分输入对和 P 型差分输入对的输入端( $V_{\text{i,n}}^+$ ,  $V_{\text{i,n}}^-$  和  $V_{\text{i,p}}^+$ ,  $V_{\text{i,p}}^-$ ), N 型差分输入对的输入端在上端, P 型差分输入对的输入端在下端。非线性电流产生器产生非线性电流  $I$ (图 1(b)), 在中间电压区域电流  $I$  达到最大, 而在接近 0 V 和电源电压时, 电流  $I$  变得越来越小, 并通过电流镜电路复制到适配器。因此, 在电阻上的压降(即产生的位移电平)在中间电压区域达到最大, 而在接近 0 V 和电源电压时, 电阻上的压降越来越小。对于运放的输入共模电压, 由于存在电平位移, 相对地降低了 N 型差分输入对的开启电压, 提高了 P 型差分输入对的截止电压, 拓宽了输入级的共模输入范围。因此, 当电源电压降低至甚至小于  $V_{\text{sump,in}}$  时, 合理的电流  $I$  和电阻  $R$ , 就能使运放在任何共模输入电压下正常工作:

$$V_{\text{i,n|cm}} = V_{\text{i|cm}} + I \times R \quad (1)$$

$$V_{\text{i,p|cm}} = V_{\text{i|cm}} - I \times R \quad (2)$$

式中:  $V_{\text{i|cm}}$  为运放输入共模电压,  $V_{\text{i,n|cm}}$  和  $V_{\text{i,p|cm}}$  分别为 NMOS 差分输入对和 PMOS 差分输入对的共模电压。



(a) 适配器; (b) 非线性电流

图 1 电平位移电路原理图

Fig.1 Principle schematic of voltage level shifting

### 2 总体电路设计与分析

本文所设计的总体电路如图 2 所示。总体电路由电平位移电路、输入级、中间放大级和输出级组成。MS1-MS12, M7-M12 和 4 个电阻  $R$  构成了电平位移电路, 其中: MS1, MS2, MS3 和 MS4 组成互补的 PMOS 和 NMOS 的差分对, 互补差分对的输入端接至运放的输入端; MS6 作为 P 型差分对的电流源, 其产生的电流为  $I_{\text{bp}}$ , 通过 MS7 镜射至 MS8; MS5 作为 NMOS 差分对的电流源, 其产生的电流  $I_{\text{bn}}$ , 分别通过 MS9, MS10 和 MS11 镜射至 MS12,  $I_{\text{b}}$  为恒电流源;  $C_1$  和  $C_2$  为补偿电容。在共模输入电压下  $I_{\text{bp}}$ ,  $I_{\text{bn}}$  和  $I$  的关系如图 3 所示。其中:

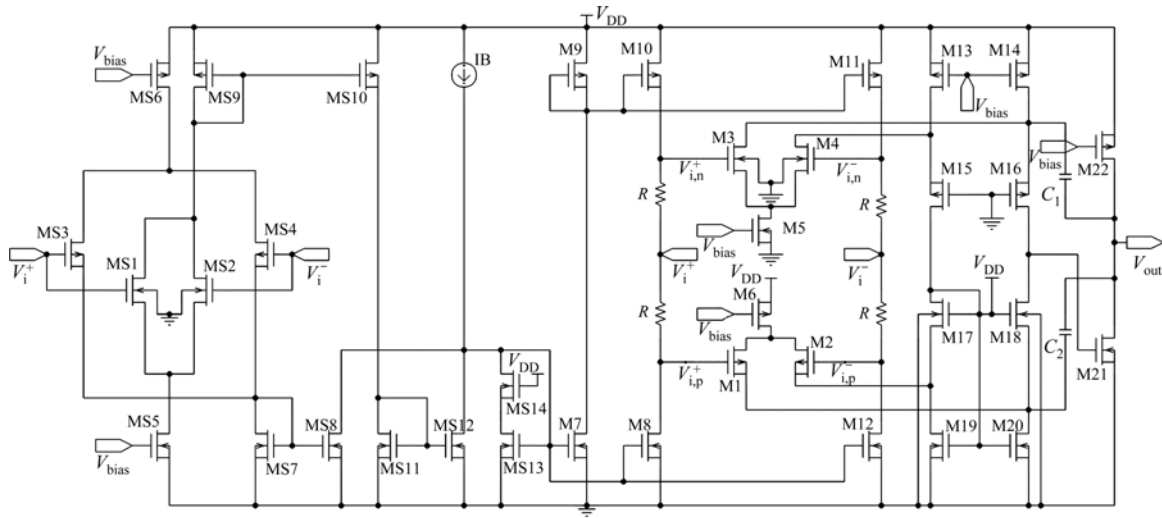


图 2 运放总体电路图

Fig.2 Schematic of whole op-amp circuit

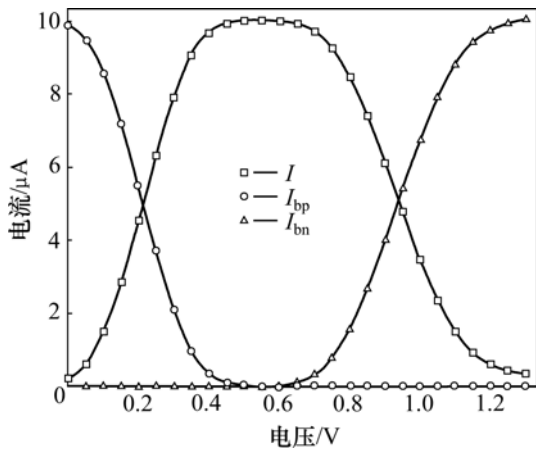


图 3 位移电路中的电流

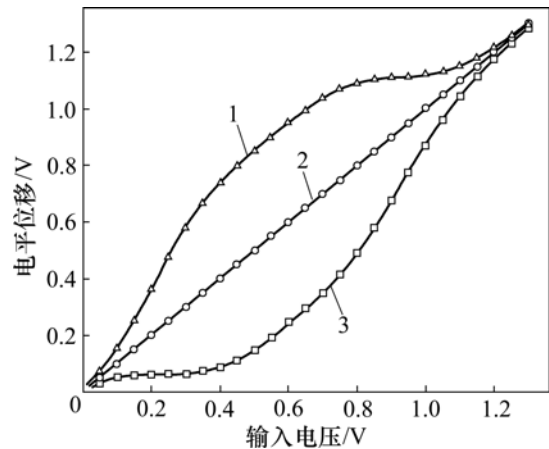
Fig.3 Currents in level-shift circuit

$$I = I_{MS11} = I_B - I_{MS6} - I_{MS10} = I_B - I_{bp} - I_{bn} \quad (3)$$

$$I_B = I_{bn|max} = I_{bp|max} \quad (4)$$

电流  $I$  经 M7-M12 组成的电流镜电路复制到输入级差分对输入端, 流经电阻  $R$  产生压降, 得到电平位移。由于电平位移电路中引入了电阻, 运放的输入端存在直流通路, 输入阻抗有所降低, 会引起运放的增益有所下降等影响, 但可以通过运放中间放大级来补偿。本文中,  $I_B=10 \mu A$ ,  $R=40 \text{ k}\Omega$ , 采用 CMOS  $0.5 \mu\text{m}$  工艺,  $V_{thp}$  为  $-0.95 \text{ V}$ ,  $V_{thn}$  为  $0.73 \text{ V}$ , 采用  $1.3 \text{ V}$  单电源供电。图 4 所示为运放输入共模电压  $V_{i,cm}$ ,  $V_{i,n,cm}$  和  $V_{i,p,cm}$  之间的关系。从图 4 可看出: 电平位移之差在中间电压区域达到最大, 而在接近  $0 \text{ V}$  和电源电压时越来越小。由式(1)和(2)可知: 对于运放的输入共模电

压, N 型差分输入对的开启电压降至  $0.33 \text{ V}$ , P 型差分输入对的截止电压提高至  $0.55 \text{ V}$ , 使得运放的输入级在任何输入共模电压下正常工作。



1— $V_{i,n,cm}$ ; 2— $V_{i,cm}$ ; 3— $V_{i,p,cm}$

图 4 运放输入共模电压

Fig.4 Common mode voltage of op-amp

输入级由 M1-M6 管组成, M1 和 M2 组成 PMOS 差分对, M3 和 M4 组成 NMOS 差分对。在整个共模输入电压内, 输入级工作在 3 个区域: 当共模输入电压向  $0 \text{ V}$  方向变化时, PMOS 差分对工作, 输入跨导为  $g_{mp} = \sqrt{\beta_p I_p}$  (式中:  $\beta_p$  为放大倍数,  $I_p$  为电流); 当共模输入电压为电源中间值时, 2 对差分对都工作, 输入跨导为  $g_m = g_{mp} + g_{mn} = \sqrt{\beta_p I_p} + \sqrt{\beta_n I_n}$ ; 当共模输入电压向电源电压方向变化时, NMOS 差分对工作,

输入跨导为  $g_{mn} = \sqrt{\beta_n I_n}$ 。其中： $\beta = \mu C_{ox} \frac{W}{L}$ ； $\mu$

为空穴或电子在沟道表面的迁移率； $C_{ox}$  为 MOS 管栅氧化层单位面积电容。设置合理的参数，使得  $\beta_n = \beta_p$  且  $\sqrt{I_p} + \sqrt{I_n}$  之和为常数，就能保证输入级的跨导基本保持恒定。

中间级采用适合低电压工作的低压宽摆幅共源共栅结构。折叠式共源共栅中间放大级构成加法电路，从差分对输出的电流进入此加法电路后，通过由 M19 和 M20 组成的电流镜实现双端到单端的转换，输出给下一级电路，输出级则采用较为传统的 Class A 类输出级来得到轨至轨的输出。

### 3 运放的仿真

运用 Hspice 仿真工具，采用 CMOS 0.50  $\mu\text{m}$  工艺以及 Level49 的参数模型，对图 2 所示运算放大器进行模拟仿真(常温下)，运放性能参数如表 1 所示。采用 1.3 V 单电源供电，其功耗仅为 178.8  $\mu\text{W}$ 。

表 1 运放基本性能参数

Table 1 Basic performances of op-amp

电源电压/V	静态工作电流/ $\mu\text{A}$	功耗/ $\mu\text{W}$	直流开环增益/dB	相位裕度/ $^\circ$	单位增益带宽/MHz
1.3	137	178.8	106.5	72	2.3
正转换速度/ $(\text{V} \cdot \mu\text{s}^{-1})$	负转换速度/ $(\text{V} \cdot \mu\text{s}^{-1})$	共模抑制比/dB	电源抑制比/dB	输出电压摆幅/V	共模电压范围/V
4.68	3.29	75.45	68.43	0~1.3	0~1.3

输入级跨导随输入共模电压变化的结果如图 5 所示。从图 5 可以看出：输入级跨导为 55  $\mu\text{S}$ ，在整个共模电压范围内基本保持恒定，满足了运放对跨导恒定的要求。

将放大器接成开环结构，进行交流小信号分析，测量其频率响应，得到运放的频率响应和相频响应，结果如图 6 和图 7 所示。从图 6 可以看出：其低频增益达到了 106.5 dB，单位增益带宽为 2.3 MHz。从图 7 可以看出：相位裕度为 72 $^\circ$ 。将放大器接成电压跟随器的形式，从 0 V 到电源电压进行直流扫描，测量其单位增益响应，结果如图 8 所示。从图 8 可以看出：放大器的输入输出达到了整个工作电压范围，实现了全摆幅。

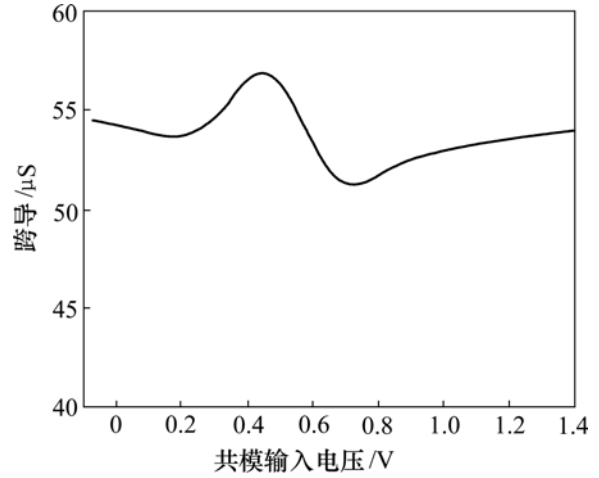


图 5 输入级跨导曲线

Fig.5 Curve of input stage tranconductance

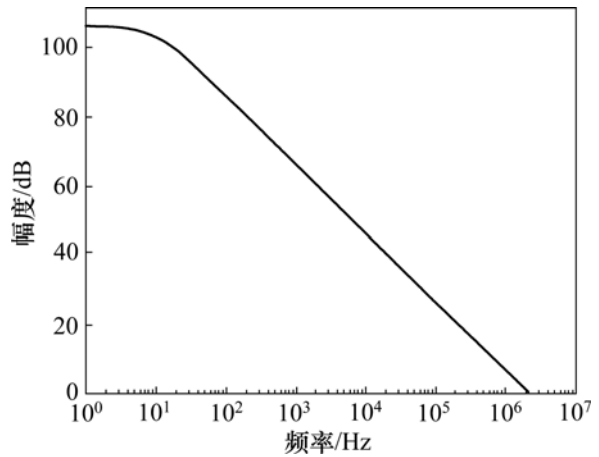


图 6 运放幅频响应

Fig.6 Amplitude-frequency response of op-amp

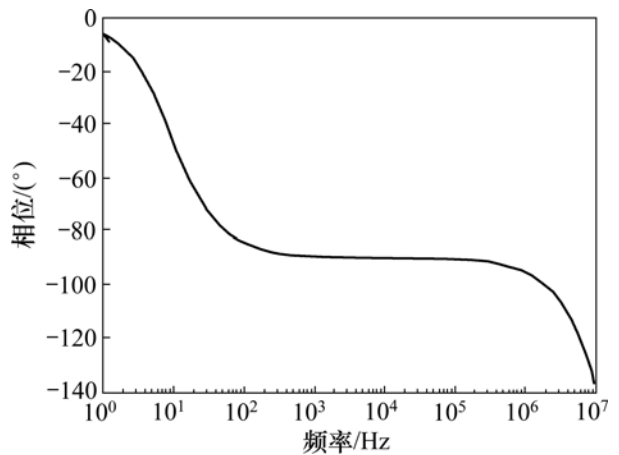


图 7 运放幅频响应

Fig.7 Phase-frequency response of op-amp

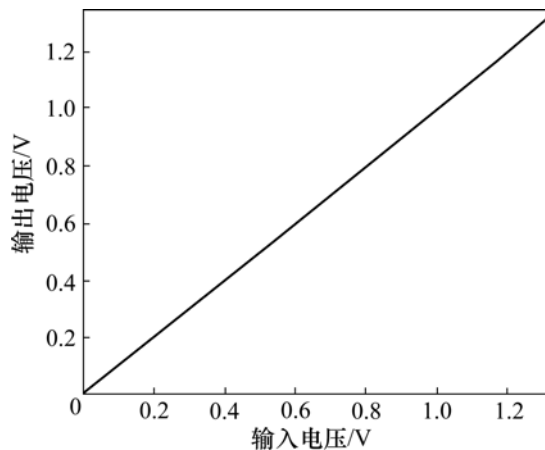


图8 运放单位增益响应

Fig.8 Unity-gain response of op-amp

## 4 结论

(1) 提出了一种简单实用的电平位移电路,运放电路结构简单紧凑,具有实用的电平位移功能;该电路解决了阈值电压对电源电压和输入信号的受限问题,使N型差分输入对的开启电压降至0.33V,P型差分输入对的截止电压提高至0.55V。因此,运放可在任何共模输入电压下正常工作,并能保持输入级的跨导为常数,从而使运算放大器电路的电路特性不随共模输入电压的变化而发生改变。

(2) 运放实现了低电压全摆幅特性,具有较好的性能指标。与国内外同类型的运放相比,本文设计的运放在直流开环增益、转换速率等性能指标较优,但是,静态工作电流和相位裕度较大。运放可在模拟电路设计和混合信号VLSI设计中广泛应用。

### 参考文献:

- [1] Razavi B. Design of analog CMOS integrated circuits[M]. New York: McGraw-Hill Companies, 2003: 1-12.
- [2] Bouzerara L, Belaroussi M T. Low-voltage, low-power and high gain CMOS operational transconductance amplifier[C]//IEEE Proc IEEE Int Symp Circuits Syst. AZ: Phoenix, 2002: 325-328.
- [3] 严晓浪, 吴晓波. 低压低功耗模拟集成电路的发展[J]. 微电子学, 2004, 34(4): 371-376.  
YAN Xiao-lang, WU Xiao-bo. The development of low-voltage/low-power analog IC's[J]. Microelectronics, 2004, 34(4): 371-376.
- [4] 周继承, 肖小清, 恩云飞, 等. 基于稳健设计的PBGA器件焊点热机械疲劳可靠性的优化设计[J]. 电子学报, 2007, 35(11): 2180-2183.
- ZHOU Ji-cheng, XIAO Xiao-qing, EN Yun-fei, et al. Optimal design for improving thermo-mechanical fatigue reliability of solder joint of PBGA component based on robust design[J]. Acta Electronica Sinica, 2007, 35(11): 2180-2183.
- [5] Huijsing J H, Senior M, Klass J. Low-power low-voltage VLSI operational amplifier cells[J]. IEEE Transactions on Circuits and Systems, 1995, 42(11): 841-850.
- [6] Langer K J, Huijsing J H. Low-voltage power-efficient operational amplifier design techniques-an overview[C]//Proceedings of CICC Custom Integrated Circuits Conference. San Jose: IEEE, 2003: 677-684.
- [7] Carrillo J F, Torelli G, Valverde M. 1-V rail-to-rail operational amplifiers in standard cmos technology[J]. IEEE Journal of Solid-State Circuits, 2000, 35(1): 33-44.
- [8] Gray P, Meyer, Robert G. Mos operational amplifier design-a tutorial overview[J]. IEEE J Solid State Circuits, 1982, 17(6): 969-982.
- [9] Yukizaki Y, Kobayashi H, Myono T. Low-voltage rail-to-rail CMOS operational amplifier design[J]. Trans Inst Electron Inf Commun Eng C, 2006, 89(6): 402-408.
- [10] Hwang C, Motamed A, Ismail M. Universal constant-gm input-stage architectures for low-voltage op-amps[J]. IEEE Transactions on Circuits and Systems— : Fundamental Theory and Applications, 1995, 42(11): 886-895.
- [11] 林越, 徐栋麟, 任俊彦. 基于共模电平位移电路新型 CMOS 低电压满幅度运放设计[J]. 半导体学报, 2002, 23(5): 529-535.  
LIN Yue, XU Dong-lin, REN Jun-yan. A novel level-shifter based CMOS rail-to-rail op-amp design[J]. Chinese Journal of Semiconductors, 2002, 23(5): 529-535.
- [12] Masoom A, Hadidi K. A 1.5-V, constant-gm, rail-to-rail input stage operational amplifier[C]//Proceedings of IEEE ICECS 2006-13th IEEE International Conference on Electronics, Circuits and Systems. Nice: Institute of Electrical and Electronics Engineers Inc, 2006: 632-635.
- [13] Huijsing J H, Linebarger D. Low-voltage operational amplifier with rail-to-rail input and output ranges[J]. IEEE J Solid State Circuits, 1985, 20(6): 1114-1150.
- [14] 张平柯. 音频放大器低频性能的短纯音信号评测法研究[J]. 中南大学学报: 自然科学版, 2008, 39(5): 1068-1075.  
ZHANG Ping-ke. Evaluation method of low frequency performance of audio frequency amplifiers by tone burst signals[J]. Journal of Central South University: Science and Technology, 2008, 39(5): 1068-1075.
- [15] Michael A, Arnold A, Maria T A. Design and implementation of CMOS rail-to-rail operational amplifiers[C]//Proceedings of IEEE ISCIT 2007 International Symposium on Communications and Information Technologies. Sydney: Institute of Electrical and Electronics Engineers Computer Society, 2007: 61-66.

---

(编辑 陈爱华)