

文章编号:1000-6893(2010)05-0989-07

基于 FPGA 内置 RAM 的抗辐射有限状态机设计

孙兆伟, 刘源, 徐国栋, 孙蕊

(哈尔滨工业大学 卫星技术研究所, 黑龙江 哈尔滨 150080)

Design of Finite-state-machine for Space Application Based on FPGA Inner RAM

Sun Zhaowei, Liu Yuan, Xu Guodong, Sun Rui

(Research Center of Satellite Technology, Harbin Institute of Technology, Harbin 150080, China)

摘 要: 在现代卫星设计中广泛使用的可重构现场可编程门阵列(FPGA),在空间高能粒子的影响下很容易产生单粒子翻转(SEU),从而功能紊乱甚至失效。在面向航天应用的 FPGA 设计中,必须采用容错设计技术来弥补器件本身抗辐射能力的不足。本文首先分析了有限状态机(FSM)的内部结构,并指出由于自身电路结构的特点,传统的 FPGA 容错设计方法应用于 FSM 时有一定的局限性。然后,针对基于 FPGA 的 FSM 容错设计技术进行了研究,根据现代 FPGA 的结构特点,提出了一种基于 FPGA 内置双端口随机存取存储器(RAM)、具有周期校验功能的 FSM 设计方案。经过可靠性分析和实验可以看出,与采用传统容错设计方法的 FSM 相比,采用本文方案构建的 FSM 在太空辐射环境下具有更高的长期可靠性、更小的 FPGA 资源占用量和更低的功耗。

关键词: 现场可编程门阵列; 随机存取存储器; 有限状态机; 单粒子效应; 可靠性

中图分类号: V423.4; TP399 **文献标识码:** A

Abstract: Field programmable gate arrays (FPGAs), which are widely used in modern satellites, are sensitive to space radiation. The single event upset (SEU) caused by high-energy space particles can disturb the function of the reconfigurable FPGA, and even lead to design failure. Hence, FPGA fault tolerant design technology must be developed to make up for the insufficiency in radiation resistance of its components. This article first analyzes the structure of a finite state machine (FSM), which serves to reveal the drawbacks of traditional fault tolerant design technology for FSM. Then, the article presents a new type of periodicity checkout FSM based on the inner dual port random access memory (RAM) of FPGA. Finally, a reliability analysis is performed and an experiment made of the proposed FSM. The results show that, compared with the traditional FSM, the FSM we designed has higher long term reliability, smaller FPGA resource requirement and lower power consumption in an outer space radiative environment.

Key words: field programmable gate arrays; random access memory; finite state machine; single event effect; reliability

现代卫星为了降低开发成本和缩短开发周期,大量采用基于静态随机存取存储器(SRAM)的可重构现场可编程门阵列(FPGA)。但作为一种可编程器件,FPGA对空间辐射缺乏足够的抵抗能力。即使美国 Xilinx 公司的辐射加固 XQV300 型 FPGA 在近地轨道上平均每天也会发生 2.05 次单粒子翻转^[1]。而小卫星因为体积和成本的限制,大量采用商用现货(COTS)器件,这些未经辐射加固的 FPGA 对太空辐射更加敏感^[2]。为了弥补器件本身抗辐射能力的不足,很多机构对 FPGA 的容错设计方法进行了

研究,比如欧空局开发的基于 FPGA 的 Leon 软核处理器分为普通版本和抗辐射版本,其中抗辐射版本大量采用了容错设计,使得大部分因太空辐射导致的错误都可以自我恢复。三模冗余(TMR)和动态重构是面向航天应用的 FPGA 设计采用最多的两种容错设计方法。但在很多 FPGA 设计中处于核心地位的有限状态机(FSM)都因为存储在寄存器中的状态信息随着状态变化而不断改变,致使辐射效应导致的错误很难被发现和修复。对于 FSM 而言,三模冗余和动态重构这两种常用的方法都存在着不足。三模冗余虽然屏蔽了错误,却数倍地增加了 FPGA 的资源占用量和功耗^[3]。而卫星的在轨工作周期长达数年,很可能因错误的积累而

收稿日期:2009-04-22; 修订日期:2009-06-09

基金项目:国家“863”计划(2006AA702106);长江学者和创新团队发展计划(IRT0520)

通讯作者:刘源 E-mail: blue.ocean.hit@gmail.com

导致三模冗余系统失效。FPGA 动态重构虽然可以修复组合逻辑电路,但是对由时序电路组成的 FSM 的修复能力却非常有限^[4-5]。

现代可重构 FPGA 的内部资源除了有常用的查找表(LUT)和寄存器(Flip-Flop)外,还有大量的内置随机存取存储器(RAM),比如 Xilinx 公司 FPGA 的内置 BRAM 和美国 Altera 公司 FPGA 的内置 TriMatrix Memory。这些内置 RAM 的电路结构是固定的,对辐射效应的抵抗能力较强,只有内部的存储单元容易受到辐射效应影响。因此本文提出一种基于 FPGA 内置双端口 RAM 构建高可靠性的抗辐射 FSM 的方案。与传统基于 FPGA 可编程逻辑的 FSM 相比,采用该方案设计的 FSM 具有更高的长期可靠性、更小的 FPGA 资源占用量和更低的功耗。

1 太空辐射对可重构 FPGA 的影响

太空辐射会改变 FPGA 内 LUT、寄存器、内置 RAM 和配置存储器所存储的值,其影响可以分为永久性和暂时性两种。高能射线在晶体管栅极能量积累导致的总剂量效应(TID)是最常见的永久性损伤,这类错误无法修复,通常被称为硬错误^[6]。高能离子和高能中子轰击晶体管导致的单粒子翻转(SEU)是最常见的暂时性损伤,这类错误可以修复,通常被称为软错误^[7]。

随着微电子技术的进步,可重构 FPGA 的制造工艺水平不断提高。半导体工艺提高直接导致系统门数的激增和器件核电压的降低,使得 FPGA 对 TID 的抵抗能力增强,但导致 SEU 更容易发生。比如 Xilinx 公司的 QPRO 系列 FPGA 对 TID 的承受能力可以达到 80~100 krads,满足绝大多数航天器的任务需求。因此,本文基于 FPGA 的 FSM 容错设计主要针对因 SEU 所导致的软错误。

2 基于 FPGA 内置 RAM 的 FSM

2.1 传统的 FSM 电路结构分析

传统的 FSM 结构如图 1 所示,由状态转移电路、状态寄存器和逻辑输出电路 3 部分构成。在传统的实现方式中,这 3 个部分都是利用 FPGA 片内的 LUT 和寄存器实现的。其中状态转移电路和逻辑输出电路是组合逻辑电路。FPGA 配置单元的 SEU 会改变配置文件的信息,导致组合逻辑电路功能紊乱,其影响与噪声等效。因为 SEU

属于软错误,所以对发生 SEU 的配置单元重新写入正确的配置信息可以修复 FPGA 的组合逻辑电路^[8]。

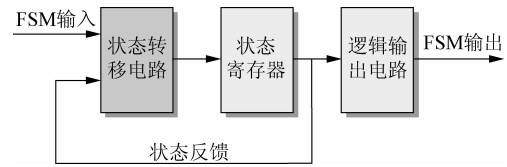


图 1 传统 FSM 结构图

Fig. 1 Traditional FSM architecture

状态寄存器的存在使得 FSM 成为时序电路。FPGA 内的寄存器资源分布于每个可配置逻辑单元中,寄存器所存储的信息随着电路状态的变化而改变。FPGA 内寄存器存储的值不能由配置单元内的信息直接控制,动态重构无法发现和修复时序电路^[8]。A. Tiwari 等^[9]提出了利用 FPGA 内置 RAM 来构建低功耗 FSM 的思想。本文在该思想基础上提出一种利用 FPGA 内置 RAM 构建高可靠性 FSM 的设计方案,旨在兼顾 FPGA 资源占用量和功耗的前提下,提高 FSM 抗 SEU 的能力。下面以一个常见的交通信号灯控制器 FSM^[10]为例对该设计方案进行说明。

2.2 基于 FPGA 内置 RAM 的 FSM 内部结构说明

交通信号灯控制器 FSM 的状态流程如图 2 所示,分为 5 个状态。FSM 的输出为 Hwy 和 Cnty,分别为两个 2 bit 的控制信号。FSM 每个状态所对应的输出如表 1 所示,通过按照 {状态, Hwy, Cntry} 的格式进行编码,这样的原码编码中包含了 FSM 的状态信息和输出信息。接着将原码编码进行汉明码转换,可以得到能够纠正 1 bit 错误、检查 2 bit 错误的冗余校验编码。

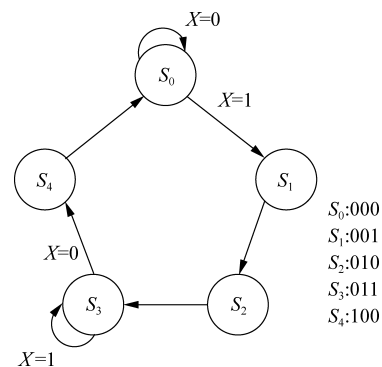


图 2 交通灯控制器状态流程图

Fig. 2 Traffic light FSM state flow

表 1 FSM 编码
Table 1 FSM coding

状态	Hwy	Cntry	原码编码	汉明码编码
$S_0:000$	10	00	0001000	11010010000
$S_1:001$	01	00	0010100	11010101100
$S_2:010$	00	00	0100000	10011000000
$S_3:011$	00	10	0110010	10001101010
$S_4:100$	00	01	1000001	00100001001

在得到状态信息和输出信息的冗余校验码之后,利用 FPGA 内置 RAM 构建如图 3 所示的 FSM。如图 2 所示,在系统复位之后,FSM 默认进入 S_0 状态,输出 Hwy=2'b10,Cntry=2'b00。而系统复位之后,RAM 的寻址地址归零,对应存储单元的值为 11'b11010010000,经过汉明码解码可以得到该值所对应的原码为 7'b0001000。从原码的编码原理可知,原码的第 0 位和第 1 位为 Cntry 输出信号,第 2 位和第 3 位为 Hwy 输出信号,高 3 位为 FSM 的状态信息。因此可以将原码的低 4 位(4'b1000)作为 FSM 的输出,并将高 3 位(3'b000)作为状态信息反馈至 RAM 输入端,与输入 X 一起组成新的寻址地址。假设此时 X 为 1'b1,新的地址为 4'b0001。RAM 在地址 1 所对应的单元存储的值为 11'b11010101100,经过汉明码解码得原码为 7'b0010100。从原码可以看出,状态信息为 3'b001,输出 Hwy=2'b01,输出 Cntry=2'b00。依此类推,可以看出,基于 RAM 实现的 FSM 与图 2 所示的状态流程图完全吻合。

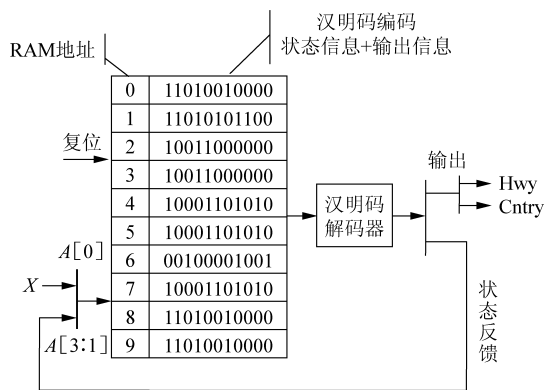


图 3 基于 RAM 的交通灯 FSM 实现

Fig. 3 Traffic light FSM based on RAM

基于 RAM 的 FSM 具有与状态机复杂度无关的固定结构。只需修改 RAM 存储的值就可以修改 FSM 的功能,非常适合大型 FSM 的构建与维护。此外,FPGA 的内置 RAM 是固定电路,相

对于可编程逻辑构成的电路具有更低的功耗。

利用 FPGA 内置 RAM 构建的 FSM,将原本对 SEU 敏感的、由可编程逻辑组成的电路,转化为由固定的或是受保护(汉明码校验)的电路结构。新的 FSM 电路结构用 RAM 的存储单元代替了传统 FSM 中的状态寄存器和逻辑输出电路,用 RAM 的地址译码电路代替了传统 FSM 中的状态转移电路。因为 FPGA 内置 RAM 的电路结构是属于固定的专用集成电路(ASIC),所以 TID 和 SEU 都很难对其造成影响,使其对太空辐射的抵抗能力比可编程单元要强很多。此外新的 FSM 电路结构还采用了汉明码编码,对 RAM 单元中存储的信息进行保护,因此同一存储单元中的单点失效不会对电路的功能造成任何影响。

2.3 FSM 的 FPGA 资源占用量分析

对于一个输入位宽为 n bit、输出位宽为 m bit、状态编码位宽为 s bit 和汉明码校验码位宽为 r bit 的 FSM,其 RAM 的资源占用量为 $2^{(n+s)}(m+s+r)$ 。可以看出,输入位宽的增加会显著增加 FPGA 内置 RAM 的占用量,通过对输入信号的处理和合并可以显著降低 FSM 的输入位宽^[9]。对于具体的 FSM,状态编码和输出的位宽是固定的,所以汉明码校验码位宽 r 也是固定的,并且满足 $2^r \geq m+s+r+1$ 的关系。基于 RAM 的 FSM 结构中,只有校验码解码电路由可编程逻辑实现。这部分电路结构简单并且非常固定,只对这部分电路进行三模冗余设计,可以在有限增加资源开销的前提下显著提高系统的可靠性。

3 抗辐射 FSM 结构设计

虽然汉明码编码可以校正 1 bit 错误,但是卫星在轨的任务周期长达数年,长时间工作在太空辐射的环境下很容易造成 RAM 内存信息的错误积累。当存储单元两个以上不同位置发生 SEU 的时候,汉明码就失去了纠错能力。为了保障长期可靠性,避免因错误积累而失效,FSM 必须具有自动检错和纠错的能力。

3.1 基于双端口 RAM 的高可靠性 FSM

出于通用性方面的考虑,FPGA 制造商都将内置 RAM 设计为双端口 RAM。双端口 RAM 具有两个读写端口,可以分别独立完成读写操作。利用双端口 RAM 的这一特性,可以构建高可靠

性的FSM。基于双端口RAM,改进后的FSM结构如图4所示,端口1为只写端口,端口2为只读端口。当RAM的存储单元发生单点SEU后,通过校验电路汉明码解码,可以发现并纠正错误。将经过校正的编码中的输出信息作为FSM的输出,状态信息反馈至端口2的地址总线。校验电路在每个时钟周期通过寄存器缓存当前周期端口2的地址值。校验电路的地址缓存寄存器和校正后的编码分别与端口1的地址总线和数据总线相连。如果校验电路在当前时钟周期检测出SEU,则在下一时钟周期将校正后的编码重新写入RAM,覆盖SEU产生的错误。校验电路寄存器的值在每个时钟周期更新,不存在错误积累的问题。同时,寄存器的位宽与端口2的地址总线的位宽相同(事实上与FSM输入的位宽相同即可),资源占用很少。所以单独对校验电路进行三模设计,不会显著增加FPGA的资源占用量。

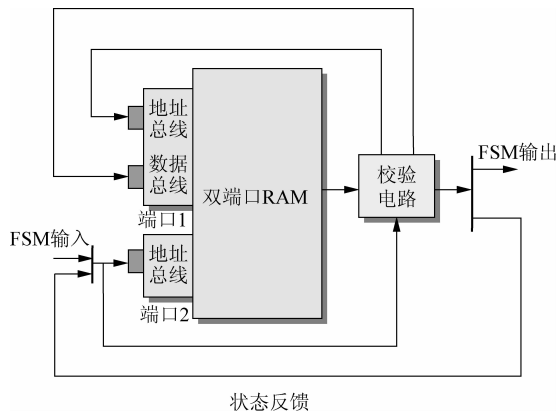


图4 基于双端口RAM的高可靠性FSM结构
Fig. 4 Architecture of high reliability FSM based on dual port RAM

3.2 周期校验抗辐射FSM

图4所示的基于双端口RAM的FSM可以在一个时钟周期内自动纠正单点SEU,具备了很强的纠错能力,但是这种自动校验机制只对当前状态发生作用,所以这种FSM结构在检错能力上还有不足。卫星的某些状态是不定期进入的,对于FSM长时间不会进入的状态,在很长周期内都无法被汉明码校正,依然存在错误积累的可能。为了解决这一问题,对图4所示的FSM结构进行进一步改进。改进后的周期校验抗辐射FSM结构如图5所示。通过外置看门狗,产生周期性的触发信号,触发FSM进入校验模式。在校验模式中,RAM的输出与系统断开,只读端口

地址总线切至单独的计数器。计数器从零开始递增计数,遍历RAM中的存储单元。与此同时,校验电路依次对RAM的存储信息进行自动校验和纠正。当RAM中的存储单元遍历校验结束后,FSM切回正常工作模式。在遍历校验时,FSM处于控制中断状态,但是当系统工作在100 MHz时钟频率下时,对于1 KB的RAM的遍历校验只需要10 μs。卫星的控制周期一般为数百ms,所以FSM遍历校验造成的短时间控制中断对系统宏观功能的影响基本可以忽略。

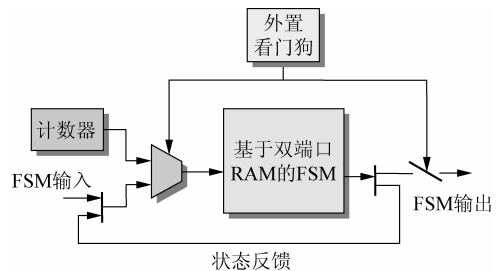


图5 周期校验抗辐射FSM结构
Fig. 5 Architecture of high reliability FSM with periodic verification

4 资源占用与功耗分析

以第1节中设计的交通灯控制器FSM为样本,对传统结构、三模冗余结构和基于双端口RAM这3种不同的FSM实现方式的FPGA资源占用和功耗状况进行测试。

4.1 FPGA资源占用状况

经Synplify Pro以Xilinx公司的辐射加固型FPGA:XQR2V3000为目标器件进行综合后,3种实现方式的资源占用情况如图6所示。从图6中可以看出,三模冗余结构实现的FSM,FPGA资源占用情况大致为传统实现方式的3倍。而基于双端口RAM实现的FSM,无论是LUT还是寄存器的占用量,都远远低于传统的或三模冗余的设计。

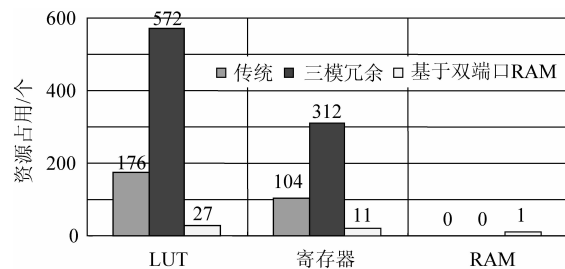


图6 FPGA资源占用对比图
Fig. 6 FPGA resource consumption of different technical solutions

4.2 FSM 功耗评估

利用 Xilinx 公司提供的 Xpower 工具对 3 种 FSM 进行功耗评估,评估结果如图 7 所示。三模冗余方式的 FSM 因为资源占用最大,所以功耗也最高。基于双端口 RAM 的 FSM 利用了 FPGA 的内置 RAM,而 FPGA 内置 RAM 属于固定的 ASIC 单元,在相同工作条件下的 ASIC 功耗只有可编程单元的 1/5~1/10,所以基于双端口 RAM 的 FSM 功耗最低,仅 1.28 mW。

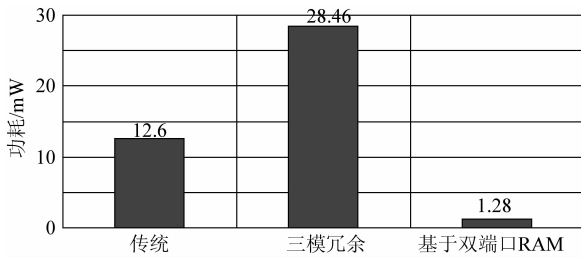


图 7 FSM 功耗对比图

Fig.7 Power consumption by different technical solutions

综上所述,相对于传统的和三模冗余的设计方案,本文的 FSM 设计方案在 FPGA 资源占用量和功耗方面都有很大优势。

5 可靠性分析

以 3.1 节的 FPGA 资源占用状况为依据,对传统结构 FSM、三模冗余结构 FSM 和周期校验抗辐射 FSM 的长期在轨可靠性进行了分析和比较。

5.1 传统结构 FSM 和三模冗余 FSM 可靠性分析

如图 6 所示,基于可编程逻辑的传统结构 FSM 占用了 176 个 LUT 和 104 个寄存器。XQR2V3000 型 FPGA 的 LUT 是 4 选 1 型,而 4 选 1 型 LUT 的功能由存储在配置存储器中长度为 2^4 bit 的配置文件决定。因此,如式(1)和式(2)所示,传统结构 FSM 的 LUT 部分总计占用了 M_L 个存储单元,即

$$M_L = 16 \times 176 = 2816 \quad (1)$$

而寄存器部分占用了 M_F 个存储单元,即

$$M_F = 104 \quad (2)$$

因为 FPGA 内的布尔电路结构求解属于 NP 完全问题,计算量非常大,所以 FPGA 设计工具都采用了启发式算法来加速求解^[11]。采用启发式算法有一个很重要的特点,就是无法保证

FPGA 资源被完全利用^[12]。因此,不是所有在 LUT 配置文件部分发生的 SEU 都会引起电路功能异常。根据 P. Graham 的实验结论^[13],在 LUT 的配置文件中,大约 60% 的存储单元位置发生的 SEU 会导致电路功能失效。

传统结构的 FSM 没有任何的容错机制,所以 LUT 部分和寄存器部分任何的功能失效都会导致 FSM 失效。FSM 失效会导致电路输出错误的控制信号,在文献[14]中记载了多起欧空局因为 FPGA 输出错误控制信号导致整个卫星失效的例子。传统结构 FSM 的可靠性如式(3)所示,服从泊松分布。

$$R_t = e^{-\lambda(0.6M_L + M_F)t} \quad (3)$$

式中: λ 为存储单元 SEU 的发生率。根据文献[3]记载,近地轨道卫星存储单元的 SEU 发生率 $\lambda = 48 \times 10^{-6}$ bit/d。

三模冗余 FSM 可以屏蔽单机失效带来的错误输出。配合 FPGA 动态重构技术,可以进一步提高三模冗余 FSM 的可靠性。但 FPGA 动态重构只能修复配置存储器中的 SEU,对 FPGA 寄存器的失效无能为力。状态转移电路和寄存器的 SEU 会引起状态信息的改变,无法由动态重构修正,因此可以得出这部分的可靠性为

$$r_a = e^{-\lambda(0.6 \times 0.5M_L + M_F)t} \quad (4)$$

而逻辑输出部分电路的 SEU 可以由动态重构修复,这部分的可靠性为

$$r_b = e^{-\lambda \times 0.6 \times 0.5M_L t} \quad (5)$$

而在不考虑表决系统可靠性的前提下,根据式(6)可以得出带有动态重构功能的三模冗余 FSM 的可靠性 R_{TMR} 。

$$\begin{aligned} R_{TMR} &= (r_a r_b)^3 + 3(1 - r_a)(r_a r_b)^2 + \\ &3r_a(1 - r_b)(r_a r_b)^2 = \\ &3(r_a r_b)^2 - 2(r_a r_b)^3 = (r_a r_b)^2(3 - 2r_a r_b) \end{aligned} \quad (6)$$

对传统结构和三模冗余结构 FSM 的可靠性分别进行仿真,仿真结果如图 8 所示。从图 8 可以看出,在 100 天的在轨任务周期中,带有动态重构功能的三模冗余 FSM 可靠性明显高于传统结构的 FSM,可是仍然无法满足卫星长期在轨工作的需要。三模冗余 FSM 拥有三级表决机制,可以第一时间发现错误,并通过系统复位等操作加以修复,但因为不属于本文范围,不过多讨论。

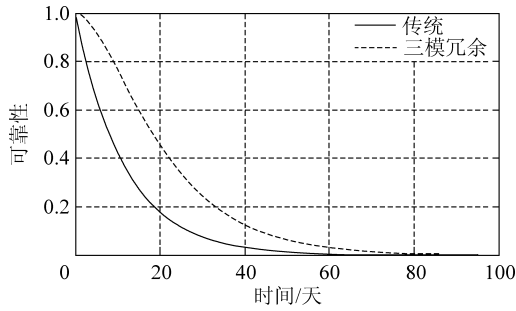


图 8 传统结构和三模冗余结构 FSM 可靠性对比图
Fig. 8 Reliability of traditional FSM and TMR FSM

5.2 周期校验抗辐射 FSM 可靠性分析

周期校验抗辐射 FSM 的主体是 FPGA 的内置双端口 RAM, 存储器基本单元的可靠性如式(7)所示, 服从泊松分布。

$$p(t) = e^{-\lambda t} \quad (7)$$

用于构建 FSM 的 RAM 存储单元位宽为 $m+s+r$, 因为有汉明码编码保护, 所以只有当一个存储单元两个以上不同位置发生 SEU 时, FSM 才会失效。存储单元在时间 t 内不发生 SEU 的概率用 $r_0(t)$ 表示, 即

$$r_0(t) = (e^{-\lambda t})^{m+s+r} = e^{-\lambda(m+s+r)t} \quad (8)$$

而在时间 t 内仅有一处 SEU 发生的概率为

$$r_1(t) = C_{m+s+r}^1 (1 - e^{-\lambda t}) e^{-\lambda(m+s+r-1)t} = (m+s+r) [e^{-\lambda(m+s+r-1)t} - e^{-\lambda(m+s+r)t}] \quad (9)$$

因此将 $r_0(t)$ 和 $r_1(t)$ 相加, 可以得到一个存储单元在时间 t 内的可靠性为

$$r(t) = r_0(t) + r_1(t) = (m+s+r) e^{-\lambda(m+s+r-1)t} + (1-m-s-r) e^{-\lambda(m+s+r)t} \quad (10)$$

用于构建 FSM 的 RAM 有 2^{n+s} 个存储单元, 整块 RAM 在时间 t 内的可靠性为

$$R(t) = r(t)^{n+s} = [(m+s+r) e^{-\lambda(m+s+r-1)t} + (1-m-s-r) e^{-\lambda(m+s+r)t}]^{2^{n+s}} \quad (11)$$

基于双端口 RAM 的 FSM 可以通过回写对存储单元中的 SEU 进行校正。因此具有校正功能的 FSM 可靠性如式(12)和式(13)所示, 用 $R_T(t)$ 表示^[15]。

$$R_T(t) = (R(T))^k = [(m+s+r) e^{-\lambda(m+s+r-1)T} + (1-m-s-r) e^{-\lambda(m+s+r)T}]^{2^{n+s}k} \quad (12)$$

$$kT \leq t \leq (k+1)T \quad (13)$$

式中: T 为双端口 RAM 的校验周期。不具备周期校验功能 FSM 的校验周期取决于状态机内的状态遍历周期, 具有很大不确定性。周期校验 FSM 的校验周期取决于外置看门狗的触发信号。

以近地轨道卫星为例, 假设用于构建 FSM 的 RAM 大小为 $2^{10} \times 20$ bit, 对不同的校验周期进行仿真, 结果如图 9 所示。当校验周期为 1 h 时, 近地轨道卫星的 FSM 在 3 年任务周期内的可靠性高于 0.98。当校验周期为 12 h 和 24 h 时, FSM 在 3 年任务周期内的可靠性也有 0.78 和 0.63。校验周期越短, FSM 的可靠性越高。

综上所述, 周期校验抗辐射 FSM 在设计中充分考虑了 SEU 对 FSM 电路的影响, 采用了如下容错手段, 弥补了 FPGA 器件本身抗辐射能力的不足, 使得周期校验抗辐射 FSM 的可靠性大幅提升:

- ① 用固定电路取代可编程逻辑电路。
- ② 加入了基于汉明码编码的自我纠错检错机制。
- ③ 加入了自我修复机制。
- ④ 加入了周期检验机制, 避免错误积累。

对比图 8 和图 9 可以看出, 相对于传统结构和三模冗余结构的 FSM, 周期校验抗辐射 FSM 在长期可靠性方面的优势非常明显。

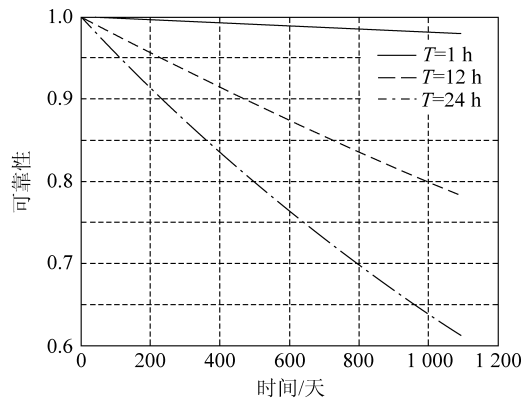


图 9 周期校验抗辐射 FSM 可靠性
Fig. 9 Reliability of periodicity checkout FSM

6 结 论

作为一种可编程器件, FPGA 对空间辐射缺乏足够的抵抗能力。为了保障 FPGA 设计的在轨长期可靠性, 对 FPGA 容错设计技术进行了研究。提出一种基于 FPGA 内置 RAM 的、具有周期校验功能的 FSM 设计方案。该方案充分利用 FPGA 的内部资源, 将传统 FSM 中由可编程逻辑组成、对 SEU 敏感的电路转化为由 FPGA 内

部固定和受汉明码编码保护的电路实现。采用这种结构的FSM具有很高的长期可靠性,可以满足卫星长期在轨的任务需求。此外,相对传统基于可编程逻辑的FSM,采用这种方案的FSM具有更小的FPGA资源占用量和更低的功耗。所提出的FSM设计方案可以为面向航天应用的高可靠性和低功耗FPGA设计提供参考。

参 考 文 献

- [1] Fuller E, Caffrey M, Blain P, et al. Radiation test results of the virtex FPGA and ZBT SRAM for space based reconfigurable computing[C]//Military and Aerospace Applications of Programmable Logic Devices International Conference. 1999; C2.
- [2] 李毅, 李瑞, 黄影, 等. 基于COTS的空间信息处理系统单粒子锁闭保护技术实现[J]. 宇航学报, 2007, 28(5): 1283-1287.
Li Yi, Li Rui, Huang Ying, et al. The implement of single event latch up protection technology in space information processing system based on COTS[J]. Journal of Astronautics, 2007, 28(5): 1283-1287. (in Chinese)
- [3] Huang W J, McCluskey E J. A memory coherence technique for online transient error recovery of FPGA configurations[C]//ACM/SIGDA International Symposium on Field Programmable Gate Arrays—FPGA. 2001: 183-192.
- [4] Carmichael C, Fuller E, Fabula J, et al. Proton testing of SEU mitigation methods for the virtex FPGA[C]//Military and Aerospace Applications of Programmable Logic Devices International Conference. 2001; P6.
- [5] Li Y. A new approach to detect mitigate correct radiation induced faults for SRAM based FPGAs in aerospace application[C]//IEEE National Aerospace and Electronics Conference 2000 (NAECON). 2000: 588-594.
- [6] 邢克飞, 杨俊, 王跃科, 等. Xilinx SRAM型FPGA抗辐射设计技术研究[J]. 宇航学报, 2007, 28(1): 123-151.
Xing Kefei, Yang Jun, Wang Yueke, et al. Study on the anti-radiation technique for Xilinx SRAM-based FPGA [J]. Journal of Astronautics, 2007, 28(1): 123-151. (in Chinese)
- [7] Wang J J, Katz R B, Sun J S, et al. SRAM based re-programmable FPGA for space applications[J]. IEEE Transactions on Nuclear Science, 1999, 46(6): 1728-1735.
- [8] Tiwari A, Tomko K A. Enhanced reliability of finite-state machines in FPGA through efficient fault detection and correction[J]. IEEE Transactions on Reliability, 2005, 54(3): 459-467.
- [9] Tiwari A, Tomko K A. Saving power by mapping finite-state-machines into embedded memory blocks in FPGAs [C]//Proceedings of the Conference on Design Automation and Test in Europe (DATE04). 2004, 2: 20916.
- [10] Palnitkar S. A guide to digital design and synthesis[M]. 2nd ed. Upper Saddle River: Prentice Hall, 2006.
- [11] Cormen T H, Leiserson C E, Rivest R L, et al. Introduction to algorithms[M]. 2nd ed. Cambridge: The MIT Press, 2006.
- [12] Thompson S. On the application of program analysis and transformation to high reliability hardware[R]. Technical Report of Cambridge Computer Laboratory, 2006.
- [13] Graham P, Caffrey M, Wirthlin M, et al. Consequences and categories of SRAM FPGA configuration SEUs[C]//Military and Aerospace Applications of Programmable Logic Devices International Conference. 2003; C6.
- [14] Habinc S. Lessons learned from FPGA developments[R]. European Space Agency Contract Report, 2002.
- [15] Saleh A M, Serrano J J, Patel J H. Reliability of scrubbing recovery techniques for memory systems[J]. IEEE Transactions on Reliability, 1990, 39(1): 114-122.

作者简介:

孙兆伟(1963—) 男,博士,教授,博士生导师。主要研究方向:小卫星总体设计。
Tel: 0451-86416447-8303
E-mail: sunzhaowei@hit.edu.cn

刘源(1984—) 男,博士研究生。主要研究方向:可重构星载计算机设计、面向航天应用的高可靠性FPGA设计。
Tel: 0451-86416447-8304
E-mail: blue.ocean.hit@gmail.com

徐国栋(1961—) 男,博士,教授,博士生导师。主要研究方向:小卫星星载电子系统设计。
Tel: 0451-86416447-8403
E-mail: xgdong_61@163.com

孙蕊(1985—) 女,硕士研究生。主要研究方向:小卫星星间通信。
Tel: 0451-86416447-8304
E-mail: sunruihit@gmail.com

(编辑:孔琪颖)