

基于 DSP 和 FPGA 的实时视频处理平台的设计与实现*

盛磊^{1,2}, 徐科军¹

(1. 合肥工业大学自动化研究所, 安徽合肥, 230009; 2. 中国电子科技集团公司第 38 所, 安徽合肥 230031)

摘要: 基于高速数字信号处理器 (DSP) 和大规模现场可编程门阵列 (FPGA), 成功地研制了小型化、低功耗的实时视频采集、处理和显示平台。其中的 DSP 负责图像处理, 其外围的全部数字逻辑功能都集成在一片 FPGA 内, 包括高速视频流 FIFO、同步时序产生与控制、接口逻辑转换和对视频编/解码器进行设置的 I²C 控制核等。通过增大 FIFO 位宽、提高传输带宽, 降低了占用 EMIF 总线的时间; 利用数字延迟锁相环逻辑, 提高了显示接口时序控制精度。系统软件由驱动层、管理层和应用层组成, 使得硬件管理与算法程序设计彼此分离, 并能协同工作。系统中的图像缓冲区采用了三帧的配置方案, 使得该平台最终具有对 PAL/NTSC 两种制式的全分辨率彩色复合视频信号进行实时采集、显示和处理的能力。

关键词: 数字信号处理器; 现场可编程门阵列; 带宽; 同步时序; I²C 控制核; 帧存储器; VHDL
中图分类号: TM930.9 **文献标识码:** A

Design and realization of real-time video-processing platform based on DSP and FPGA

SHENG Lei^{1,2}, XU Ke-jun¹

(1. Institute of Automation, Hefei University of Technology, Hefei 230009, China;

2. China Electronics Technology Group Corporation No. 38 Research Institute, Hefei 230031, China)

Abstract: Based on high speed DSP and large scale FPGA, a video capture, processing and display system was developed, which is of miniaturization and low power. In this system, DSP processes images and FPGA implements high speed FIFOs, I²C controller core, synchronization timing generation, interface logic conversion, and so on. By extending the bits of FIFO data ports the transfer bandwidth was increased and the time of occupying EMIF bus was reduced. By the digital delay-locked loop (DLL) the timing precision of the display interface was improved. The software of the system is composed of three levels, i. e. driver, management and application, whose benefits are that the design tasks of hardware drivers and arithmetic applications can be separated, and can cooperate with each other. A triple buffering scheme was used for the capture and display, so that the application can always get a new buffer without waiting. It is shown that, this platform is capable of capturing, displaying and processing the full resolution color composite video of PAL/NTSC real-time.

Key words: DSP; FPGA; bandwidth; synchronization timing; I²C controller; frame buffer; VHDL

* 收稿日期: 2004-06-03; 修回日期: 2004-12-22

作者简介: 盛磊, 男, 1975 年生, 博士。研究方向: 数字视频信号处理, 电子设计自动化。E-mail: shenglei02@163.com

通讯作者: 徐科军, 博士/教授。E-mail: dsplab@hfut.edu.cn

0 引言

随着基于图像处理的视觉测量理论及应用技术的迅速发展,从图像中快速获取目标物体的三维尺寸、空间坐标信息的应用越来越多.视频信号处理平台大都基于 PC 机,存在体积大、便携性差、功耗大、成本高的缺点.研制小型便携、低功耗、低成本、可独立运行的视频信号处理平台,用于视觉测量领域,已经成为视觉测量的发展趋势.文献[1]以 AD 公司的浮点 DSP 芯片 ADSP-21020 为核心构成一个视觉处理系统,运算性能是 33.3 MIPS(每秒百万条指令)和 66 MFLOPS(每秒百万条浮点指令),当处理 8 位灰度图像、分辨率为 256 px×200 px 时,可以实现 30 fps NTSC 制视频图像处理,但是,该系统运算速度和图像分辨率都较低.文献[3]给出了两种以 C5x DSP 为核心的图像处理平台的设计方案,一种是单 DSP 芯片系统,受 C5x 的性能影响只能处理静态图像;另一种是多 DSP 芯片系统,运算能力增强,但系统构成复杂,并行算法不容易设计.文献[2]使用单片高速 DSP C6201、普通 AD 和 DA、视频时序控制芯片组成系统,也只能处理 8 位灰度信息,且分辨率固定,系统功能的可编程程度不高.

我们以 TI 公司高端 DSP C6x 系列和嵌入大容量 RAM 模块的高密度可编程逻辑器件 FPGA 为

核心构建了一个小型、低成本、低功耗、可独立运行的数字视频采集、显示和处理平台.该平台充分发挥 DSP 运算能力强和 FPGA 逻辑控制能力强的特点,解决了现有系统的局限性,可用于空间机器人的手眼视觉处理系统,并提供操作场景的监控画面.此外还可用于数字图像叠加、数字视频合成等领域.本文着重介绍该平台的硬件、软件系统的设计,以及关键问题的解决方案,给出了该系统的实际测试结果,并与一些典型系统进行了性能比较.

1 系统设计

图 1 为系统框图.

1.1 硬件设计方案

我们选择 C6711 DSP 作为主处理器,这是因为 (I) 其主频为 150~200 MHz,8 条指令并行处理,运算速度为 900~1 200 MFLOPS,利用 C6711 的二级(L1 和 L2) cache 机制可以实现算法程序的高速运行;

(II) C6711 的外围扩展存储器接口(external memory interface, EMIF)提供与高速存储器 SDRAM 的无缝接口,使用它可以方便地与 133 MHz 的 1 M×32 bit×4 banks 的 SDRAM 组成大容量高速图像帧存储器.

视频信号同步时序处理的好坏直接影响采集和

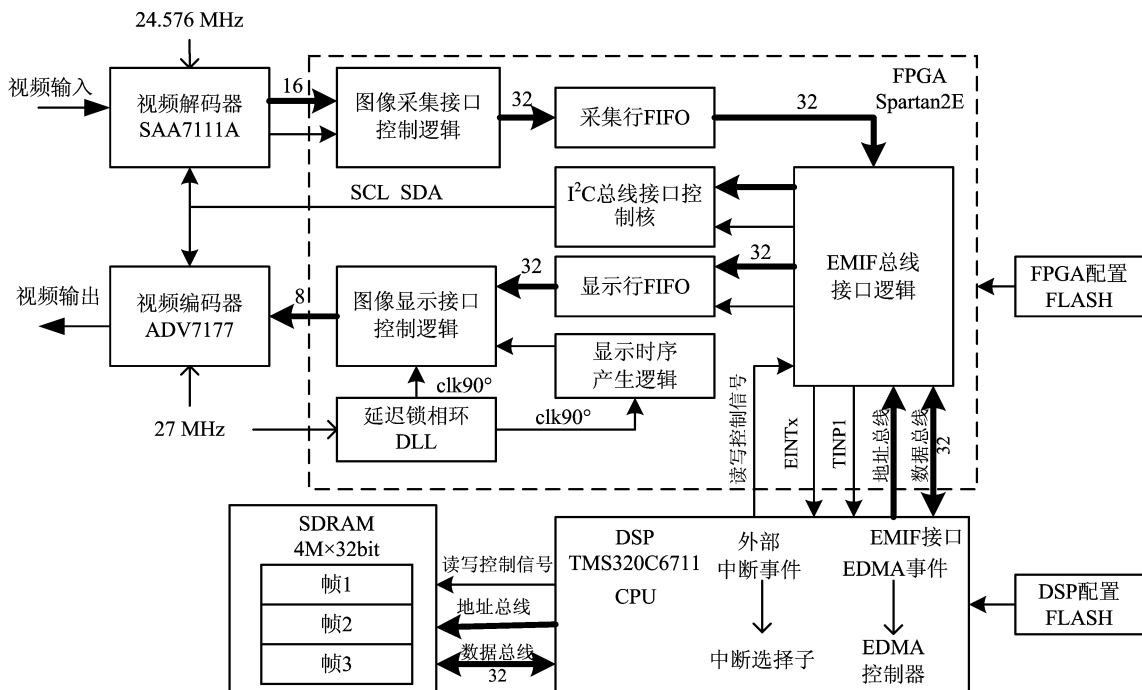


图 1 系统框图

Fig. 1 Frame diagram of system

显示数据正确性及系统的可靠性. 另外, 由于视频采集、显示和 DSP 单元三者之间的时钟频率各不相同, 因此需要用 FIFO 做时钟域的隔离, 协调数据传输速度. 我们选择在 FPGA 中, 用 VHDL 设计同步时序控制逻辑、接口逻辑、高速 FIFO 等全部数字逻辑功能.

使用专用视频解码器(decoder)、视频编码器(encoder)完成制式选择、数字化、彩色空间转换、同步信号模式选择等工作, 不仅提高了系统的可靠性, 增强了系统功能, 还加快了设计进度, 降低了成本. 这些优越的性能是文献[2,3]使用普通高速 A/D 和 D/A 所不具有的. 但是有个新问题: 专用视频处理芯片大都采用串行 I²C 总线协议设置内部的寄存器, 而 C6711 没有 I²C 接口, 如果用软件编程模拟低速(100 kHz)的 I²C 总线协议, 势必影响 EMIF 的高速性能. 因此, 仍然选择在 FPGA 中设计实现 EMIF 到 I²C 总线的接口转换逻辑, 具体设计方法参见文献[6].

基于上述分析, 制定由“DSP+FPGA+专用视频解码器+专用视频编码器+帧存储器”构成视频采集、处理和显示系统的硬件设计方案. 按功能由视频采集模块、视频显示模块、同步时序控制模块、接口逻辑控制模块及 DSP 模块组成.

数据处理流程: PAL 或 NTSC 制模拟视频输入到 decoder, 由 decoder 将其转换为符合 ITU-R BT601 标准的 16 bit 数字视频流后, 送入 FPGA 的采集接口的 FIFO(CAP_FIFO)进行数据缓冲^[1], 并生成中断信号请求 DSP 取走数据, 之后数据通过 EMIF 接口写入到帧存储器(SDRAM)中, 由 DSP 对其进行处理, 处理完的数据仍放到 SDRAM 中. 另一方面, 由 FPGA 中显示时序产生逻辑生成行中断信号, DSP 响应中断后, 由 EDMA 控制器把数据以 32 bit 的宽度写入显示行 FIFO(DIS_FIFO), 在显示同步时序的控制下, 从 DIS_FIFO 中输出到显示接口, 转换为符合 ITU-R BT 标准的 8 bit 数字视频信号, 最后送到 encoder 中, 合成视频, 并送显示. 图 1 中标有总线宽度的粗线就是数字视频图像的数据流程.

1.2 软件设计方案

根据硬件方案, 设计系统的软件框架及程序流程, 程序用“C 语言+线性汇编”在 ccs2.2 环境中编写. 软件框架分为三个层次^[5](如图 2 所示):

(I) 顶层管理程序, 利用 C6000 芯片支持库设

置 C6711 内部寄存器, 及用 DSP/BIOS 处理系统的实时多任务调度;

(II) 设备驱动程序, 包括对 decoder、encoder、FPGA 的初始化;

(III) 算法应用程序.

程序流程图: 系统上电复位, DSP 和 FPGA 加载各自的程序, 之后程序开始执行. 对 DSP 内部控制寄存器和 EMIF 接口上的外设进行初始化, 确定 DSP 的工作状态; 设置 DSP 的 EDMA 通道和中断事件; 通过编程 FPGA 中 I²C 总线控制核, 初始化 decoder 和 encoder; 使能 FPGA 内的数字逻辑功能、启动数据采集和显示; 开中断; 对采集到的数据进行处理.

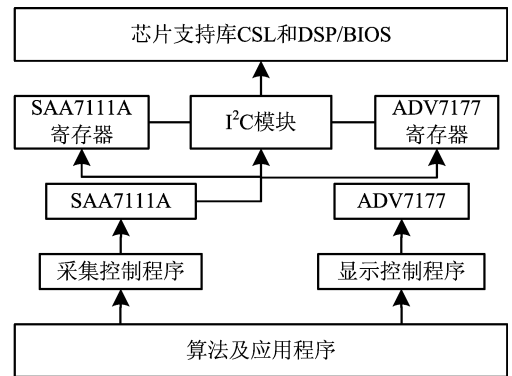


图 2 软件系统程序构架

Fig. 2 Application architecture diagram of software system

1.3 采集和显示模块

采集模块的 SAA7111A 完成视频制式自动识别、A/D 变换、同步时序信号分离、亮度色度调整、彩色空间变换等功能, 将 PAL/NTSC 制信号转换成符合 ITU-R BT601/656 标准数字分量视频信号 YCrCb/YUV, 具体性能与信号时序关系参见文献[7]. 显示模块的数字视频编码器 ADV7177 则把符合 ITU-R BT601/656 标准的图像数据, 以 27 MHz 的速度, 按 MODE2 方式^[8]合成模拟视频信号.

在 FPGA 中设计两个嵌入式 512×32 bit 缓冲器 CAP_FIFO 和 DIS_FIFO, 充分利用 EMIF 的数据传输带宽, 分别缓冲存储约 1 行半的采集和显示的图像数据流. 由于从 CAP_FIFO 读取一行数据, 并写入 SDRAM 的总时间($T_{read} + T_{write} = 7.2 \mu\text{s} + 3.6 \mu\text{s} = 10.8 \mu\text{s}$), 与行扫描回程时间($T_{back} = (864 - 720) / 13.5 \text{ MHz} = 10.7 \mu\text{s}$)两者相当, 因此, 不会出现因 FIFO 溢出而丢失数据的问题.

在采集和显示两个模块中分别进行“16 bit→32

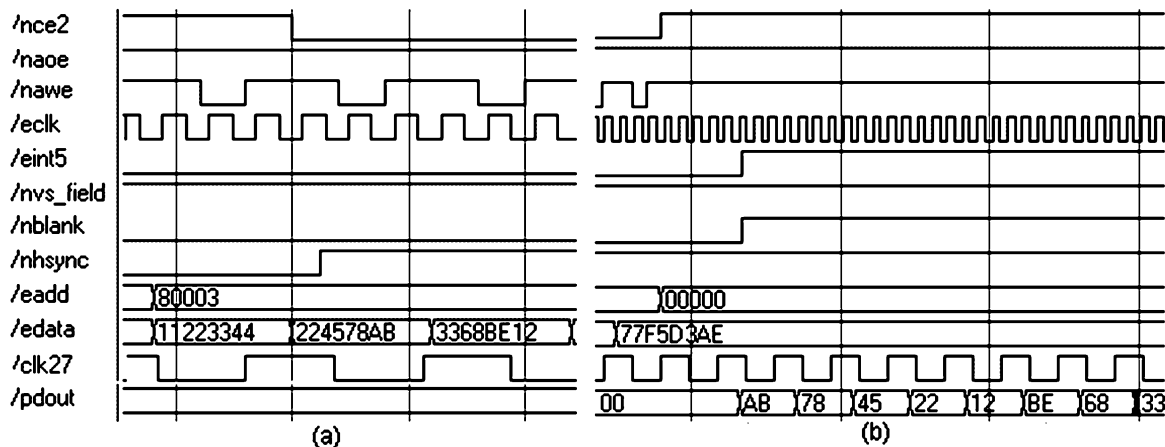


图3 显示模块时序仿真图

Fig. 3 Timing simulator diagram of display module

bit”数据组合和“32 bit→8 bit”数据拆分变换,节约了FPGA的I/O引脚。其中,在显示模块中利用数字延迟锁相环(DLL)使数据延迟 90° 相位,加上FPGA内部布线时延,使得ADV7177能够可靠地用时钟上升沿取到数据。时序仿真结果如图3所示。图3(a)中写入FIFO的32 bit数据是0x224578AB, 0x3368BE12等,在图3(b)中pdout输出8 bit数据依次为AB,78,45,22;12,BE,68,33…实现了32 bit到8 bit数字视频流的拆分变换。

1.4 同步时序控制模块

对于包含采集和显示两项功能的系统,两通道之间的同步策略影响到能否连续地采集和显示。由于SAA7111A和ADV7177的时钟源分别为24.576 MHz和27 MHz,不可能同相。因此,采集通道同步显示,或是显示通道同步采集的方法不能解决问题。系统中采用如下方法:采集和显示两通道之间没有时钟上的直接同步,在各自的时钟频率下独立工作;系统中配置三个帧存储区,使采集模块、图像处理应用程序、显示模块分别对其中一块进行操作,并由帧中断控制轮换读写存储区,实现连续地采集、处理和显示。当采集行计数器(LinePat)计数到第1行,即LinePat=1、VREF=0时复位CAP_FIFO,最后一行已经被DSP取走,从而不会丢失最后一行数据;利用VREF作为帧中断信号,HREF作为行中断,帧中断后的第一个行中断确定为第一次传输,保证“整帧、整行”采集。

1.5 驱动程序设计

DSP通过编程FPGA中I²C控制核,对视频设备SAA7111A和ADV7177进行初始化的程序。I²C

控制核采用中断方式与DSP通讯^[6],包括控制寄存器、命令寄存器、状态寄存器、发送寄存器、接收寄存器、时钟尺度寄存器。首先需要对设备寻址,再对设备内寄存器的子地址寻址。采用I²C总线的“连续地址操作模式”加速设备初始化过程。当初始化完成后,关闭I²C控制核的中断申请,使I²C控制核处于无效状态,结束I²C总线操作时序,退出驱动程序。

1.6 显示中断事件与数据传输

在整个系统中,共包含五个中断事件:采集行、场中断,显示行、场中断,I²C控制核中断,而EMIF接口只有4个外部中断,硬件中断资源不够用,因此利用定时器Timer1对外部输入引脚(TINP1)计数产生定时器中断事件,作为行中断触发数据传输^[5]。在顶层管理程序中,设置Timer1事件与EDMA2通道相关联。如图4所示,当BLANK=1时,产生360个脉冲。在FPGA中利用Line节拍和Pixel节拍产生一个虚拟的脉冲串,产生第一个Timer1中断事件,触发EDMA传输第一行数据到DIS_FIFO中,并使DIS_FIFO总能提前于显示设备先得到要显示的下一行数据。最后一行无效数据将因DIS_FIFO被VSYNC的低电平复位而丢弃,从而不会影响到下一场的下一行有效数据的传输。每次Timer1中断事件后,一行数据的传输时间为读SDRAM的 $3.6\mu\text{s}$ +写DIS_FIFO的 $7.2\mu\text{s}$ = $10.8\mu\text{s}$,而BLANK两个有效脉冲之间的低电平为 $10.7\mu\text{s}$,这就是说明在下一行有效期到来之后,数据已经大都放入DIS_FIFO,从而保证ADV7177可靠地得到显示数据。

1.7 帧存调度和EDMA事件链接

在SDRAM中设置了三个帧存储区,保证了图

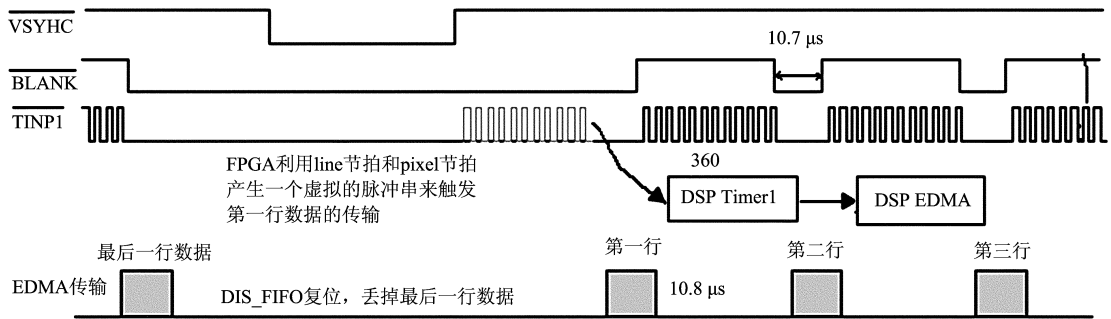


图 4 显示中断事件与 EDMA 传输关系图

Fig. 4 Relationship diagram of display interrupt events and EDMA transfer

像连续采集和连续显示,同时还提供一帧用于计算.图 5 为帧存调度与 EDMA 事件链接传输机制原理.利用 EDMA4 通道执行源地址固定,目标地址索引加 1 的二维 EDMA 传输,等到存满一帧数据以后,利用 EDMA 通道的事件链接机制,使 EDMA4 通道重新加载事件 N 的链接参数寄存器的参数,开始接收新一帧来自 CAP_FIFO 的数据流,并且将数据存入 SDRAM 的 Buffer2 中;等到存满后,重新加载事件 O 的链接参数,接收第三帧图像到 Buffer3 中,然后再次加载事件 P 的链接参数,如此循环,实现连续数据的采集,保证 PAL 制视频图像能以 25 fps 速率连续采集.同样在显示端,则利用 EDMA2 通道执行源地址索引加 1,目标地址固定的二维 EDMA 传输,从 SDRAM 的 Buffer1, Buffer2 和 Buffer3 中 Timer1 中断事件的触发下每次读取一行数据,写入 FPGA 中的显示 DIS_FIFO 中.利用 EDMA 的事件链接机制,在一帧传输完成后,EDMA2 的参数寄存器自动加载事件 Q、事件 R、事件 S 中的链接参数.实现显示数据的连接搬移,保证图像以 25 fps 的速度连续显示.

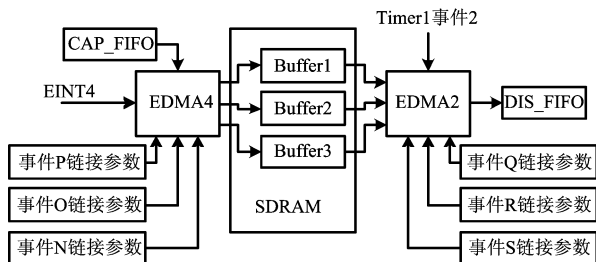


图 5 EDMA 传输机制与帧存的调度

Fig. 5 Diagram of EDMA transfer and frame buffer scheme

2 测试与性能比较

对采用上述方案设计出的实时视频处理硬件系

统进行了实验.输入视频信号取自 PAL 制 CCD 摄像头,并输出视频到监视器,用逻辑分析仪(惠普 HP1630D)观察 C6711 EMIF 总线接口,测试系统性能及总线上数据传输的实际速率.图 6 是从逻辑分析仪上拍摄的两张反映系统性能的重要时序图.图 6(a)是用“glitch”方式,实时监测 C6711 EMIF 接口上的三个外部中断和 TINP1 信号在图像帧与帧之间的时序关系. EINT7 和 EINT5 分别为采集和显示通道的帧中断(0 表示奇场,1 表示偶场),可以看出奇、偶场的总周期为 40 ms,说明系统能够同时以 25 fps 采集和显示全分辨率、彩色 PAL 信号.

在采集与显示两个方向同时进行 EDMA 数据传输时,EMIF 的数据总线复用及带宽占用状况如图 6(b)所示. Eint4 的脉冲间隔为 $64\mu\text{s}$,即 PAL 制的行频 15.6 kHz. Eint4 和 Tinp1 分别是用于触发采集和显示通道的行中断信号.可以看到,在 Eint4 的上升沿和 Tinp1 脉冲串的下沿分别触发了数据总线 Edata1 上一行数据的传输(数据区 1 和数据区 2),没有出现总线共享的冲突,而且其中的 Tinp1 与数据区 2 之间的真实时序关系与图 4 所示设计原理是“一致”的.

通过测试,本系统的性能特点:

(I) 将所有数字逻辑功能都集中到一片 FPGA 中,减小了系统体积,提高了系统的集成度,优于文献[1~3]采用分离元件的方法;

(II) 图像输入缓冲仅用一个 CAP_FIFO,实现了连续、实时采集,优于文献[1~3]中视觉处理系统的采集卡(video frame grabber board, VFG)扩充四片大容量 FIFO 作为帧存,不同于文献[2]外扩大量 SRAM 和文献[5]扩充 SDRAM 作为采集帧存的方案,降低了成本;

(III) 系统中同时包括采集、显示和处理全分辨

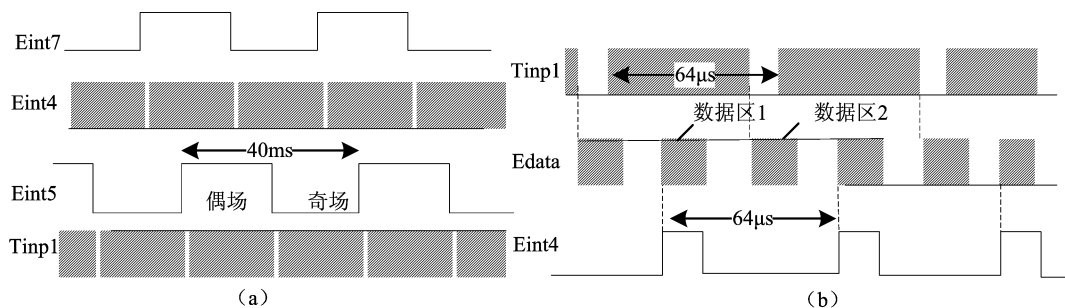


图6 HP1630D实测EMIF接口信号时序关系图

Fig. 6 Timing diagram of EMIF signal measuring by HP1630D logic analysis

率(720 px×525 px, 720 px×480 px)彩色 PAL 和 NTSC 制信号的能力,优于文献[1,3]中只处理灰度信息、低分辨率图像和只能采集,不显示的系统;

(IV)由于使用“三帧”轮换的方法,使得采集与显示两方不需要严格地时序同步,就能保证图像整帧采集和稳定连续地显示,优于两帧“乒乓”交换存储的方法.

3 结论

我们以 DSP 和 FPGA 为核心设计一种实时视频采集、显示和处理平台,当不需要实时监视操作场景的画面时,还可以把显示带宽(6.5 MHz×32 bit)节省出来,满足更复杂算法的需要.由于运用 EDA (电子设计自动化)设计手段,对数字逻辑时序关系进行了全面的逻辑综合与时序仿真验证,为系统的一次制板成功提供了重要保证.该实时视频处理平台的成功研制,一方面表现出本文所述设计方法的实用性,另一方面,由于该平台所具有的实时处理能力,以及小型化、低成本、低功耗、可独立运行的特点,使得其可以被应用于机器人手眼视觉的实时处理系统中.

该系统的 DSP 编程需要考虑系统软、硬件资源,应具有实时操作系统的部分功能,而且 C6x 指令在 8 条高度并行执行时,才能充分发挥其运算能力,因此算法编程要有技巧.随着集成电路技术的飞速发展,C6x 内核 CPU 时钟频率最高已达 1 GHz,但其内核与指令集基本相同,外扩展存储器都采集 EMIF 接口.考虑这种继承性,为了进一步提升平台的实时处理能力,在下一步的研究工作中拟将把本系统中软硬件设计方案能够移植到 C6x 其他型号,

特别是与 C6711 有相同的二级 cache 结构和 EDMA 控制器的 C64x.由于 C64x 具有两套 EMIF 接口,可以同时实现双路视频信号的采集,可以满足双目视觉处理的应用要求,但是平台硬件系统的复杂性随之大大增加,对系统设计提出了更高的要求,因此还要进行深入研究与分析.

参考文献 (References)

- [1] Asaad S, Bishay M, Wilkes D M. A low-cost, DSP-based, intelligent vision system for robotic applications [C]// 1996 IEEE International Conference on Robotics and Automation. IEEE Press, 1996, 2: 1 656-1 661.
- [2] 张雪松,倪国强,周立伟,等.带有 DSP 芯片的新型实时数字图像处理系统[J].光学技术,1997,(4):16-18.
- [3] 迟泽英,李坤宇,李武森,等.高速 DSP 视频图像数字处理电路几个关键问题的研究分析[J].红外技术,2001,23(2):24-27.
- [4] Tekalp A M. Digital Video Processing [M]. NJ, USA:Prentice Hall, 1998.
- [5] Texas Instruments. TMS320C6000 Imaging Developer's Kit (IDK) User's Guide[R/OL]. [2004-05-25]. <http://focus.ti.com/lit/ug/spru495a/spru495a.pdf>.
- [6] 盛磊,徐科军.基于 VHDL 的 I²C 总线控制核设计[J].单片机与嵌入式系统应用,2004,(5):23-26.
- [7] Philips Semiconductors. Datasheet: SAA7111A; Enhanced Video Input Processor (EVIP) [EB/OL]. [2004-05-25]. http://www.semiconductors.philips.com/acrobat/datasheets/SAA7111A_4.pdf.
- [8] Analog Device Inc.. ADV7177/ADV7178 Integrated Digital CCIR-601 to PAL/NTSC Video Encoder Data Book[EB/OL]. [2004-05-25]. http://www.analog.com/UploadedFiles/Data_Sheets/228873378ADV7177_8_c.pdf.