

空间 DSP 信息处理系统存储器 SEU 加固技术研究

贺兴华^{1,2}, 肖山竹¹, 张 路¹, 张开锋¹, 陶华敏¹, 卢焕章¹

(1. 国防科学技术大学 ATR 国防重点实验室, 长沙 410073; 2. 中国人民解放军 69026 部队, 乌鲁木齐 830092)

摘 要: 当前以高性能 DSP 为核心的信息处理系统被广泛应用于空间飞行器电子系统中。DSP 系统为实现大数据量信息处理, 通常需要扩展其外部存储器。而存储器件在空间应用中容易发生单粒子翻转(SEU; Single Event Upset), 使得存储器件中数据发生改变, 从而导致系统计算结果错误, 甚至可能导致系统功能失效。在介绍信息处理系统存储器件 SEU 机理的基础上, 针对 DSP 信息处理系统存储器的结构特点, 提出了一种基于“反熔丝型 PROM + TMR 加固设计 FLASH + EDAC 加固设计 SRAM”结构的存储器 SEU 加固设计方案, 并进行了原型实现。实验分析表明该设计具有较好的抗 SEU 性能和较强的实时性, 可以为同类型的空间信息处理系统设计提供参考。

关键词: 空间信息处理系统; 数字信号处理器; 存储器; 单粒子翻转效应; 错误检测与纠正

中图分类号: TN432 **文献标识码:** A **文章编号:** 1000-1328(2010)02-0472-06

DOI: 10.3873/j.issn.1000-1328.2010.02.026

0 引言

当前, 以高性能 DSP 为核心的信息处理系统广泛应用于空间飞行器电子系统中, 用于实现对空间飞行器的控制管理和数据处理。然而宇宙中存在大量的高能带电粒子, 空间飞行器在空间运行时, 容易受到这些高能带电粒子的影响, 引起其信息处理系统功能异常或故障, 降低了空间飞行器运行的可靠性。因此必须采取相应的容错措施, 进行有效的抗辐射加固设计。

一般而言, 空间环境对电子器件的影响可以分为两类: 总剂量效应(TID: Total Ionizing Dose)和单粒子效应(SEE: Single Event Effect)。而单粒子效应又可分为两类: 单粒子翻转效应(SEU; Single Event Upset)和单粒子锁定效应(SEL: Single Event Latchup)。空间电子系统抗辐射防护最常用的方法是进行屏蔽防护设计, 即采用具有一定质量面密度的材料, 如铝或钽, 对辐射敏感器件进行辐射屏蔽。这种方法可以有效消除 TID 效应对电子器件的影响; 对于 SEE 效应中的 SEL 效应可以通过外加电流监测处理电路进行防护, 当前已有比较成功的解决方案^[1]。上述方案可以直接应用于 DSP 信息处理系统中。

由于 DSP 内部存储器资源非常有限, 为实现大

数据量信息处理, 系统中需要扩展其外部存储器。当前, 存储器件的集成度不断增加、工艺尺寸越来越小、供电电压不断降低, 电路节点的临界电荷大大降低, 因此存储器件在空间应用中容易受到 SEU 的影响^[2,3], 使得存储器件中数据发生改变, 从而导致系统计算结果错误, 甚至可能导致系统功能失效, 因此空间 DSP 信息处理系统存储器件的 SEU 防护设计必须引起高度的重视。

虽然当前也有辐射加固存储器件应用于空间电子系统中, 但是这类器件体积功耗较大, 成本较高, 同时性能落后于主流器件。引入商用现货(COTS: Commercial off-the-shelf)技术, 用商用现货器件代替宇航级辐射加固器件, 是当前空间信息处理系统设计的一个趋势。本文将着重对基于 COTS 存储器件的抗 SEU 方法进行研究, 提出一种空间信息处理系统加载存储器和数据存储器的抗 SEU 方案, 并对该方案进行原型实现和性能分析。

1 信息处理系统存储器结构及存储器 SEU 机理

DSP 信息处理系统通过 EMIF(External Memory Interface)接口进行存储器扩展, 扩展的存储器可以分为以下两类:

加载存储器, 用于存放所加载的程序代码及加

载引导代码(引导代码必须扩展至 CE1 空间),一般选用 PROM 或者 FLASH 等非易失存储器,系统对该类存储器读写速度要求不高,但对其数据可靠性要求较高。

数据存储,用于存放 DSP 运算过程中产生的数据,一般选用 SDRAM, SRAM, SBSRAM 等同步或者异步存储器,为实现 DSP 器件运算的高性能,要求此类器件具有较高的读写速度和较大的存储容量。

是 TI C6701 系列 DSP 外部存储器连接示意图,可以看出在 4 个扩展空间中分别扩展了 SRAM, FLASH, SDRAM 等多种类型的器件。

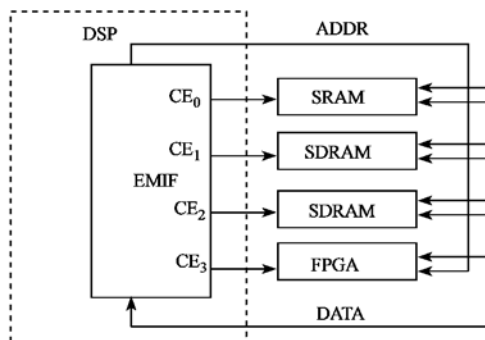


图1 DSP 外部存储器扩展图示

Fig.1 The external memory structure of the DSP

不同存储器件的存储结构各不相同,因此产生 SEU 的机理各不相同。

1.1 SRAM 器件中的 SEU

CMOS SRAM 的基本存储单元是双稳态触发器,组成双稳态触发器的结构有多种,如 6T 结构、4T-2R 结构、4T-2TFT 结构等等。对于 CMOS SRAM,截止管的漏区反偏 PN 结的空间电荷区构成器件的单粒子翻转灵敏区,一个存储单元有两个灵敏区。单个高能中子或质子射入半导体器件,通过与半导体材料硅相互作用产生重离子(反冲核)。重离子在灵敏区内沉积能量,产生电子空穴对。灵敏区的电场使电子空穴对分离,并被电极收集,形成瞬态电流。瞬态电流会使节点电势发生变化。当电势的变化超过高低电平的噪声容限时,就会使导通管截止或截止管导通,引起器件逻辑状态翻转,产生单粒子翻转效应。

1.2 SDRAM 器件中的 SEU

SDRAM 结构是一种被动的单晶体管结构,由单管的充电与否决定存储的二进制数据“0”和“1”。影响 SDRAM 的翻转因素主要是两个^[6]:一是电荷扰动

的大小,一是扰动产生的时刻。

当前,随着 SDRAM 集成度的增加和读写速度的提高,发生上述两种扰动的可能性也随之增大,相应地导致出现 SEU 的概率增大。

1.3 FLASH 器件中的 SEU

FLASH 器件的基本存储结构是单管叠栅结构单元,通过控制单管的浮栅电压实现“1”和“0”的存储。当有高能粒子穿过绝缘层到达浮栅后,累积的能量将会改变浮栅电压,出现“0”到“1”的翻转,这种翻转错误也是 FLASH 器件中最常见的错误^[4]。一般来说,不会出现“1”到“0”的翻转。

2 信息处理系统存储器抗 SEU 加固设计及实现

SDRAM, SRAM 和 FLASH 等存储器件遭受 SEU 影响,通常发生的是非永久性失效,这种失效只是产生存储状态的瞬时错误,不会对存储器件本身造成物理损伤。在进行重写之后即可消除 SEU 对器件造成的影响,因此可以通过检错纠错设计,在检测到错误后进行重写操作来消除此类失效影响。

2.1 加载存储器可靠性设计及实现

加载存储器主要存储 DSP 的 BOOT 工程代码和 DSP 主工程代码。通常这两类代码一起存储在 FLASH 等非易失性存储器中,扩展在 EMIF 的 CE1 空间^[6]。

根据空间任务的不同,经常要对 DSP 信息处理系统进行功能重构,实现 DSP 在轨重加载。为保证重加载的正确性,必须首先确保 BOOT 工程代码的可靠性。本文提出一种将 DSP 的 BOOT 工程代码和 DSP 主工程代码分别存储的方案,应用反熔丝型 16 K×8 bit PROM 实现对 BOOT 工程代码进行存储。该器件采用反熔丝型工艺,空间可靠性极高,可以认为任务期间不会发生翻转,从而保证了 BOOT 工程代码的可靠性。

DSP 信息处理任务工程代码所占存储空间较大(一般要几百 KB 甚至更大),同时为实现 DSP 工程的重构,要求存储器件可以重复烧写,选用容量较大、可重复烧写的 FLASH 器件,扩展在 EMIF 的其它空间。当前 FLASH 器件的容量可以做到非常大,为保证空间重加载时数据的正确性,本文提出采用 TMR 方式存储 DSP 工程代码的设计方案;工程代码烧写时进行三模存储,即在存储器内部进行三备份

的存储,加载时由 BOOT 工程中的控制程序进行不同备份区的逐字节比对搬移,如果两次比对结果一致则直接搬移,两次比对结果不一致,再进行第三次读取比较,取其中两次比对结果相同的数据进行搬移;如果出现三次搬移各不相同,则进一步进行按位的比较,由于出现两个字节同一位同时出错的概率非常之小,因此仍可以得到正确结果,进一步提高 TMR 的效果。

为了避免发生错误累积,在检测到错误并改正后,将正确结果回写给 FLASH。由于 FLASH 的烧写必须在 FLASH 擦除后全 FF 的状态下进行,而 FLASH 的擦除必须至少按照扇区进行。如果出现了 FLASH 中数据错,要实现对该字节数据的纠正回写,首先要对该字节所在扇区进行缓存(此时错误数据已经得到了纠正),缓存数据放在 DSP 内部 RAM 中,然后擦除 FLASH 中该扇区内容(全写 FF),接着将缓存的数据重新写入 FLASH 相应位置,实现对 FLASH 中的错误数据的纠正,避免系统在空间运行时 FLASH 数据的 SEU 累积。上述功能在 PROM 中的 BOOT 工程中实现。

加载实现流程图如图 2 所示。

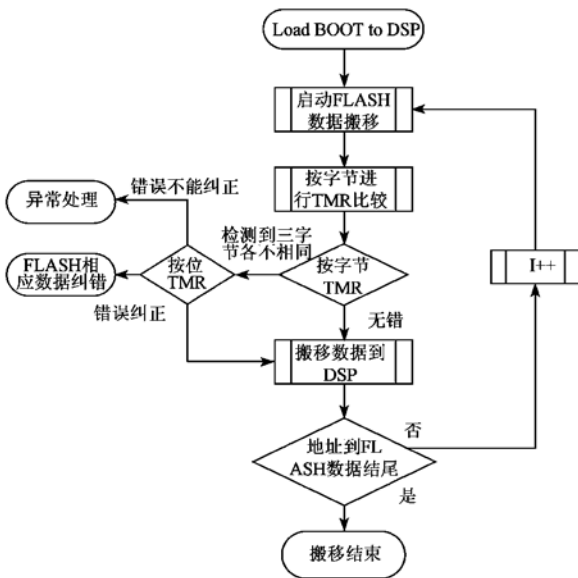


图 2 BOOT 工程加载 FLASH 数据原理

Fig.2 Principle of FLASH data load using BOOT projection

图中异常处理主要解决按位 TMR 比较仍不能纠正的错误。对于这种异常情况,可以通过与地面控制终端进行远程通信,对 DSP 主工程代码进行重烧写操作来解决。

2.2 数据存储可靠性设计及实现

实验表明,相同工艺尺寸和容量的 SDRAM 翻转截面比 SRAM 的翻转截面高两个数量级,其存储单元更容易发生 SEU,因此空间应用中一般选择 SRAM 作为外部数据存储。本文主要针对 SRAM 的 SEU 翻转进行加固设计。

DSP 信息处理系统要求外部存储器具有较高的数据读写速率,同时支持多种数据类型的操作。基于此,本文提出一种基于 FPGA 采用组合逻辑、按字节编码校验实现的扩展汉明码 EDAC 方法,实现原理如图 3 所示。

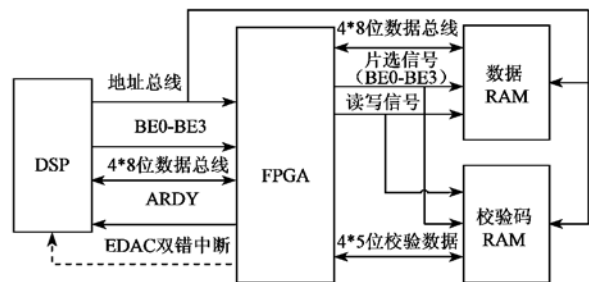


图 3 基于 FPGA 实现的 SRAM EDAC 原理

Fig.3 Principle of SRAM EDAC implemented by FPGA

设计中 EDAC 由 ACTEL 反熔丝器件 AX2000 - FG896 硬件完成。该器件采用反熔丝型结构,不存在 SRAM 型器件的配置位翻转问题。同时,EDAC 实现采用组合电路的方式,不使用其中的 SRAM 型寄存器(在 ACTEL 反熔丝器件中综合为 Sequential Cells),避免了 FPGA 中 SRAM 结构的 SEU 效应,保证了 EDAC 功能模块自身的高可靠性。

数据读写时通过控制 BE0-BE3 使能信号,实现 8bit, 16bit, 24bit, 32bit 数据的写操作,每 8 位数据计算获得一个 5 位的校验位,存储在校验码 SRAM 的相应字节的高 5 位;进行数据的读操作时,通过控制 BE0-BE3 使能信号,按字节分别读取数据和相应的校验位,进行数据和校验位的检测与纠正,同时将纠正后的数据回写到数据存储器或校验位存储器,此时 ARDY 信号拉低,EMIF 的 Strobe 信号将被延长,EMIF 进入等待状态,回写结束后 ARDY 信号被置高,开始数据正常读写。引入 ARDY 信慌后的读写时序如图 4 所示:

此设计方法可以整体缩短 DSP 对外部数据存储器的读写周期,极大提高了数据读写速度。

如果出现两位错,FPGA 给 DSP 发送两位错中

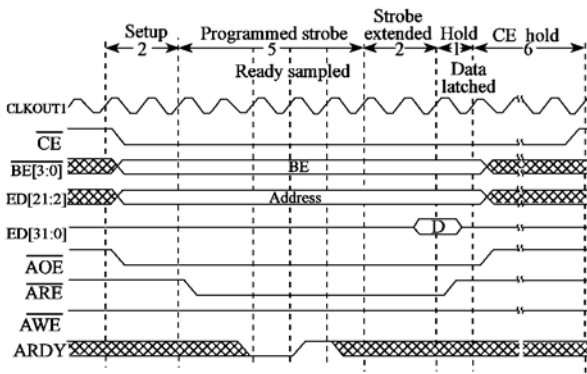


图 4 C6701 ARDY 接口时序[6]

Fig.4 ARDY interface scheduling of C6701

断,DSP 调用相应的中断处理程序,对该地址的数据进行重新计算写入,实际应用中出现两位错的概率比较少。

信息处理系统存储器总体实现结构如图 5 所示。

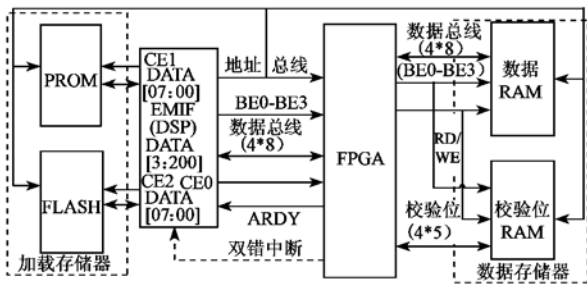


图 5 信息处理系统外部存储器 SEU 加固设计框图

Fig.5 Memory's SEU mitigation of information processing system

3 性能分析

PROM 存储器采用反熔丝器件,可以认为对 SEU 免疫,重点进行 FLASH 器件和 SRAM 器件的抗 SEU 设计性能分析。

(1) FLASH TMR 加固设计性能分析

配置存储器(FLASH)要求的配置实时性不高,主要考虑容错性能的改进。采用文中所使用方法,可以纠正所有不是同时出现在 TMR 字节中同一位置的错误,而这种错误出现概率是极其小的。文献[4]表明,FLASH 型器件空间应用中,在地球同步轨道(GEO)时,没有遭遇太阳风暴的情况下,每位的翻转率约为 1×10^7 次/位·天,选用 4MB 的 FLASH 器件,不采用任何加固措施时,器件翻转率约为 3.2 次/片·天,假设翻转就出错,则 FLASH 器件每天约有 3.2 次错误,采用文献[5]中的计算方法,按字节

TMR 加固后,器件错误率约为 7.68×10^{-7} 次/片·天,即 1.30×10^6 天才出现一次错,无故障时间提高了将近 6 个数量级。

(2) SRAM 汉明码 EDAC 加固设计性能分析

对于 SRAM 的汉明码 EDAC 设计,在考虑容错性能的同时还必须考虑实时性。容错性能方面,文中采用的汉明码 EDAC 设计,可以纠正每个字节及其校验位中的单位错,同时可以检测信息位以及校验位的两位错。设计中选取 2MB 的 SRAM 器件,在地球同步轨道(GEO)时,没有遭遇太阳风暴的情况下,位翻转率约为 1×10^7 次/位·天,不采用任何加固措施时,器件的翻转率约为 1.6 次/片·天,假设翻转就出错,则 SRAM 器件每天约有 1.6 次错误,采用文献[5]中的计算方法,汉明码 EDAC 设计加固后,器件错误率约为 1.56×10^6 次/天。即 6.4×10^5 天才出现一次错,由此可知,系统可靠性得到了极大的提升。

需要说明的是,上述可靠性分析中没有考虑系统中其它器件的 SEU 影响,而在实际应用中还需要考虑这部分器件的可靠性,这方面的研究不是本文的研究重点,在此不作详细研究。

设计实时性能方面,EDAC 设计实现基于 AC-TEL 综合集成开发环境 LEBRO8.5,综合工具选用 SYNPLIFY 9.6A (ACTEL EDITION),利用 Modelsim 6.0 仿真工具进行时序仿真,仿真示意图如图 6 所示。

可以看出,文献[8]中的方法实现纠错需要有 2 个周期的延时,文中提出的方法,无数据错误时,ARDY 信号置高,可以实现 DSP 与外部数据存储器之间数据读写的直通。

资源利用方面,对比[8]中方法,FPGA 内部资源利用情况如表 1。

表 1 两种方法资源利用比较

Table 1 Two methods resource comparison

比较项目	[8]中方法	文中方法
Combinational Cells	189	112
Sequential Cells	247	0
Total Cells	436	112

* 表中所示资源包括了仿真测试中自动错误产生功能所占用的资源^[8],实际应用中所示资源比表中所示资源要少。

可以看出,文中采用的方法没有用到 FPGA 中的 SRAM 型存储结构资源(ACTEL 型 FPGA 中存储结构由 Sequential Cells 配置而成,由上表可见本文所

使用方法未使用到该资源),因此该 EDAC 设计具有较好的抗 SEU 能力。

上述对于加载存储器和数据存储器的可靠性设计方法已实际应用于某型号空间飞行器信息处理系统原型设计中,初步应用表明,该系统运行稳定、可靠。

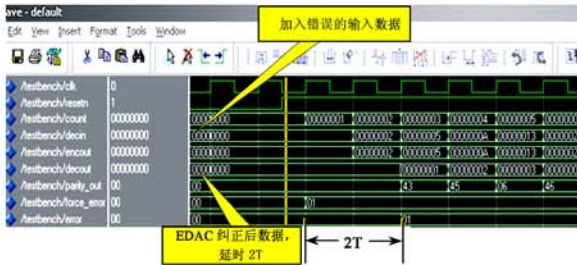


图 6(a) 文献[8]中方法 EDAC 时序图

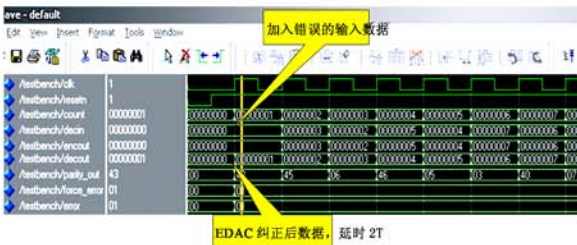


图 6(b) 本文方法 EDAC 时序图

Fig.6 Scheduling of EDAC

4 结论

本文对空间 DSP 信息处理系统存储器抗 SEU 加固技术进行了研究,提出了一种基于“反熔丝型 PROM + TMR 加固设计 FLASH + EDAC 加固设计 SRAM”结构的存储器抗 SEU 防护设计方案,并进行了原型实现。仿真实验分析表明,该设计能够保证 DSP 的可靠启动,消除空间单粒子效应对 FLASH 器件造成的 SEU 累加,有效解决了空间信息处理系统加载存储器可能受 SEU 影响造成的加载失败问题。基于 FPGA 组合逻辑实现的外部数据存储器 EDAC 设计,有效解决了空间信息处理系统数据存储器的 SEU 翻转问题,同时通过使用 ARDY 控制模式,缩短了 DSP 访问外部存储数据的读写周期,保证了 DSP 信息处理系统的实时性能。该设计方案也可以应用于核突防、强电磁干扰等可能发生存储器翻转的领域。

后续研究中,结合系统中其它器件的抗 SEU 设计,进行地面高能粒子模拟实验,进一步实际验证文中提出方法的有效性。

参考文献:

[1] 李毅,李瑞,张春元,等. 基于 COTS 的空间信息处理系统单粒子闭锁保护技术实现[J]. 宇航学报,2007,28(5):1283-1287. [Li Yi, Li Rui, ZHANG Chun-yuan. The implement of single-event-latchup protection technology in space information processing system based on COTS[J]. Journal of Aeronautics, 2007, 28(5):1283-1287 (in Chinese).]

[2] Amusan O A, Witulski A F, Massengill L W, et al. Charge collection and charge sharing in a 130 nm CMOS technology[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3253-3258.

[3] Heidel D F, Rodbell K P, Oldiges P, et al. Single-event-upset critical charge measurements and modeling of 65 nm silicon-on-insulator latches and memory cells[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3512-3517.

[4] Nguyen D N, Guertin S M, Swift G M, Johnston A H. Radiation effects on advanced FLASH memories[J]. IEEE Transactions on Nuclear Science, 1999,46(6):744.

[5] Larry D, Edmonds. Analysis of Single-Event Upset Rates in Triple-Modular Redundancy Devices[M]. JPL Publication 09-6,2009:10.

[6] 李芳慧,王飞,何佩琨,等. TMS320C6000 系列 DSPs 原理与应用(第二版)[M].北京:电子工业出版社,2003:341-345. [LI Fang-hui, WANG Fei, HE Pei-kun, et al. Theory and Application of TMS320C6000 series DSP(Second Edition)[M]. Beijing: Publishing House of Electronics Industry, 2003:341-345(in Chinese).]

[7] Sasada T, Ichikawa S, Kanai T. Measurement of single-event effects on a large number of commercial DRAMs[J]. Workshop Record of IEEE Radiation Effects Data,1999:17-18.

[8] Simon Tam. XAPP645 (v2.2), Single Error Correction and Double Error Detection, 2006.

作者简介:贺兴华(1980-),男,博士研究生,主要研究方向为实时系统与专用集成电路技术、空间信息处理系统可靠性设计。
通信地址:国防科学技术大学电子科学与工程学院 ATR 重点实验室(410073)
电话:13786143815
E-mail:huaxinghe@nudt.edu.cn