

基于改进型(14,8)循环码的 SRAM 型存储器 多位翻转容错技术研究

贺兴华^{1,2}, 卢焕章¹, 肖山竹¹, 张 路¹, 张开锋¹

(1. 国防科学技术大学 ATR 国防重点实验室, 长沙 410073; 2. 中国人民解放军 69126 部队, 新疆乌鲁木齐 830092)

摘 要: SRAM 型存储器空间应用通常采取纠一检二(SEC-DED)的方法, 克服空间单粒子翻转(SEU)对其产生的影响。随着 SRAM 型存储器工艺尺寸的减小、核心电压的降低, 空间高能粒子容易引起存储器单个基本字多位翻转(SWMU), 导致 SEC-DED 防护方法失效。在研究辐射效应引起的 SRAM 型存储器多位翻转模式特点的基础上, 提出一种基于改进型(14,8)循环码的系统级纠正一位随机错和两位、三位突发错同时检测随机两位错(SEC-DED-TAEC)的系统级容错方法。基于该方法的存储器系统容错设计具有实现简单、实时性高的特点, 已成功应用于某型号空间自寻的信息处理系统。仿真试验及实际应用表明, 该方法可以有效防护 SRAM 型存储器 SWMU 错误, 有效提高了空间信息处理系统可靠性, 可以为其它空间电子系统设计提供参考。

关键词: 静态存储器; 容错; 单字节多位翻转; 突发错误; 可靠性

中图分类号: TN432; V433

文献标识码: A

文章编号: 1000-1328(2010)03-0803-08

DOI: 10.3873/j.issn.1000-1328.2010.03.030

0 引言

空间辐射环境中高能粒子能够引起 VLSI 器件内部多个单元产生瞬时错误, 这种错误可能由两种原因引起: 一是由于有多个粒子同时击中器件不同的敏感区, 产生多个单元瞬时错误; 二是由于单个高能粒子击中器件敏感区, 产生的电荷发生扩散作用, 引起器件的多个单元出现瞬时错误。在 SRAM 型存储器中, 这种多个单元的瞬时错误表现为多位翻转, 即 MBU(Multiple Bits Upset)。由于空间环境中的粒子分布具有高能量低通量的特点, 因此发生存储器的多位翻转主要是由后者引起的, 通常称之为单个粒子引起的多位翻转, 即 SEMU(Single Event Multiple Upset)。随着 SRAM 结构器件工艺尺寸的减小、核心电压的降低, 出现这种错误的概率逐渐增大。低轨情况下约占整个单粒子事件的 5% - 10%^[1]。在存在大量高能粒子的情况下(如太阳耀斑爆发等), 由于高能粒子产生的电荷更多, 因此产生 SWMU 的比例会更大, 此时必须引起设计者足够的重视。通常对 SRAM 型存储器的数据操作都是按基本字进行的, 因此影响实际应用的是单个基本字多位翻转错

误, 即 SWMU(Single Word Multiple Upset)。目前空间电子系统中应用比较多的 SEC-DED(Single Error Correction and Double Error Detection)纠错方案, 在发生 SWMU 的情况下失效。在容易发生 SEMU, 同时可靠性要求较高的空间应用中, 必须采取更有效的防护方法, 来克服 SWMU, 才能保证系统的高可靠性。本文主要研究 SRAM 型器件 SWMU 特性及其防护技术。

当前主要通过以下几种方法解决存储器的 SWMU 问题: 一是在器件级的进行工艺加固^[2], 二是将逻辑相邻位在物理上进行分散设置^[3-5], 三是通过 BISC(Built-In Current Sensors) + SEC-DED 方法进行多位错误的纠正^[6-7], 四是通过编码的方法进行多位错的检测与纠正^[8-10]。前三种方法都需要在器件级进行防护设计, 从而带来器件布局布线的复杂性, 增加器件的功率消耗, 同时增加了器件的生产成本。对于一般的 SRAM 型存储器件, 只能从系统级进行防护。编码方法是一种可行的系统级 SEMU 的防护技术。数字通信中有多种解决多位错误的编码方法, 包括 BCH 码、RS 码、交织码、乘积码以及用于纠突发错误的卷积码^[9]等。但是这些基于编码的多

位纠错方法实现复杂,实现中带来较大的操作延时,在实时性要求较高的应用中不适用,需要寻求新的解决方法。

本文第二节研究了高能粒子作用下 SRAM 型存储器件发生 SWMU 的主要错误模式,针对错误模式的特点,文章第三节提出一种基于改进型(14, 8)缩短循环码编码纠错的 SRAM 型存储器抗 SWMU 方法,该方法可以纠正随机一位错、检测随机两位错,同时纠正相邻两位和三位错,即 SEC-DED-TAEC (Single Error Correction-Double Error Detection-Triple Adjacent Error Correction)。第四节从可靠性、占用资源和延时几个方面对该方法进行了性能分析,第五节进行了仿真实验。基于本文方法的存储器系统成功应用于某型号空间自寻的系统中,初步的试验显示,该方法可以有效防护 SRAM 型存储器件空间应用中的 SWMU 错误,极大提高了空间自寻的系统可靠性性能。

1 存储器 SEMU 模式分析

1993 年, Koga^[11] 指出, SEMU 与器件的布局有关,在两种情况下可以发生 SEMU:一是高能量、长射程的高能粒子以接近 90°的大角度掠射,穿过属于同一字节的多个单元,二是器件同一个字节的全部或部分位在物理上相邻,高 Z 值、高 LET 值的重离子垂直或倾角入射,产生的电荷为相邻的多个位分享,引起单个字节内的多位翻转。我们称此类错误为第 I 类 SWMU 错误。由于能量和入射角度的限制,第一种机制引起的翻转截面较小,第二种机制引起的翻转截面则较大。空间环境中发生的多是 I 类 SWMU。另外,空间应用中如果长时间不对 SRAM 进行刷新,可能导致单个字节内的单粒子翻转 (Single Event Upset, SEU) 累积,从而导致 SWMU,我

们称此类错误为第 II 类 SWMU 错误,由于空间高能粒子具有高能量低通量的特点,因此一定时间内出现这种错误的概率是比较小的。同时由于第 II 类错误可以通过简单的刷新回写技术克服,因此本文重点研究 I 类 SWMU 的问题。

SRAM 型存储器中存储单元以存储矩阵的形式进行组织,如图 1 所示。实际应用中,存储器结构中还包括输入锁存电路、时序控制电路、预充电电源、译码电路以及输入输出电路等,这里不作介绍。

通常存储矩阵每行包括多个基本字,通过行、列译码器译码后,即可对存储器的对应基本字进行读写操作。当有高能粒子击中存储器存储阵列时,可能发生图 1 所示的 4 种 SEMU^[3]。

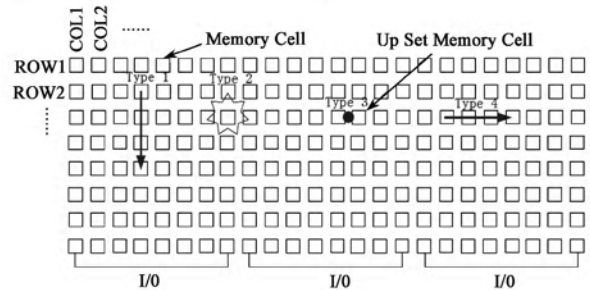


图 1 存储器基本组织结构及可能的 SEMU 错误模式

Fig. 1 Structure of memory cell and SEMU signature

其中 Type1, Type4 是由高能粒子大角度掠射、连续穿过多个存储单元所致, Type2, Type3 是由单个高能粒子垂直或倾角入射,产生的电荷被相邻的多个位分享,引起多位翻转。通常 SRAM 型存储器结构中,同一基本字均分布在同一行中,因此图中 Type2, Type3, Type4 的 SEMU 可能导致 SWMU。

文献[4]研究认为 SEMU 主要集中在 4 位以内,分别对引起的 2、3、4 位翻转的错误图样进行统计,每次统计样本为 1000,统计的错误图样数目如表 1 所示。

表 1 存储器 SEMU 错误图样模式统计列表

Table 1 Statistics of 2-, 3-, and 4-bit SEMU signature

Energy	Double-bit upset type				Triple-bit upset type						Quadruple-bit upset type					
				OTH						OTH						OTH
22MeV	773	136	80	11	920	34	15	0	3	28	726	57	66	47	38	66
47MeV	681	180	117	22	861	62	27	13	10	27	621	79	103	84	42	70
95MeV	653	192	132	23	792	79	40	26	23	40	482	154	109	99	41	116
144MeV	686	156	133	25	799	62	44	23	16	56	455	114	136	98	49	147
平均	698	167	115	20	843	59	32	15	13	38	571	101	103	82	43	100

分析错误图样统计结果,可以看出发生 SRAM 型存储器中的多位错,主要表现为同一行或列的两位连续错,最多为三位连续错。因此由单个粒子引起的 SEMU 主要表现为同一基本字中的相邻两位或三位的突发错误。由于目前普遍使用的 SEC-DED 技术只能进行单个基本字中一位错误的纠正,无法解决此类 SEMU 问题,必须寻求新的解决方案。

2 基于缩短循环码的 SEC-DED-TAEC 原理及实现

文献[13]提出一类解决突发错误的循环码,用于解决数字通信传输中的串行突发错误纠正。根据上面的分析,高能粒子引起的 SRAM 型存储器的 SWMU 也表现出这种突发错的形式,基于此,本文对这类循环码及其实现方法进行了改进,用于 SRAM 型存储器空间应用中克服 SWMU。

2.1 改进的纠突发错误编检码

所谓突发错误是指在码字中连续出现的错误,如果一种码能纠正长为 l 或者小于 l 的突发错误,但不能纠正所有长为 $l+1$ 的突发错误,则称该码的突发纠错能力为 l 。突发纠错能力为 l 的码同时可以纠正长度小

于 l 的所有突发错误码,当然也包括所有的单 Bit 随机错。对于给定的信息位长度 k 以及码的突发错误纠错能力 l ,希望构造 (n, k) 码,其中 $n-k$ 能尽可能的小,即 n 尽可能的小,如此可以减少实现资源和实现时延^[8]。一般纠长为 l 突发错误码的奇偶校验位数至少为 $2l$,即 $n-k \geq 2l$,该式表明 (n, k) 码的纠错能力至多为 $\lfloor (n-k)/2 \rfloor$,这是 (n, k) 码纠错能力的上界,称为赖格尔(Reiger)界,能够达到 Reiger 界的码被认为是最优的。

当存储器用作处理器的外部扩展存储器时,操作数可以是 char 型(8Bit), short 型(16Bit)以及 int 型(32Bit)等,其基本字宽为 8 的倍数。由于一般采取的编码都是系统码,为使处理器能进行各种类型操作数的读写,编码时一般均以 8bit 作为基本编码单位。文献[13]构造了一种用于数字通信中纠正突发错误的(15,9)循环码,可以纠正突发 3 位错误,容易证明该码是一种可以纠 3 位突发错误的最优码。其生成多项式如(1)式所示。

$$g(x) = x^6 + x^5 + x^4 + x^3 + 1 \quad (1)$$

相应的校验矩阵如(2)式所示。

$$H = \begin{bmatrix} 1 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad (2)$$

H 中满足相加之和为 0 零所需的最少的列向量的个数为 3,因此该(15,9)码的最小距离为 3。为实现对 8Bit 信息位的编码,需要对原码进行缩短改进。为使缩短后改码的最小汉明距离最大,我们选择去掉 H 矩阵中的第五列。改进后的校验矩阵如

(3)式所示。由于改进后 H 中满足相加之和为零所需的最少的列向量的个数为 4,因此改进后的(14,8)码最小距离为 4。根据编码理论可知,该码在保持原有纠错能力的同时,可以检测随机的两位错,因此改进后的新码可以实现 SEC-DED-TAEC。

$$H = \begin{bmatrix} 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 0 \\ 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \quad (3)$$

假设校验矩阵为上述改进后的 H,相应的伴随向量为 S,要传输的码字为

$$C = [DB7 DB6 DB5 DB4 DB3 DB2 DB1 DB0 CB5 CB4 CB3 CB2 CB1 CB0]$$

其中 DB7~DB0 为数据位, CB5~CB0 为校验位。

根据 $\mathbf{HC}^T = \mathbf{0}^T$ 可得

$$\begin{aligned} CB5 &= DB7 \oplus DB4 \oplus DB3 \oplus DB0 \\ CB4 &= DB7 \oplus DB6 \oplus DB4 \oplus DB2 \oplus DB1 \\ CB3 &= DB7 \oplus DB6 \oplus DB5 \oplus DB4 \oplus DB3 \oplus \\ &\quad DB1 \oplus DB0 \\ CB2 &= DB7 \oplus DB6 \oplus DB5 \oplus DB3 \oplus DB2 \\ CB1 &= DB6 \oplus DB5 \oplus DB4 \oplus DB2 \oplus DB1 \\ CB0 &= DB4 \oplus DB3 \oplus DB1 \oplus DB0 \end{aligned} \quad (4)$$

相应的伴随式为

$$\begin{aligned} S5 &= DB7 \oplus DB4 \oplus DB3 \oplus DB0 \oplus CB5 \\ S4 &= DB7 \oplus DB6 \oplus DB4 \oplus DB2 \oplus DB1 \oplus CB4 \\ S3 &= DB7 \oplus DB6 \oplus DB5 \oplus DB4 \oplus DB3 \oplus \\ &\quad DB1 \oplus DB0 \oplus CB3 \\ S2 &= DB7 \oplus DB6 \oplus DB5 \oplus DB3 \oplus DB2 \oplus CB2 \\ S1 &= DB6 \oplus DB5 \oplus DB4 \oplus DB2 \oplus DB1 \oplus CB1 \\ S0 &= DB4 \oplus DB3 \oplus DB1 \oplus DB0 \oplus CB0 \end{aligned} \quad (5)$$

其伴随向量和出错位置的对应关系如表 2 所示。

表 2 本文采用的(14,8)循环码校正子表

Table 2 The syndrome list of the proposed (14,8) CRC code

110	110	101	100	011	010	001	000	
×	×	×	×	×	×	×	CB2-1-0	111
×	DB5-4-3	×	×	×	DB2	CD3-2-1	CB2-1	110
×	×	×	×	DB2-1	DB6-5-4	DB4-3	×	101
DB6	DB6-5	DB3	DB2-1-0	CB4-3-2	×	CB3-2	CB2	100
DB4	DB5	×	×	DB4-3-2	×	DB1	CB10	011
DB3-2	DB1-0	DB7-6-5	×	DB5-4	×	×	CB1	010
DB0	DB3-2-1	×	×	×	DB7-6	×	CB0	001
CB5-4-3	CB5-4	×	CB5	CB4-3	CB4	CB3	NE	000

* 表中 NE 表示无错, × 表示校正值图样中未用到的校正子。

表中 CB4-3-2 表示校验位中出现 CB4, CB3, CB2 的突发三位错, 由于该码是线性分组码, 因此发生上述错误的伴随式即是分别每位出错的伴随式的异或和, 即“010000” \oplus “001000” \oplus “000100”=“011100”, 因此其对应的伴随式为“011100”。在译码后若计算得到的校正子为“011100”, 则表示出现了上述突发错误, 输出时对码字进行上述三个位置的异或运算, 得到错误纠正后的正确结果。

可以看出上述编检码能够纠正所有的信息位和校验位中的随机一位错、突发两位错和突发三位错。同时由于该码字的最小距离为 4, 因此任意两位错导致的伴随式与一位错导致的伴随式不同, 且不为零, 因此可以检测所有的随机两位错。

2.2 SEC-DED-TAEC 实现

由于该纠正突发错误的(14,8)码是一种线性循环码, 在数字通信中数据传输是串行进行的, 因此在数字通信领域利用码字的循环特性, 通过带反馈连接的移位寄存器, 来实现此类码的编码和校正子计算。译码时可以采取捕获译码的方法, 实现高效译码与错误校正^[13]。但是在处理器存储系统中应用该编码时, 由于数据读些操作都是并行实现的, 不能

采用串行实现的方法, 同时 SRAM 用作处理器等的外部存储器时, 要求具有较高的实时性, 基于上述考虑, 应用中选择通过可编程逻辑器件进行硬件并行实现。

硬件实现主要包括编码模块、译码及校正子生成模块及纠错模块, 另外为克服由于 SEU 累积引起 SWMU, 需要设计一个控制电路, 判断总线是否在被占用, 在不占用时, 以一定的时间间隔进行刷新操作。整个电路的设计框图如图 2 所示。其中 UE 中断信号表示检测到不能纠正的多位错误, 通过中断信号给处理器, 执行相应的错误恢复操作; INT1 用于在总线空闲时, 使能 FPGA 内的刷新模块进行 SRAM 的数据刷新。该方法也可以应用于 FPGA 等 VLSI 器件的内部寄存器等易发生 SWMU 的存储器防护中, 实现原理和上述方法相同。

3 性能分析

从实现功能角度讲, 本文采用方法可以实现存储器的 SEC-DED-TAEC。以下从存储器应用可靠性改进、实现占用资源和操作引入延时三个方面对本文所述方法与 SEC-DED 方法进行性能分析比较。

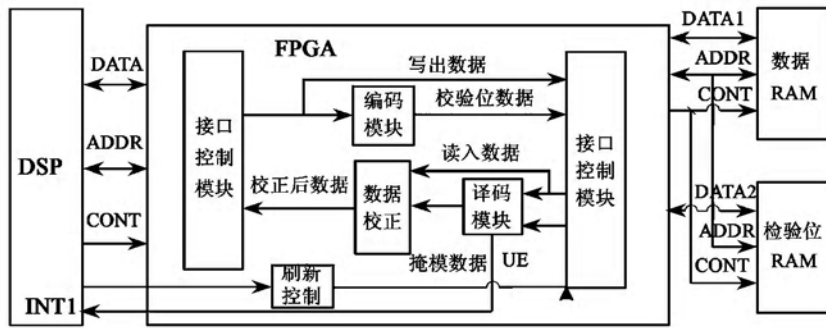


图 2 基于 FPGA 硬件实现的 SEC-DED-TAEC 原理

Fig. 2 Principle of SEC-DED-TAEC implemented by FPGA

3.1 可靠性改进

由 SEU 累积而导致的 SWMU, 可以通过刷新的方法进行克服, 文献 [14-15] 对于如何选择刷新周期以及可靠性分析进行了研究, 在此不做详细研究。这里只考虑文中提出方法对于 SEMU 引起的 SWMU 的克服以及由此带来的可靠性改进情况。

根据空间粒子分布的低通量特点, 加之考虑了刷新技术, 发生 SEMU 只可能是由于单个粒子引起的, 用 λ 表示每个基本字内的单粒子到达率, $p(i)$ 表示到达后的单粒子引起单个基本字内 i 位翻转事件的概率, 且 $p(i)$ 满足

$$\sum_{i=0}^w p(i) = 1 \quad (6)$$

W 表示基本字的宽度。容易得到 t 时间内由于单粒子引起的翻转率可以表示为

$$\lambda \cdot t \cdot \sum_{i=0}^w p(i) \quad (7)$$

W 表示发生 SEMU 的最多翻转的位数, 显然 $w \leq W$ 。根据可靠度定义可得, 在未作 EDAC 防护时, 基本字 t 时间内的可靠度为

$$r(t) |_{NO-EDAC} = \exp\left(-\int_0^t \lambda \cdot t \cdot \sum_{i=1}^w p(i) dt\right) \quad (8)$$

由于 SEC-DED 可以纠正单个字节内的 1 位错, 则其基本字 t 时间内的可靠度可以表示为

$$r(t) |_{SEC-DED} = \exp\left(-\int_0^t \lambda \cdot t \cdot \sum_{i=2}^w p(i) dt\right) \quad (9)$$

本文采用的 SEC-DED-TAEC 可以纠正一位随机错, 两位突发错以及三位的突发错, 因此其可靠度可以表示为

$$R(t) |_{SEC-DED-TAEC} = \exp\left(-\int_0^t \lambda \cdot t \cdot \sum_{i=4}^w p(i) dt\right) \quad (10)$$

显然 $R(t) |_{SEC-DED-TAEC} > R(t) |_{SEC-DED}$, 因此通过 SEC-DED-TAEC 设计提高了系统应用的可靠性, 发生多位翻转的概率越大, 则可靠性的改进也越大。

3.2 实现占用资源

SEC-DED-TAEC 设计采用可编程逻辑器件实现, 需要使用一定的逻辑资源。考虑实现的实时性, 所有逻辑均可以采用组合逻辑实现。相比 SEC-DED 实现占用资源方面由于增加了错误图样的纠正, 相应的实现逻辑有所增加。SEC-DED-TAEC 的实现码率 $\eta = \frac{k}{n} = 8/14 = 0.57$, 比 SEC-DED 的码率 $\eta = \frac{k}{n} = 8/13 = 0.62$ 略小。但在实际应用中, 信息位和校验位数据分别存储在两个独立的 SRAM 存储器件中, 当前通用的存储器件都是以 8Bit 作为基本数据宽度, 因此码率对于这种应用的影响并不大。

3.3 操作引入延时

与 SEC-DED 的硬件实现原理相同, 实现电路本身的延时主要是由可编程逻辑器件中编译码的异或运算引起的。延时的大小由异或逻辑数量决定。由于进行编码生成校验位数据和译码生成校正子的硬件异或电路相同, 因此可以采用查找表的方法进行编译码实现, 以一定的存储资源代价换取编译码的实现延时, 提高纠检错电路的实时性。

可以看出, 相比普通的 SEC-DED 方法, 本文所使用的方法, 以基本相同的代价实现了对 SRAM 型存储器的 SWMU 错误防护。

3.4 仿真试验

基于反熔丝型 FPGA AX2000-2-FG896 进行上述编码的实现, 该型器件是一次烧写非易失性器件, 不存在配置位的翻转问题, 具有较好空间应用特

性。开发工具选用 ACTEL 综合集成开发环境 LIBERO8.5, 综合工具选用 SYNPLIFY 9.6A (ACTEL EDITION), 利用 Modelsim 6.0 SE 仿真工具进行时序仿真, 主要验证设计电路能否实现 SEC-DED-TAEC 功能。分别对随机一位错、突发两位错和突发三位错

以及随机两位所示, 在进行译码校正之后相应输出为 decout 和 parity_out, error 是加入的错误图样, syndrome 是校正子, mask 是纠正的图样, 可以看出 error 和纠正图样是一致的, 也就是说通过译码校正, 错误得到了纠正。仿真结果如图 3 所示。

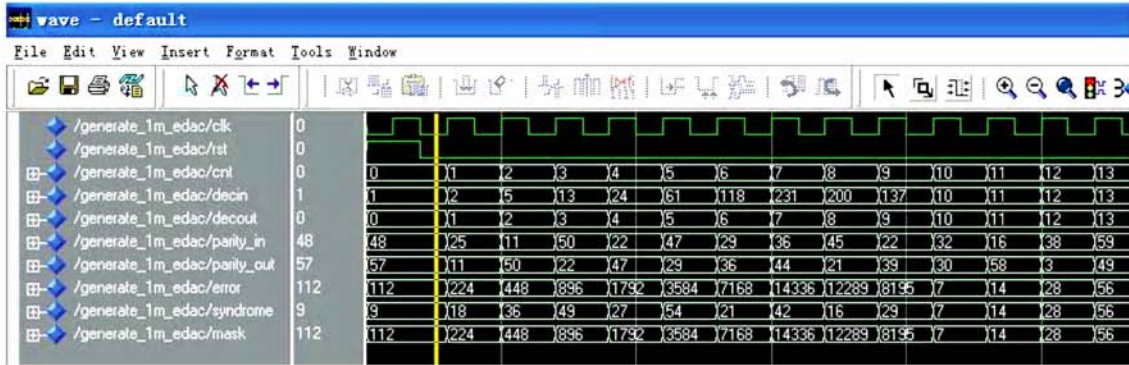


图 3 SEC-DED-TAEC 功能仿真图

Fig.3 Function simulation result of SEC-DED-TAEC

图中仿真演示的是在数据位和校验位循环加入三位突发错误的情况, 可以看出, 错误得到了纠正。对于其它的错误模式, 试验方法相同。

在信息位为 8Bit 的情况下分别对 SEC-DED 和 SEC-DED-TAEC 方法进行基于 AX2000-2-FG896

的实现, 比较其可靠性改进、码率、实现资源以及实现延时。这里假设器件在某轨道环境下的基本粒子注量为 $10E-2$ 个/天, $t=1$ 天, $p(i)$ 的分布概率如表 3 所示。

表 3 $p(i)$ 的概率分布

Table 3 The probability distribution of $p(i)$

i	0	1	2	3	4	5	6	7	8
$p(i)$	0.5	0.4	PE-2	PE-3	PE-4	PE-5	PE-6	PE-7	PE-8

根据式 (10) 可得两种方法的可靠度分别为 0.9995 和 0.99995, 可靠度得到了明显的改善。两种

方法可靠性性能比较情况如表 4 所示。

表 4 两种实现方法的性能比较 *

Table 4 Characteristics of results computed in two ways

	纠错能力	可靠度	码率	实现资源		实现延时	
				查找表实现	异或实现	查找表实现	异或实现
SEC-DED	纠一位错检两位随机错	0.9995	0.62	B1/B2, C12	C2/C34	2.337/6.810	9.473/11.638
SEC-DED-TAEC	纠随机一位错, 突发两位和三位错, 检随机两位错	0.99995	0.57	B1/B2, C14	C3/C47	2.337/5.628	7.548/6.810

* 实现资源以 ACTEL FPGA 基本逻辑资源 Combinational Cells 的个数以及所用的 BRAM 个数进行统计, 表中“B1/B2, C12”表示 SEC-DED 编码实现中使用了一个 BRAM, 译码及纠正实现中使用了 2 个 BRAM 和 12 个 Combinational Cells。分别统计两种实现方法编码和译码校正所需资源。延时结果是进行了布局布线后的最大延时, 仿真时器件速度等级选-2。

由表 4 可以看出以较小的实现资源代价实现了对 SWMU 的防护。同时由表也可以看出, 采取查找表实现的方法, 编码可以以极快的速度完成(最差延时为 2.337ns), 译码也可以由查找表实现, 无错误时数据直通, 有错误时进行数据的异或校正。因此基

于查找表的方法可以有效提高 SEC-DED-TAEC 的实现实时性。

4 结论

随着 SRAM 型存储器工艺尺寸的减小、核心电

压的降低,空间高能粒子容易引起存储器发生SWMU,导致SEC-DED防护方法失效,必须针对SWMU,采取新的防护策略,消除SWMU对存储器的影响。本文对SRAM结构存储器的SEMU问题进行了研究,由错误图样统计数据得出,SRAM结构存储器的SEMU主要表现为单个基本字中的突发两位和突发三位错。针对此结论,文中提出采用改进的(14,8)循环码实现SEC-DED-TAEC,文章基于AC-TEL反熔丝可编程逻辑器件对此方法进行了并行实现。性能分析和仿真试验表明采用该方法,解决了SRAM型存储器空间应用中存在的SWMU,极大提高了其空间应用的可靠性。该方法已经应用于某型号空间自寻的信息处理系统中,试验表明基于该方法的应用稳定可靠,同时具有较好的实时性。由于地面环境中也存在因 α 粒子及大气中子引起的SRAM SEMU,因此本文提出的方法也可应用于此类应用中。下一步,配合某型号空间自寻的信息处理系统的地面高能粒子加速试验,进一步验证SEC-DED-TAEC对于解决SRAM型存储器SWMU的能力,拓展研究在基本字宽度增加的情况下的SEC-DED-TAEC及其应用实现,同时研究存储器系统的可靠性提高对于整个自寻的信息处理系统可靠性性能的改进情况。

参考文献:

- [1] Underwood C I, Oldfield M K. Observations on the reliability of COITS-Device-Based solid state data recorders operating in Low-Earth orbit[J]. IEEE Trans Nucl Sci, 2000, NS-47: 647-653.
- [2] Craig Hafer, Jonathan Mabra, Duane Slocum, et al. Next generation radiation-hardened SRAM for space applications[C]. IEEEAC Dec, 2005.
- [3] Maiz J, Hareland S, Zhang K, Armstrong P. Characterization of multi-bit soft error events in advanced SRAMs[J]. IEDM Tech. Dig, Dec. 2003:519-522.
- [4] Daniele Radaelli, Helmut Puchner, Skip Wong and Sabbas Daniel. Investigation of multi-bit upsets in a 150 nm technology SRAM device [J], IEEE Trans Nucl Sci, 2005, 52(6): 2433-2437.
- [5] Tipton A D, Pellish J A, Reed R A, Schrimpf R D, Weller R A, Mendenhall M H, Sierawski B, Sutton A K, Diestelhorst R M, Espinel G, Cressler J D, Vizkelethy G. Multiple bit upset in 130 nm CMOS technology[J]. IEEE Trans. Nucl. Sci., 2006, 53(6): 3259-3264.
- [6] Gill B, Nicolaidis M, Papachristou C, Wolff F, Garverick S. An efficient BICS design for SEUs detection and correction in semiconductor memories[C]. Design Automation and Test Conference in Europe (DATE-05), 2005.
- [7] Balkaran Gill, Michael Nicolaidis, Chris Papachristou. Radiation Induced Single-word multiple-bit upsets correction in SRAM[C]. Proceedings of the 11th IEEE International On-Line Testing Symposium (IOLTS'05), 2005.
- [8] Shu Lin, Daniel J. Costello Jr. Error Control Coding Second Edition [M]. ISBN 0-13-042672-5, 2004.
- [9] Chen C L. Symbol error correcting codes for memory applications [C]. Proc. of Fault Tolerant Computing Systems, 1996:200-207.
- [10] 赵建超,于伦正.空间粒子辐射引起存储单元多位比特纠错方案[J].微机发展,2005,15(12):154-156.[ZHAO Jianchao, YU Lun-zheng. A solution of errors-correction in memory unit caused by space particle radiation[J]. Microcomputer Development, 2005, 15(12): 154-156.]
- [11] Koga R, Pinkerton S D, Lie T J, et al. Single-word multiple-bit upsets in static random access devices[J]. IEEE Trans Nucl Sci, 1993, NS-40: 1491-1504.
- [12] 张庆祥,杨兆铭,李志常,等.静态存储器同一字节多位翻转实验研究[J].原子能科学技术,2001,35(6):485-489.[ZHANG Qing-xiang, YANG Zhao-ming, LI Zhi-chang, et al. Experimental investigation of single-word multiple upsets(SMU) in commercial static RAMs[J]. Atomic Energy Science and Technology, 2001, 35(6):485-489.]
- [13] Elspas B, Short R A. A note on optimum burst-error-correction codes [J]. IRE Trans. Inform. Theory. II-8, 1962:39-42.
- [14] Musseau O, Gardic F, Rocke P, et al. Analysis of multiple bits upsets(MBU)in a CMOS SRAM[J]. IEEE Trans Nucl Sci, 1996, NS-43: 2879-2888.
- [15] Maestro J, Reviriego A P. Reliability of single error correction protected memories[J]. IEEE Trans Nucl Sci, 2009, 58(1): 193-201.

作者简介:贺兴华(1980-),男,博士研究生,主要研究方向为实时系统与专用集成电路技术、空间信息处理系统可靠性设计。
通信地址:国防科学技术大学电子科学与工程学院 ATR 重点实验室(410073)
电话:13786143815
E-mail:huaxinghe@nudt.edu.cn

Study of the Fault Tolerant Technology Based on (14, 8)CRC Code for SRAM's SWMU

HE Xing-hua^{1,2}, LU Huan-zhang¹, XIAO Shan-zhu¹, ZHANG Lu¹, ZHANG Kai-feng¹

(1. ATR key lab, National University of Defense Technology, Changsha 410073, China;

2. PLA Troop 69026, Urunchi 830092, China)

Abstract: In space electronic system, the contents of SRAM are commonly protected by SEC-DED scheme. With the reduction of the feature size and the core power supply, the highly charged particles probably induce SWMU, leading to the failure of traditional SEC-DED scheme. Based on the physical signature for the SWMU of SRAM device, a modified (14, 8) systematic SEC-DED-TAEC code is proposed. The design based on this code can be easily implemented and has been applied in a space-borne integrated processor platform. The real-time performance of the proposed method and the high reliability of the space-borne integrated processor have been demonstrated by simulation and the application results. It can provide important reference for other space information processing systems.

Key words: SRAM; Fault tolerant; SWMU; Burst error; Reliability