

可重构计算硬件平台的改进设计

王晟中, 陈伟男, 彭澄廉

(复旦大学计算机科学技术学院, 上海 200433)

摘要: 针对现有可重构计算硬件平台配置时间长、灵活性受限的缺陷, 提出一种改进设计。基于支持二维重构区域的 Virtex-4 现场可编程门阵列(FPGA)芯片, 使重构模块放置更灵活、芯片面积利用率更高, 通过将单片 FPGA 和外设集成在一块印刷电路板上, 使系统的结构更紧凑, 利用 FPGA 内嵌微处理器减轻通信和访存开销。调试结果表明, 改进平台灵活性较高、功能和可扩展性更强。

关键词: 可重构计算; 部分可重构; 动态可重构; 现场可编程门阵列

Improved Design of Reconfigurable Computing Hardware Platform

WANG Sheng-zhong, CHEN Wei-nan, PENG Cheng-lian

(School of Computer Science, Fudan University, Shanghai 200433)

【Abstract】 Aiming at the shortage of long configuration time and flexibility constrained for existing reconfigurable computing hardware platform, this paper proposes an improved design. Based on Virtex-4 Field Programmable Gate Array(FPGA) chip supporting 2D reconstructed area, it makes the module placement faster and higher utilization of chip area, makes more compact of system structure through integrating single FPGA and extras in a printing circuit diagram, uses FPGA embedded microprocessor to reduce cost of communication and access memory. Debugging result shows that improved platform is more flexible, function and extendibility is more strong.

【Key words】 reconfigurable computing; partial reconfigurable; dynamic reconfigurable; Field Programmable Gate Array(FPGA)

1 概述

可重构计算系统近年来逐渐成为国际上计算系统研究中的一个新热点。已有的系统设计方式或是选择软件(通用处理器), 或是选择硬件(专用集成电路)^[1], 这样无法兼得软件的灵活性与硬件的高性能。

可重构计算系统作为一种新的体系结构, 采用可编程的硬件模块来实现计算, 以及面向可重构系统的操作系统来管理硬件资源、划分和调度硬件任务, 并向开发人员提供高层次的编程模型。在典型的基于现场可编程门阵列(Field Programmable Gate Array, FPGA)的可重构系统中, 决定 FPGA 功能的硬件配置信息可以像软件程序那样动态调用或修改, 这样保留了硬件计算速度快、效率高的优点, 又兼具了软件的灵活性、开发周期短和易维护的特性。

目前已出现的实用型可重构计算平台通常包含一个微处理器和可编程硬件。某个应用的一部分(如数据密集型计算)被映射到可编程硬件上, 称为硬件任务, 可编程硬件的功能由其当前的配置文件决定, 多个配置文件被存储在配置存储器中, 运行时由系统动态决定应该采用哪些配置文件, 这部分调度工作一般被映射到微处理器上由其承担, 称为软件任务^[2]。

文献[3]设计了一个基于 FPGA 的动态可重构计算平台 ESM(Erlangen Slot Machine), 目的是为了促进部分可重构硬件领域中的研究和应用开发。ESM 平台由一块子板和一块主板组成。子板采用支持动态部分可重构的 Xilinx Virtex-II FPGA, 主要放置可重构任务模块, 并与数个 SRAM 和配置电路相连。主板则提供应用所需要的外围设备, 如 USB、以太网接口、视频/音频接口等, 主板还含有一个 PowerPC 微处理器, 使整个平台能运行在 Linux 操作系统上。

本文介绍基于 Xilinx Virtex 4 FPGA 的可重构计算硬件平台(以下简称样机平台)。该平台根据国家自然科学基金项目的要求设计, 旨在为可重构操作系统的研究提供一个基础的设计验证环境, 为面向适合可重构计算的计算密集型应用, 如实时数字信号处理、通信加密, 提供一个灵活高效的样机平台。

2 样机平台功能结构

样机平台功能结构如图 1 所示, 平台主要由可重构 FPGA、大容量的 DDR 内存、零总线转变(Zero Bus Turnaround, ZBT)高速存储器、FPGA 配置接口、RS-232 通信串口、以太网接口、USB 接口和 VGA 等电路组成。

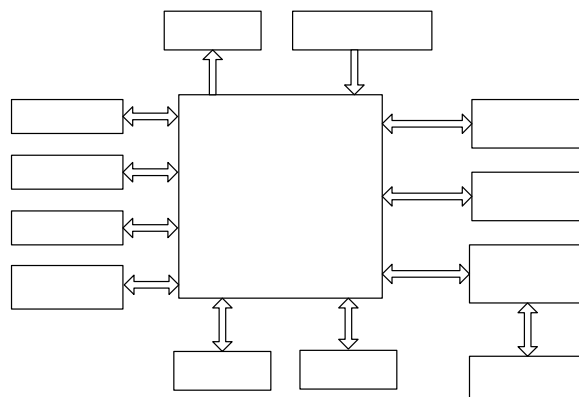


图 1 样机平台功能结构

基金项目: 国家自然科学基金资助项目(60573105)

作者简介: 王晟中(1983—), 男, 硕士研究生, 主研方向: 可重构计算; 陈伟男, 博士; 彭澄廉, 教授、博士生导师

收稿日期: 2009-08-18 **E-mail:** 062021092@fudan.edu.cn

2.1 FPGA

根据应用需求,平台采用 Virtex-4 FX 系列 FPGA,器件中内嵌了 PowerPC 处理器,且 FPGA 本身在 Virtex-II 系列的基础上新增了对二维动态重构区域的支持,使得重构模块的放置更为灵活。器件的主要资源包括 56 880 个逻辑单元、4.176 MB 的内部 RAM 块、2 个 PowerPC 处理器核、4 个以太网控制器核以及 576 个 I/O 端口。

2.2 外部存储器

为了支持 Linux 操作系统,平台配备了 128 MB 的 DDR SDRAM 系统内存,还单独配置了一个更高速的 9 MB 的 ZBT SRAM,用于存放硬件任务模块以及硬件任务间的数据交换,以提高系统的性能。

2.3 外设及接口

FPGA 周边设置了很多外设,用于提高平台的应用性,如,串口可连接平台和 PC 机,方便调试以及应用程序下载;System ACE 芯片和 JTAG 接口用来对 FPGA 动态配置;以太网控制器增加了对网络的支持等;扩展 I/O 接口提供了 240 个 I/O 引脚,可另外连接其他外围电路,如 A/D, D/A, LCD 等,提高了平台的可扩展性。

3 样机平台体系结构

由于 Virtex-II 器件的资源局限性,文献[2]的 ESM 采用 2 块 FPGA 来实现,且 Virtex-II 系列 FPGA 仅支持一维的动态可重构区域,即可重构模块必须占据器件的整列,使得模块放置有很大局限性,硬件资源利用率不高。而本文的样机平台只需一块 Virtex-4 FPGA 就能实现与 ESM 类似的功能。不仅结构更紧凑,同时还支持二维的动态可重构区域,可重构模块不再占据整列,而是任意长宽的矩形,使得放置更灵活,芯片面积利用率也得到提高。

3.1 片内总线互连

整个样机平台的系统应用涉及到 PowerPC 处理器、外设 IP 核以及用户逻辑 IP 核之间的集成和协作,因此,平台采用由 IBM 公司开发的芯片内部总线通信结构 CoreConnect 作为主要的片内总线互连技术。CoreConnect 总线结构包括高速的处理器局部总线(Processor Local Bus, PLB),相对低速但通用性强、协议简洁的片上外设总线(On-chip Peripheral Bus, OPB)可以连接不同总线的桥(OPB-PLB Bridge)与相应的仲裁器,因此,可以满足处理器、外设和用户逻辑之间的连接和通信。

3.2 平台体系结构

样机平台的体系结构如图 2 所示。

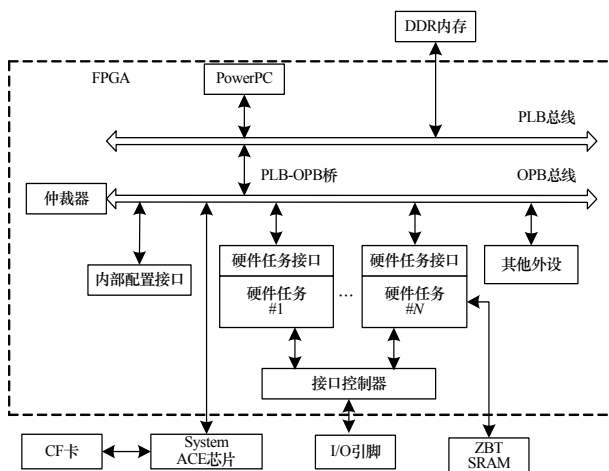


图 2 样机平台体系结构

PowerPC 处理器和 DDR 系统内存连接在 PLB 总线上, System ACE 及其他外设连接在 OPB 总线上。将用户逻辑看成平台的外设,所有硬件任务经过硬件任务接口封装后,通过 OPB IP 接口(IP Interface, IPIF)挂载于 OPB 总线上。由于每个硬件任务要分别完成不同的功能,其接口信号势必会有区别,因此需要对硬件任务的接口进行抽象和统一定义,使硬件任务可以按照一种较为通用的方式进行数据交换和通信。

3.3 硬件任务统一接口

与文献[3]的 ESM 可重构计算平台类似,所有硬件任务通过一个接口控制器与 I/O 引脚连接。接口控制器本身与多个 I/O 引脚相连,在硬件任务配置时,由 CPU 在接口控制器内为硬件任务分配相应的引脚。采用该方法的优点是硬件任务的配置文件与具体的 I/O 引脚位置无关,这样硬件任务在 FPGA 中放置就不受引脚的约束,更为灵活。

3.4 平台配置方式

平台采用 Xilinx 公司的 System ACE 芯片来管理 FPGA 的初始配置,配置文件存储在 CF 卡上,FPGA 上电后, System ACE 芯片读取 CF 卡中的配置文件,并通过 JTAG 模式对 FPGA 进行配置。在系统运行过程中,由 PowerPC 处理器发起动态部分重构过程,读取 CF 卡上存储的动态可重构模块的配置文件,通过控制 FPGA 内部配置访问接口来快速配置可重构模块,以实现动态可重构的功能。

4 样机平台的开发调试

由于平台采用 Xilinx 公司的 FPGA 产品,因此开发及调试基本建立在 Xilinx 的设计环境下,采用的工具包括 Xilinx 集成软件环境 ISE、嵌入式开发套件 EDK 以及集成化逻辑分析仪 ChipScope,版本均为 9.2i。

4.1 平台创建

鉴于 EDK 环境对软硬件协同设计以及 IP 核设计的良好支持性,开发及调试工程均选择建立在 EDK 环境下。第 1 步即创建 EDK 支持的平台。在新建工程时,EDK 支持用户自定义硬件平台。用户可自行指定 FPGA 的具体型号,平台的体系结构以及所需要的外设。此时工程即创建完成,各个外设的控制器以 IP 核的形式挂载于指定的总线上。最后在 system. 用户约束文件(User Constraint File, UCF)中为 FPGA 分配外设连接的管脚位置及属性约束。一个典型的管脚约束如下:

```
Net fpga_0_SRAM_Mem_A_pin<2> LOC=V4;
Net fpga_0_SRAM_Mem_A_pin<2> IOSTANDARD=LVDCCI_33;
Net fpga_0_SRAM_Mem_A_pin<2> SLEW=FAST;
Net fpga_0_SRAM_Mem_A_pin<2> DRIVE=8;
```

该约束的每一语句分别定义了平台中 SRAM 的第 3 位地址线的管脚位置(LOC)、输入输出标准(IOSTANDARD)、电压转换速率(SLEW)以及驱动能力(DRIVE)。

在 EDK 下的样机平台至此创建完毕,可以在其上进行系统级设计和调试。在仅包含所有外设 IP 的情况下, FPGA 的资源使用率见表 1。

表 1 FPGA 器件资源利用情况

器件资源	利用量	利用率/(%)
DCM	2/12	16
ILOGICs	81/576	14
OLOGICs	162/576	28
External IOBs	178/352	50
PPC405	1/2	50
RAMB16s	23/232	9
Slices	3 691/25 280	14

FPGA 中逻辑资源主要由 4 输入查找表和触发器构成,

逻辑资源使用率见表 2。

表 2 FPGA 逻辑资源利用情况

逻辑资源	利用量	利用率/(%)
触发器	3 294/50 560	6
4 输入查找表	2 924/50 560	5

上述图表可大致反应 FPGA 中可编程硬件资源的使用率,平台系统本身仅占用 11%的逻辑资源,余下超过八成的芯片面积可用于放置二维重构模块(即硬件任务),已能够满足科研需要和实际应用。

4.2 参数配置

在 EDK 下创建开发平台后,由于自定义平台的某些特殊性,例如 PCB 布线延迟,外设器件的时序参数与默认器件不同等,需要对平台的默认参数做出调整。

以 DDR 控制器为例,DDR 内存的读写分别在时钟的上升沿和下降沿各进行一次,以达到双倍速率的性能,因此,可靠的数据采集应在时钟上升沿与下降沿的中间时刻发生,在理想情况下,供给器件的时钟与处理器时钟之间需要有一个 90° 的相位差。在实际电路中,由于布线延迟等因素,器件时钟与处理器时钟本身已有一定的相位差,因此需要在配置时钟管理器时预先做出修正。笔者设计了一个遍历相位差的小程序,初始把相位差参数置-255,参数每增加 1 进行一次内存读写并比较,一直到相位差参数为+255,记录下读写正确的相位,最终得出使 DDR 工作正常的相位差参数范围在-1~86 之间,取中间值 42 即可保证 DDR 工作正常。

4.3 调试手段

调试手段可分为硬件方法与软件方法。

硬件方法即采用示波器观察器件各个引脚的电平,同时参照相应器件的数据手册(data sheet)中的时序图等信息,以判断器件是否工作正常,并可通过对比找出导致工作不正常的原因。运用示波器调试的优点在于观察直接,利于初步发现硬件方面的故障,但如果信号频率较高则不容易观察,且同时观察的信号数量有限。

软件方法包括 Xilinx 微处理器调试程序 XMD 和 Xilinx 集成逻辑分析器 ChipScope。XMD 对调试存储器非常有利,利用 mrd 指令和 mwr 指令可直接对存储器进行读写,从而验证数据流的正确性。本文重点介绍运用 ChipScope 调试的方法。

ChipScope 调试环境分为 3 个主要工具:逻辑分析器

(上接第 249 页)

4 m;载波频率为 1 GHz;脉冲宽度为 5 μ s;发射信号带宽为 30 MHz;脉冲重复频率为 57.6 Hz。图 5 是系统定点脉冲压缩处理结果,数据量化位数取 16 bit。该实例验证了 FPGA 实现二维脉冲压缩的可行性和 FPGA 内嵌入式处理器控制的灵活性。

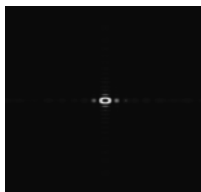


图 5 FPGA 系统 16 bit 定点实现结果

6 结束语

FPGA 超强的并行处理能力加上内部嵌入式处理器灵活的控制,使其在雷达信号处理中的作用越来越大,成为高速

Analyzer,分析核插入工具 Core Inserter 以及分析核生成器 Core Generator。在 EDK 环境下,ChipScope 的逻辑分析核同样以 IP 方式挂载于总线之上,并分为可监测其他 IP 核信号的集成逻辑分析器 chipscope_ila 和专用于监测总线信号的 chipscope_iba,两者由集成控制器 chipscope_icon 控制,将这 3 个 IP 核连接到 PLB 总线,并分配监测信号后,生成并下载比特流配置 FPGA,即可利用逻辑分析器 Analyzer 来监测各个 IP 和总线的信号。

在某些特殊情况下,如,DDR 和 SRAM 的数据线直接与 FPGA 的 I/O BANK 相连,单纯的加载监测 IP 可能令监测端口与数据线端口无法布通连线,这时需要用分析核插入工具 Core Inserter。在平台创建完毕并生成网表后,暂不生成比特流,而是先用 Core Inserter 将分析核直接插入待调试外设的网表中,然后进行布局布线生成比特流,这样就不会发生布线失败的情况。

5 结束语

目前已有的大多可重构计算硬件平台采用多 FPGA 结构,根据应用的不同,可能还包含多 CPU 或专用存储器,FPGA 的配置往往是整片重构或是一维重构,且需要一块独立的开发板来提供外设和控制重构过程。可重构计算是介于通用处理器和专用集成电路之间的计算实现方式,既能保留硬件计算速度快、效率高的优点,又兼具软件的灵活性和开发周期短的特性。本文设计并实现了一款基于单片 Xilinx Virtex-4 现场可编程门阵列的可重构计算硬件平台,介绍了其功能、体系结构以及开发调试流程。该平台还提供运行操作系统所必要的环境,可作为研究可重构计算及面向可重构操作系统的硬件基础。

参考文献

- [1] Compton K. Reconfigurable Computing: A Survey of Systems and Software[J]. ACM Computing Surveys, 2002, 34(2): 171-210.
- [2] Andrews D, Niehaus D. Programming Models for Hybrid FPGA-CPU Computational Components: A Missing Link[J]. IEEE Micro, 2004, 24(4): 42-53.
- [3] Bobda C, Majer M, Ahmadinia A. The Erlangen Slot Machine: A Dynamically Reconfigurable FPGA-based Computer[J]. VLSI Signal Processing, 2007, 47(1): 15-31.

编辑 陆燕菲

实时雷达信号处理的首选技术之一。本文设计并实现了一个利用 FPGA 内部 MicroBlaze 嵌入式处理器为核心控制单元的二维脉冲压缩处理系统,并通过一个实例证明了该系统的有效性。

参考文献

- [1] 张澄波. 综合孔径雷达: 原理、系统分析与应用[M]. 北京: 科学出版社, 1989.
- [2] 保铮, 邢孟道, 王彤. 雷达成像技术[M]. 北京: 电子工业出版社, 2006.
- [3] 王建芳, 夏清国. 基于 SOPC 的嵌入式 WTB 网络控制节点机的研制[J]. 计算机工程, 2007, 33(22): 266-268.
- [4] Xilinx Inc. MicroBlaze Processor Reference Guide v9.0[Z]. [2009-01-11]. http://www.xilinx.com/support/documentation/sw_manuals/mb_ref_guide.pdf.

编辑 张帆

