

# 基于 TIADC 的信号采集记录卡

刘 涛, 梅顺良

(清华大学电子工程系, 北京 100084)

**摘要:**目前的信号采集系统的采样和实时记录速率只有每秒几十兆,远不能满足对信号进行实时、连续、高速、高精度采集记录的需求。针对该问题,设计并实现一种基于时间交错模数转换器的信号采集记录卡,可以实现 14 位 200 MS/s 的数据采集,有效的无杂散动态范围超过 80 dBc,可实现 400 MB/s 持续实时的数据记录。

**关键词:**信号采集记录卡;时间交错模数转换器;无杂散动态范围

## Signal Acquisition Card Based on TIADC

LIU Tao, MEI Shun-liang

(Department of Electrical Engineering, Tsinghua University, Beijing 100084)

**【Abstract】** Sampling and real-time recording rate of the present signal acquisition system are merely tens of megabytes per second, so that the system can not meet the demands of continuous and real-time signal sampling with high speed and high resolution. To address the problem, this paper designs and implements a signal acquisition card based on Time-Interleaved Analog-to-Digital Converter(TIADC). It can sample analog inputs at 200 MS/s, and achieve 14 bit resolution. Its effective Spurious-Free Dynamic Range(SFDR) is over 80 dBc, and it can reach continuous real-time data recording rate of 400 MB/s.

**【Key words】** signal acquisition card; Time-Interleaved Analog-to-Digital Converter(TIADC); Spurious-Free Dynamic Range(SFDR)

### 1 概述

对于无线电信号的侦察和监视,特别是跳频等低捕获概率的信号,需要先进行全带宽采样,然后实时处理或保存到计算机上再处理。随着通信技术的发展,新的系统和协议不断涌现,使得通信系统的带宽越来越宽,这就要求系统的模数转换器(ADC)有相匹配的输入带宽和采样频率。由于系统中信号种类繁多,其参数也不尽相同,因此还需要 ADC 具有很高的采样精度。传统 ADC 的动态范围(位数)与最高采样率呈反比,降低其中一项指标要求可以换取另一项指标的提[1],但整体性能的提高比较缓慢,无法满足实际需求。为此,本文设计并实现了一种基于时间交错模数转换器(Time-Interleaved Analog-to-Digital Converter, TIADC)的信号采集记录卡,可以实现 14 位 200 MHz 采样率的信号采集,并结合 PXIe 总线技术,完成高达 400 MB/s 的实时数据记录。

### 2 TIADC 的结构与失配误差纠正算法

#### 2.1 TIADC 的结构

TIADC 是由一定数目的 ADC 组成的并行结构,如图 1 所示。其中,  $M$  表示 ADC 的个数,各单片 ADC 的采样频率为  $f_s/M$ ,其采样时钟依次相差  $2\pi/M$ ,总的输出是把所有 ADC 输出按同样次序重构的信号数据流。

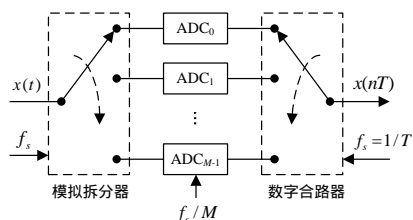


图 1 M 通道 TIADC 的结构

TIADC 采用多片低速 ADC 通过时间交错采样的方式实现高速数据采集,在相同采样精度的条件下,可获得的采样率是单片 ADC 采样频率与 ADC 个数的乘积。

#### 2.2 TIADC 的失配误差纠正

TIADC 的工作原理建立在各通道电特性一致的基础上,由于各通道之间电特性存在偏差,主要包括直流偏置误差、增益误差和采样时间误差 3 种<sup>[2-4]</sup>,这些误差信号会周期地调制输入信号,从而产生杂波混迭到输出中,导致输出无杂散动态范围(Spurious-Free Dynamic Range, SFDR)明显下降。所以,使用 TIADC 时需要进行失配误差纠正。纠正误差的具体思路是用已知参数的信号测量出通道之间的偏差,然后用数字信号处理方法把各支路输出中偏差的影响消除掉<sup>[3]</sup>。

##### (1) 直流偏置误差的纠正

将正弦波信号输入 TIADC 中,分别求出各通道输出的平均值。这些平均值就是各个通道的直流偏置。这些直流偏置的值一般是不相同的,它们之间的差异就是 TIADC 的通道直流偏置误差。将各通道输出的采样数据减去该通道的直流偏置,使所有的通道输出直流都为 0,即可消除直流偏置误差。

##### (2) 增益误差和采样时间误差的纠正

具有增益误差和采样时间误差的 TIADC 可以等效为一组通道传输函数(Channel-Transfer Function, CTF)级联乘法器<sup>[4]</sup>,如图 2 的虚线框所示。图中  $p_k(n)$  是一个采样脉冲序列,表达式为  $p_k(n) = \sum_{m=-\infty}^{\infty} \delta(n - (mM + k))$ ,  $k = 0, 1, \dots, M-1$ ,其中,  $M$  是 TI-ADC 的通道数;  $\delta(n)$  是  $\delta$  函数。

**作者简介:**刘 涛(1976 - ),男,硕士研究生,主研方向:信号采集,数字信号处理;梅顺良,教授、博士生导师

**收稿日期:**2009-08-06 E-mail: philips\_lt@sina.com

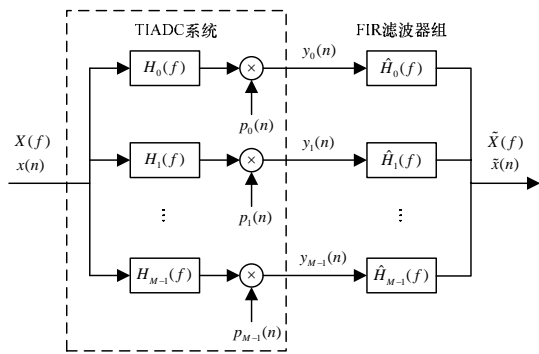


图2 M通道TIADC系统及其纠错处理算法

可以得到第  $k$  通道的输出为

$$Y_k(f) = \frac{1}{M} \sum_{m=0}^{M-1} e^{-j2\pi k \frac{m}{M}} X(f - \frac{m}{M} f_s) H_k(f - \frac{m}{M} f_s) \quad (1)$$

其中,  $X(f)$  是输入带限信号  $x(n)$  的傅里叶变换;  $H_k(f)$  是第  $k$  通道的 CTF;  $m=0$  对应期望的信号分量, 而  $m=1, 2, \dots, M-1$  是输入频谱的频移版本。如果存在 CTF 特性失配 ( $H_k(f)$  不相同), 这些频移版本就不能消除, 产生的杂波降低了 TIADC 的 SFDR。

CTF 的频率响应可以使用一组正弦波信号测量出来。如果认定在输出中只有与输入信号同频率的谱线才是真正的信号, 则式(1)中各通道的输出为  $Y_k(f) = (\frac{1}{M})X(f)H_k(f)$ , 所以, 输入频率和相位唯一地决定了 CTF 在这一频点的值。

完成 CTF 的测量后, 可以设计 FIR 滤波器对失配误差进行纠正。如图 2 所示, 每个通道的后面分别级联一个 FIR 滤波器, 对应的频率响应为  $\hat{H}_k(f)$ 。各通道滤波器的输出合并在一起构成  $\tilde{X}(f)$  :

$$\tilde{X}(f) = \sum_{m=0}^{M-1} \frac{1}{M} \sum_{k=0}^{M-1} e^{-j2\pi k \frac{m}{M}} H_k(f - \frac{m}{M} f_s) X(f - \frac{m}{M} f_s) \hat{H}_k(f_s) \quad (2)$$

令  $\tilde{c}_m(f) = \frac{1}{M} \sum_{k=0}^{M-1} e^{-j2\pi k \frac{m}{M}} H_k(f) \hat{H}_k(f + \frac{m}{M} f_s)$ , 其中,  $\tilde{c}_m(f)$  表示频率为  $f$  的输入信号转换到  $f + \frac{m}{M} f_s$  的有效增益。为了实现输入信号的完美重构,  $\hat{H}_k(f)$  应使  $\tilde{c}_0(f)$  尽可能逼近理想时间延迟, 使  $\tilde{c}_{m \neq 0}(f)$  尽可能逼近 0。给定  $\tilde{c}_m(f)$  的期望值后, 就可以求出纠正 FIR 滤波器的频率响应  $\hat{H}_k(f)$ , 再用反 FFT 的方法即可得到滤波器的系数。

### 3 硬件设计

本文设计的采集记录卡硬件功能框图如图 3 所示, 系统主要包括信号源、增益控制、TIADC 模块、数字处理模块和总线接口等。其中, TIADC 模块由并行 ADC 阵列、模拟信号选择拆分、多相时钟等组成; 数字信号处理模块采用 FPGA+DSP 的模式实现; 根据总线技术的发展现状, 采用高数据吞吐量、兼容性好的开放总线 PXIe 作为采集卡的接口。

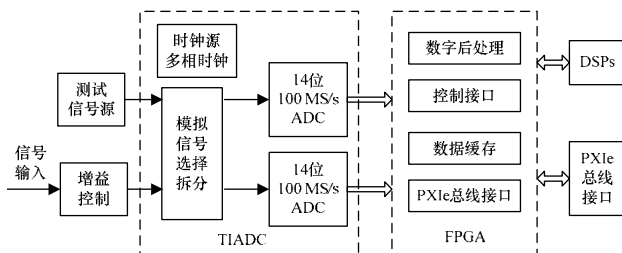


图3 采集卡的系统框图

### 3.1 测试信号源

在测量 TIADC 的通道特性时, 需要一个信号源来产生一组正弦波信号, 在设计中采用直接数字频率合成(DDS)芯片 AD9951 实现。AD9951 具有 400 MS/s 的内部时钟速率, 控制寄存器为 32 位, 并集成了 14 位的 DAC 转换器, 可输出频率为 0 Hz~200 MHz 的正弦波信号。与一般的锁相环技术相比, 使用 DDS 技术产生的信号不但可以达到很高的相位噪声性能, 提供很高的频率精度, 而且频率切换速度很快。但是, 由于 DDS 本身固有的缺点(比如有限字长引入的量化噪声、累加器截断噪声和数模变换器噪声)<sup>[5]</sup>, AD9951 的输出频谱具有较差的宽带 SFDR, 为防止高频的杂散通过采样折叠到第一奈奎斯特区域影响测量结果, 在 AD9951 的输出端级联了一个低通滤波器, 它的截止频率为 95 MHz。

### 3.2 增益控制

TIADC 工作在宽带采样, 由于信道的复杂性、时变性以及信号的不确定性, 采集记录卡接收到的信号动态范围很大, 固定增益的放大电路无法满足要求, 需要进行增益控制。本设计中, 模拟信号的输入端放置了 2 级 Mini 公司的数控衰减器 DAT-31R5-PP, 可以根据 ADC 芯片输出数据的溢出情况把输入信号调整到适合采集的电平大小。另外, 当测量 TIADC 通道特性时, 输入信号和测试信号都会输出到模拟开关上, 衰减器的加入可以增大信号之间的有效隔离。

### 3.3 模拟信号选择和拆分

信号采集记录卡有 2 种工作状态: (1)校准状态, 用信号源产生的信号对 2 路 ADC 通道的特性进行测量, 根据测量结果计算出通道失配误差并加以纠正。(2)工作状态, 对输入信号进行采集记录。模拟信号选择拆分模块根据工作模式选择使用不同的信号, 并把选择的信号拆分成同相、等幅度的 2 路, 分别送给 2 个 ADC 通道。信号的选择用 Hittite 公司的模拟开关芯片 HMC348LP3 实现, 信号的拆分选择 Mini-Circuits 公司的 2 路 0° 相差的功分器 ADP-2-1W。

### 3.4 ADC 阵列

考虑到 PXIe 总线的持续数据传输速率, 采集记录卡使用 2 路 14 位 100 MS/s 的单片 ADC 并联, 组成一路总采样率为 200 MS/s 的 14 位采样电路。ADC 选择 ADI 公司的 AD9246, 其模拟输入带宽高达 650 MHz 输出 SFDR 达 85 dBc。AD9246 的信号输入选择差分模式, 由运放芯片 AD8352 采用交流耦合驱动。AD8352 具有很低的谐波失真和很高的交调截断点, 在给予 AD9246 良好匹配的同时, 又保证了较大动态范围的需要。另外, AD8352 还提供了 15 dB 的增益, 增大了各通道 ADC 的隔离度。虽然 AD8352 会给 ADC 带来增益的偏差, 但这些偏差将被看作通道误差, 通过数字后处理算法消除。

### 3.5 多相时钟

多相时钟是 TIADC 获得高性能采样的关键。其中, 多相时钟的抖动和各通道间的定时误差是多相时钟设计的 2 个重要指标。抖动是随机的, 它增大了 ADC 采样信号频谱的基底噪声, 降低了系统的信纳比(SINAD); 定时误差是一个缓慢变化的量, 它产生杂散, 降低了系统无杂散动态范围。为了获得高质量的多相时钟, 系统采用定制的低相位噪声的 100 MHz 晶振作为参考时钟源, 时钟的分路采用可靠的无源器件实现。考虑到本系统需要 2 路相差 180° 的时钟, 采用 mini 公司的 ADP-2-1W 分路器完成分路功能, 产生的 2 路同相的时钟信号分别送到 2 个变压器 ADT4-6WT 的正相端和反相端, 这样从变压器的输出端得到 2 个反相的差分时钟, 这

2 个差分时钟分别输出到 2 路 ADC 的时钟端。

### 3.6 数字信号处理

采集记录卡需要实现对各个模块的控制、通道特性的测量、失配误差的纠正以及与主计算机的通信等功能,采用 FPGA+DSP 的方式实现。设计中, FPGA 采用了 Xilinx 公司的 XC4VLX100, 主要实现 FIR 失配纠正滤波器组、采样数据缓存以及控制接口,使用 Xilinx 公司提供的 PCI Express IP Core 实现 PXIe 总线协议; DSP 采用 TI 公司的定点芯片 TMS320C6416, 主要完成时序控制、逻辑控制和数值计算等。

## 4 信号处理流程

在 FPGA 上的控制接口中定义了指令寄存器和应答寄存器,由 DSP 定时查询命令寄存器,并在指令完成后写应答寄存器,实现 DSP 与主机 CPU 的通信。当收到信号采集的指令后, DSP 主要完成信号选择和增益控制,并控制数据缓存通过 PXIe 总线传输到主计算机上;当收到通道失配校准的指令后,完成 TIADC 的通道特性测量、失配误差的计算和纠正等任务。

在测量 TIADC 通道特性时, DSP 选择 DDS 信号源输出的测试信号作为 TIADC 的输入信号,并配置 DDS 输出正弦波信号,信号的频率为  $f_{\text{test}} = (n/125)f_s, n=1,2,\dots,62$ 。这样选择频率是因为 125 与 2(或 4)互质,避免了输入信号的谐波和通道失配误差产生的杂波经过采样折叠落在输入信号的频点上,保证了测量的准确性。对每一个测量频点,先由 FPGA 同时将 2 路 ADC 的输出数据保存到缓存区,数据个数均为 8 192,再由 DSP 对这 2 组数据进行均值计算和 FFT 变换,得到 2 个 ADC 通道在该频点的均值、增益和相位延迟,并把这些保存在 DSP 的数据区。

当所有频点的测量完成后,分别对 2 个通道的所有均值求平均得到通道的直流偏置;根据频率特性对称的性质,把频率特性扩充到第二奈奎斯特区域,并令 CTF 直流增益等于  $f_s/125$  的增益以保证 CTF 在 0 频率的特性连续,从而获得 2 个通道的 CTF 完整的频率特性。

以第 1 通道的 CTF 特性为期望值,计算出第 2 通道纠正 FIR 滤波器的频率特性。根据频域采样法设计滤波器的系数。由于吉波斯效应, FIR 滤波器的特性通常使转换增益带有明显的波纹,这些波纹会产生额外的混迭杂波,直接降低系统的 SFDR,因此为了消除这些波纹,计算出的滤波器系数要加窗处理,再由 DSP 把这些系数配置到纠正滤波器上。

## 5 性能指标测试与结果

为了对设计的采集记录卡进行测试,选了一个工控机作为运行平台。工控机的机箱为 PXIe-1062q,主控制器采用 PXIe 嵌入式单板计算机 PXIe-8105,记录磁盘选用 NI 公司的 PXIe 扩展卡 8262 和磁盘阵列 HDD8263。在进行信号采集记录的过程中,选用 Agilent 公司的矢量信号源 E4430 产生正弦波信号,由本系统采集记录到磁盘阵列上,然后对记录的数据进行 FFT 分析。

经测试,采集记录卡可以在 200 MHz 的采样频率下稳定工作,输出的数据无杂散动态范围可达 80 dBc,接近单片 ADC 的性能指标。图 4 为失配纠正前后采集卡输出数据的频谱,其中,输入信号为含有 2 次谐波的 64 MHz 正弦波。从中可以看出,在失配纠正前,由于通道失配的影响,输出信号的频谱中包含了频率为 36 MHz 及其镜像(100 MHz)的杂波分量,因此输出 SFDR 只有 40 dBc 左右;在失配纠正后,这

些杂波分量大大减小,淹没在基础噪声中,有效的 SFDR 超过 80 dBc。

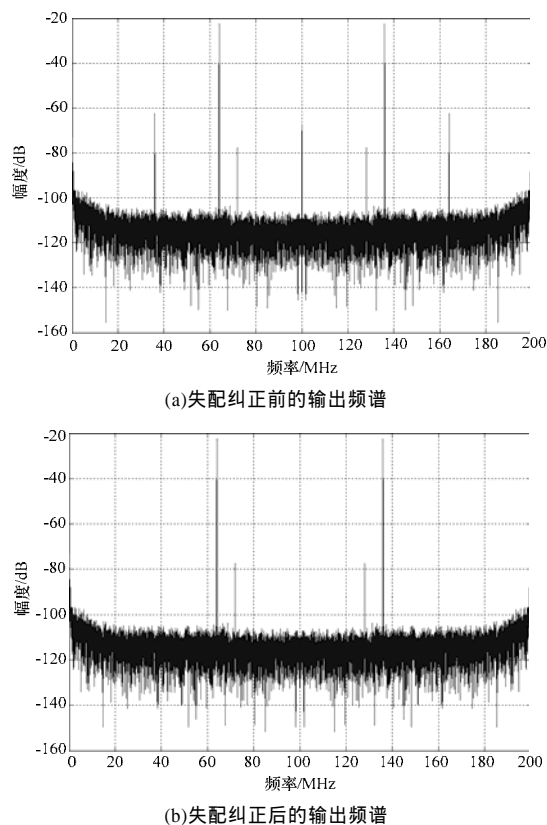


图 4 采集记录卡输出数据的频谱

## 6 结束语

本文基于 TI-ADC 模式设计并实现了 14 位 200 MHz 采样频率的信号采集记录卡,输出数据的 SFDR 超过 80 dBc,借助于 PXIe 总线可实现高达 400 MB/s 的持续数据记录。但受限于总线的数据传输速率,本设计仅采用了 2 路 ADC 并联采样,当总线速率提高时,同理可以很容易地扩展到 4 路、8 路或更多路,结合基于 FPGA 的数字后处理算法使其具有很强的灵活性和可扩展性,大大提高了信号侦察和监测系统的处理能力。

### 参考文献

- [1] Walden R H. Analog-to-Digital Converter Survey and Analysis[J]. IEEE Journal on Selected Areas in Communications, 1999, 17(4): 539-550.
- [2] Jin Huawen, Edward K F. A Digital-background Calibration Technique for Minimizing Timing-error Effects in Time-Interleaved ADCs[J]. IEEE Trans. on Circuits and Systems, 2000, 47(7): 603-613.
- [3] Eldar Y C, Oppenheim A V. Filterbank Reconstruction of Band-limited Signals from Non-uniform and Generalized Samples[J]. IEEE Trans. on Signal Processing, 2000, 48(10): 2864-2875.
- [4] Munkyo S, Rodwell M J W, Madhow U. Comprehensive Digital Correction of Mismatch Errors for a 400 MSamples/s 80 dB SFDR Time-Interleaved Analog-to-Digital Converter[J]. IEEE Trans. on Microwave Theory and Techniques, 2005, 53(3): 1072-1082.
- [5] 迟保勇, 余志平, 石秉学. CMOS 射频集成电路分析与设计[M]. 北京: 清华大学出版社, 2006.

编辑 张帆