

7.1 计数器

计数器的分类

- 按FF状态更新时刻
- 同步 --所有FF的状态同时更新，共用一个CP
 - 异步 --所有FF的状态不同时更新，不共用一个CP
- 按数值增减趋势
- 加计数器 Up Counter
 - 减计数器 Dou Counter
 - 可逆计数器 Up/Dou Counter
- 按状态变量使用的编码
- 二进制计数器 Bi nary
 - 二-十进制计数器 BCD
 - N 进制计数器 Another

7.1.1 二进制计数器

1. 异步二进制加计数器

- **原理**：根据二进制加法法则， $0+1=1$ ， $1+0=1$ ， $1+1=0$ （同时向高位进1）

一个多位二进制加法计数器中，触发器应满足两条：

- { 对于最低位，+1表示加CP（来一个CP状态翻转一次）
- { 对其他位，+1表示加上相邻低位来的进位

因此，我们可得到二进制加法计数器的状态表（也称状态变换表）。以三位二进制计数器为例：每送入一个CP，在最低位加1，当低位有进位时，相邻高位翻转一次，得下表：

状态变换表

CP	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

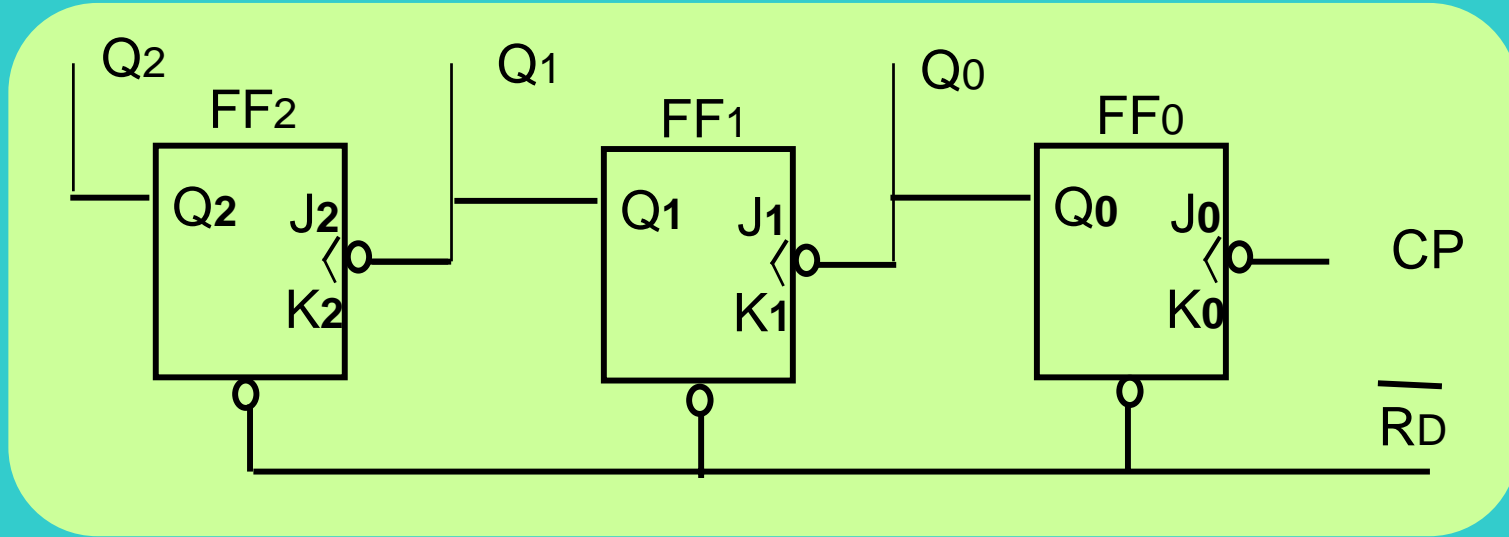
从表中，我们可以找到各触发器翻转的规律：

最低位每来一个CP，状态翻转一次， 0 1 0 1

每当低位从1 0时，(产生一个↓时) 相邻高位翻，或0 1，或1 0.

所以，只要在低位从1 0时，取出一个有效信号给高位CP输入端作触发脉冲即可。

- **电路：**---用3个JKFF（下降沿翻转）构成



- **工作原理：**

3个JKFF的J、K端全部悬空，即 $J=K=1$ ，所以来一个有效CP沿，FF翻转一次。

- 对于FF₀，所接为CP，所以来一个CP的下降沿，FF₀翻转一次
- 对其它FF，低位输出Q接相邻高位的CP端，所以每当低位由1 0时，产生一个下降沿，使相邻高位FF翻转一次。

• 波形图和状态转换图

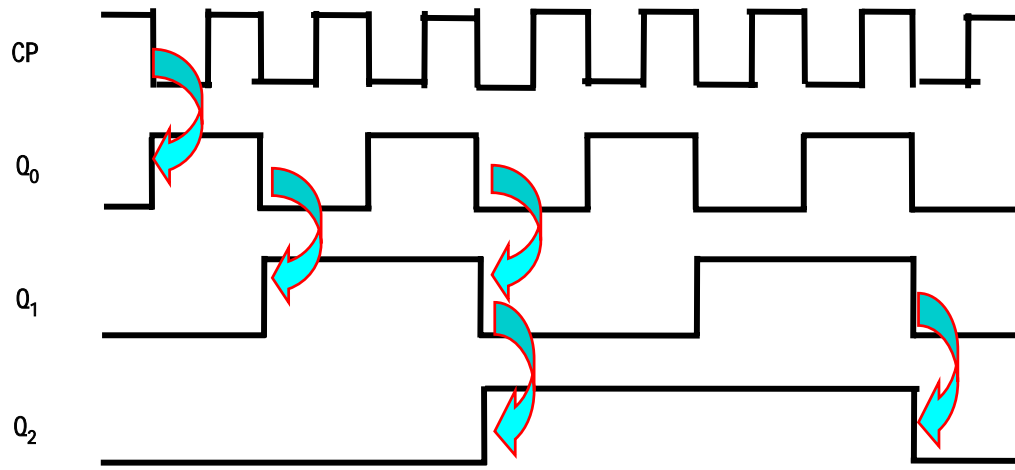


图 7.1.3

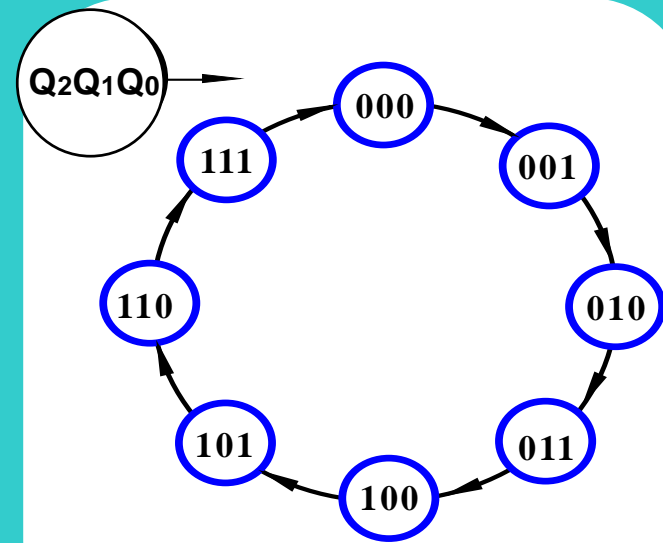


图 7.1.2

$$f_{Q_0} = \frac{1}{2} f_{CP}$$

$$f_{Q_1} = \frac{1}{4} f_{CP}$$

$$f_{Q_2} = \frac{1}{8} f_{CP}$$

• 用正边沿DFF构成上述计数器

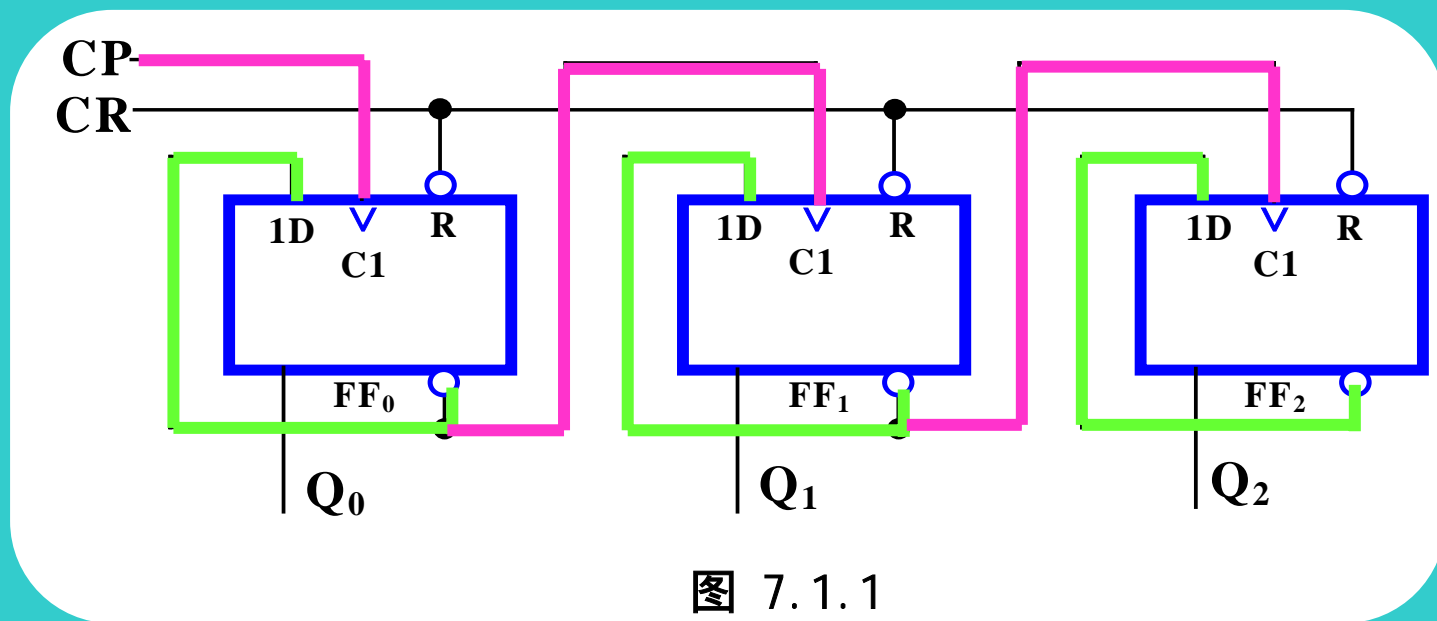


图 7.1.1

驱动方程: $D_0 = \overline{Q_0^n}$ $D_1 = \overline{Q_1^n}$ $D_2 = \overline{Q_2^n}$

状态方程: $Q_0^{n+1} = \overline{Q_0^n}$ $Q_1^{n+1} = \overline{Q_1^n}$ $Q_2^{n+1} = \overline{Q_2^n}$

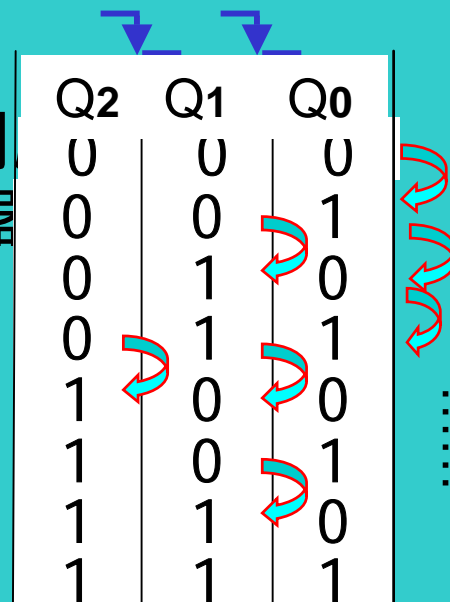
2. 同步二进制计数器

为了提高计数速度，我们将CP脉冲同时接到FF的状态变换与CP脉冲同步。这种方式的计数器。

同步二进制加法计数器

回头再看看二进制计数器的状态表，发现：

每来一个CP，最低位的FF翻转一次；其它FF翻转要有两个条件 **a.**所有低位FF输出全为1，**b.**下一CP沿到来时；



所以：

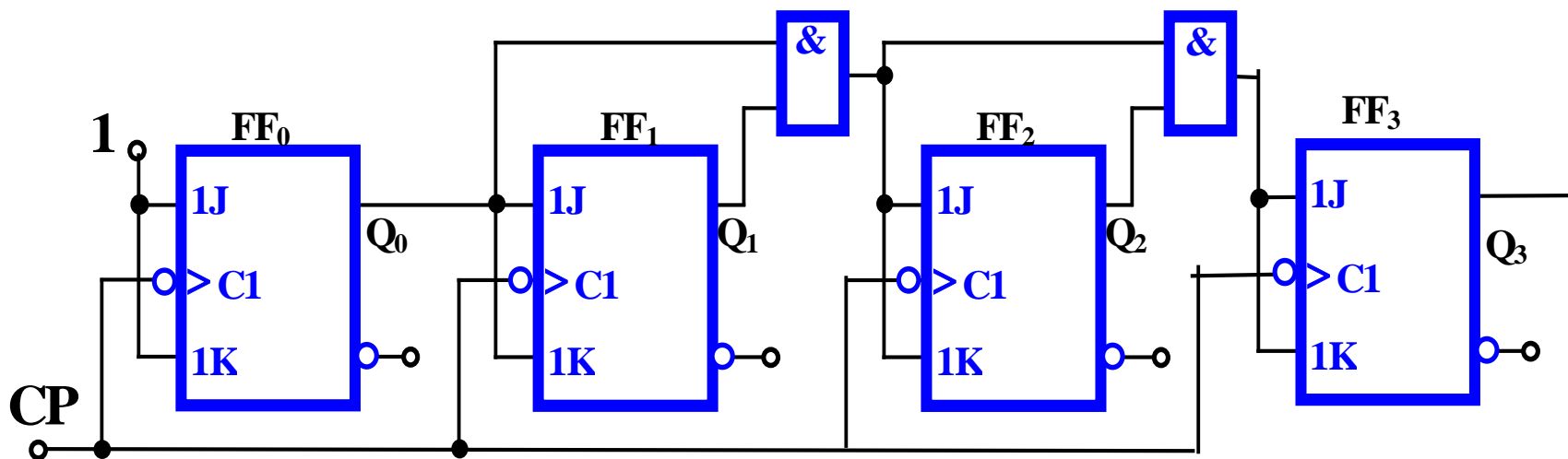
FF ₀	来一个CP翻一次	$J_0=K_0=1$
FF ₁	$Q_0=1$	$J_1=K_1=Q_0$
FF ₂	$Q_0=Q_1=1$	$J_2=K_2=Q_0Q_1$
FF ₃	$Q_0=Q_1=Q_2=1$	$J_3=K_3=Q_0Q_1Q_2$

驱动方程

根据驱动方程可画出4位二进制同步加法
计数器的逻辑电路图：

$$J_0=K_0=1 \quad J_1=K_1=Q_0$$

$$J_2=K_2=Q_0Q_1 \quad J_3=K_3=Q_0Q_1Q_2$$



该计数器的速度比异步计数器提高很多。

最短输入脉冲周期为一级FF的传输延迟时间

$$T_{\min} = t_{pd}$$

(2) 同步二进制减法计数器。

状态表

C P	Q ₂	Q ₁	Q ₀
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

从状态表中可以发现各触发器的翻转条件为：

$$\begin{cases}
 \text{FF}_0 & \text{来一个CP翻一次} & J_0=K_0=1 \\
 \text{FF}_1 & Q_0=0 & J_1=K_1=\overline{Q_0} \\
 \text{FF}_2 & Q_0=Q_1=0 & J_2=K_2=\overline{Q_0}\overline{Q_1} \\
 \text{FF}_3 & Q_0=Q_1=Q_2=0 & J_3=K_3=\overline{Q_0}\overline{Q_1}\overline{Q_2}
 \end{cases}$$

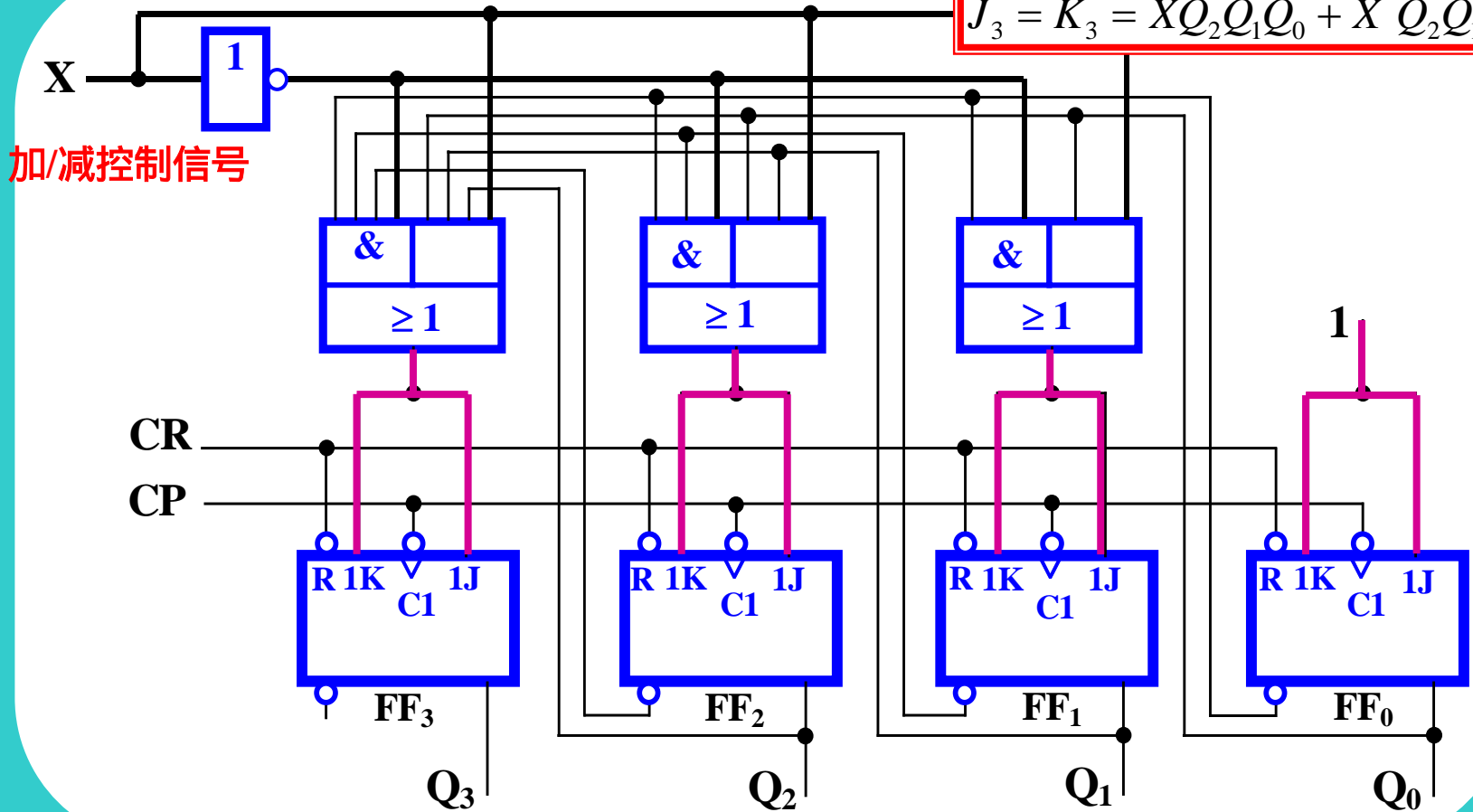
根据翻转条件可知：减法计数器只要将加法计数器中的FF₀—FF₃的JK端改接到低位的 \overline{Q} 端即可构成。

$$J_0 = K_0 = 1$$

由X控制工作状态，当X=1时，做加法；当X=0时做减法

$$J_2 = K_2 = XQ_1Q_0 + \bar{X}Q_1\bar{Q}_0$$

$$J_3 = K_3 = XQ_2Q_1Q_0 + \bar{X}\bar{Q}_2\bar{Q}_1\bar{Q}_0$$



7.1.2 非二进制计数器

十进制计数器是非二进制计数器中使用最多的，它同样有同步、异步之分，有加、减、可逆之分。我们以8421码的十进制同步计数器为例，介绍非二进制同步计数器的设计。

十进制数	Q_3^{II}	Q_2^{II}	Q_1^{II}	Q_0^{II}	Q_3^{II+1}	Q_2^{II+1}	Q_1^{II+1}	Q_0^{II+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	1	1	0	0	1	1
3	0	0	1	1	0	1	0	0	0	1	0	0
4	0	1	0	0	0	1	0	1	0	1	0	1
5	0	1	0	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	1	1	0	1	1	1
7	0	1	1	1	1	0	0	0	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	0	1
9	1	0	0	1	0	0	0	0	0	0	0	0
.	1	0	1	0	×	×	×	×	×	×	×	×
⋮	1	1	1	1	×	×	×	×	×	×	×	×

(2) 卡诺图化简，求得各D触发器的驱动方程：

D₃

	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	x	x	x	x
10	1	0	x	x

D₂

	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	x	x	x	x
10	0	0	x	x

D₁

	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	x	x	x	x
10	0	0	x	x

D₀

	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	x	x	x	x
10	1	0	x	x

$$D_3 = Q_3 \bar{Q}_0 + Q_2 Q_1 Q_0$$

$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0$$

$$D_1 = Q_1 \bar{Q}_0 + \bar{Q}_3 \bar{Q}_1 Q_0$$

$$D_0 = \bar{Q}_0$$

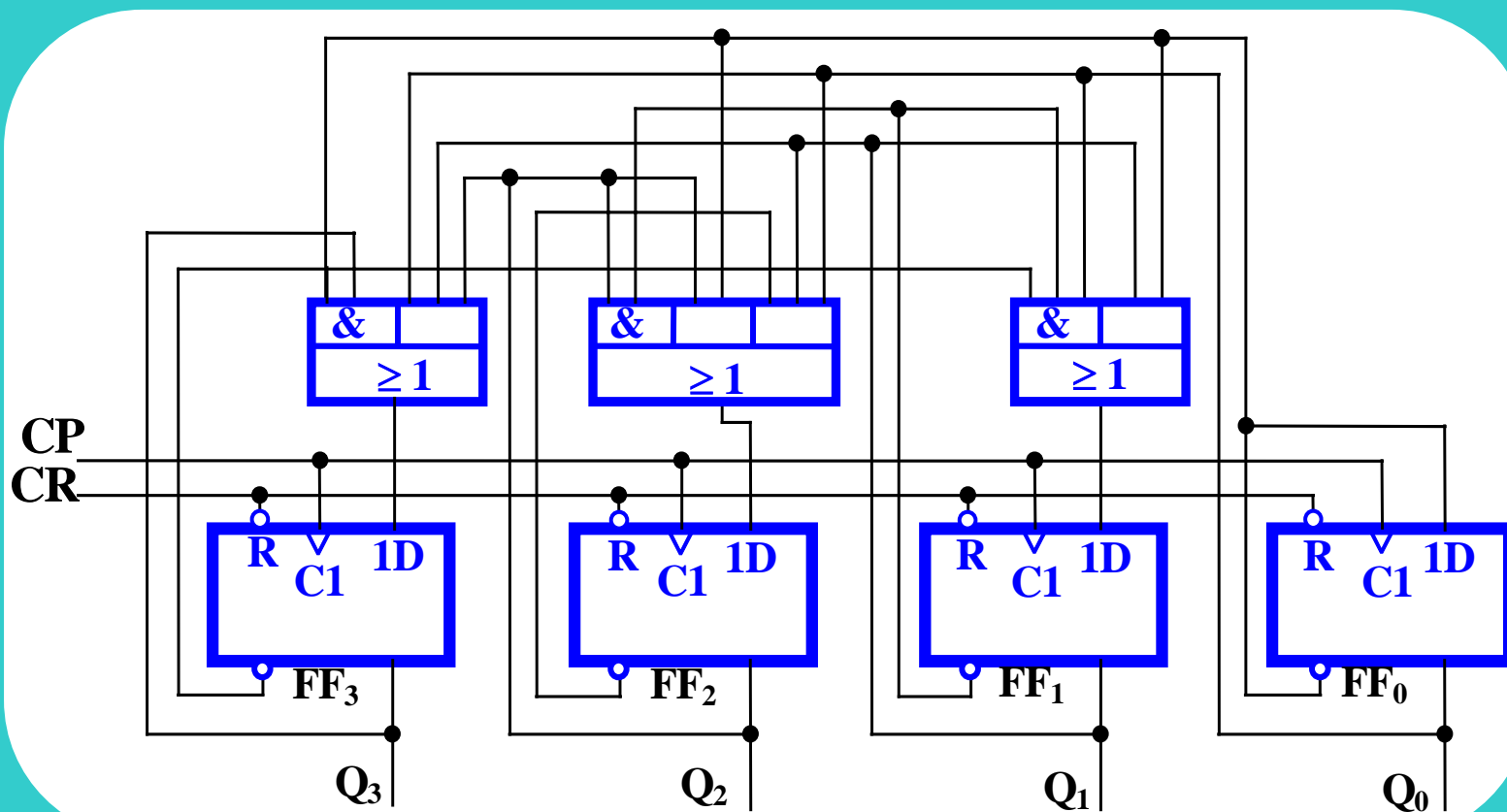
(3) 画出逻辑电路图

$$D_3 = Q_3\bar{Q}_0 + Q_2Q_1Q_0$$

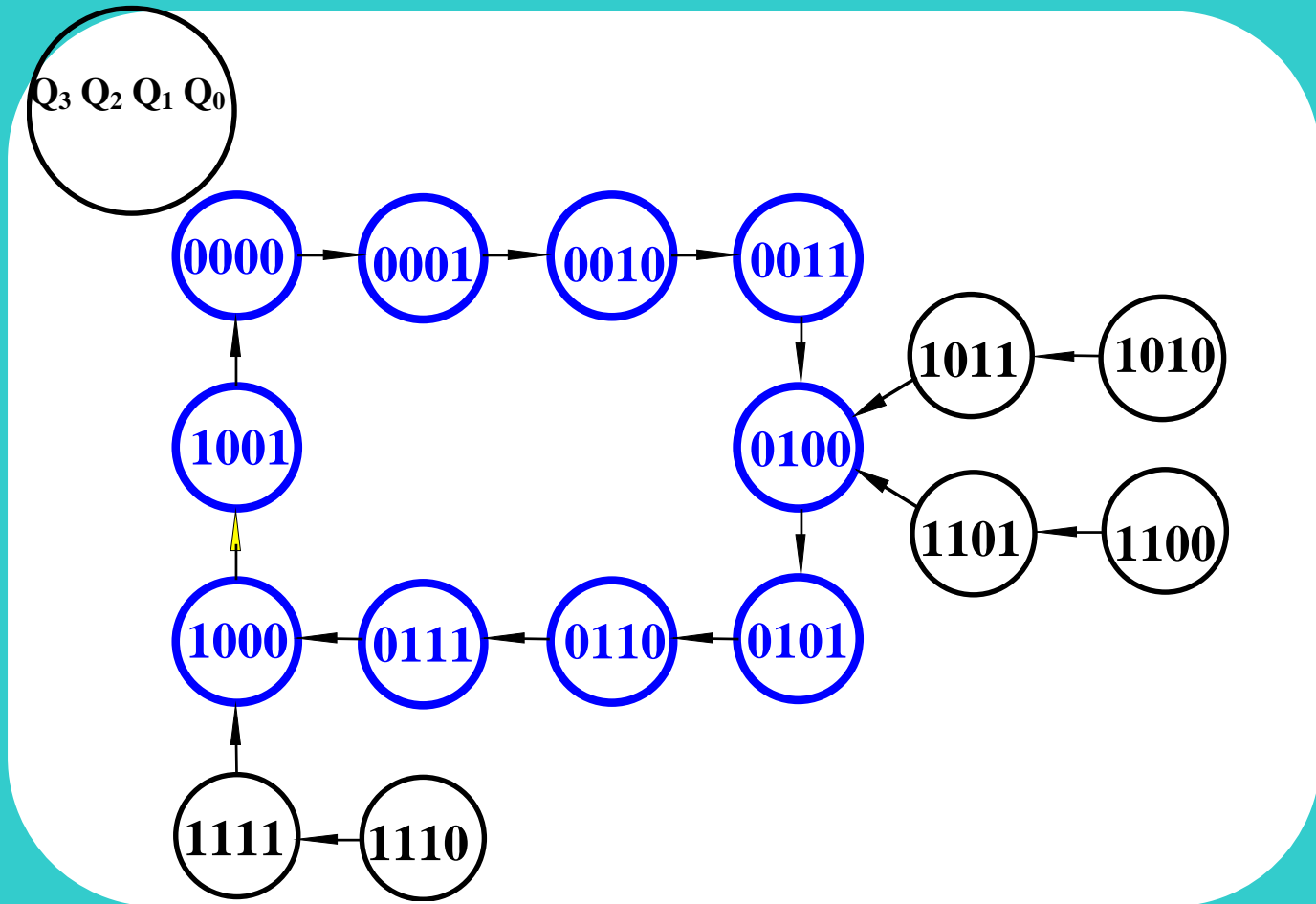
$$D_1 = Q_1\bar{Q}_0 + \bar{Q}_3\bar{Q}_1Q_0$$

$$D_2 = Q_2\bar{Q}_1 + Q_2\bar{Q}_0 + \bar{Q}_2Q_1Q_0$$

$$D_0 = \bar{Q}_0$$



(4) 画出完整的状态图，检查设计的计数器能否自启动。



该电路能够自启动。

7.1.3 集成计数器

几种常用的集成电路计数器，见表7.1.3。

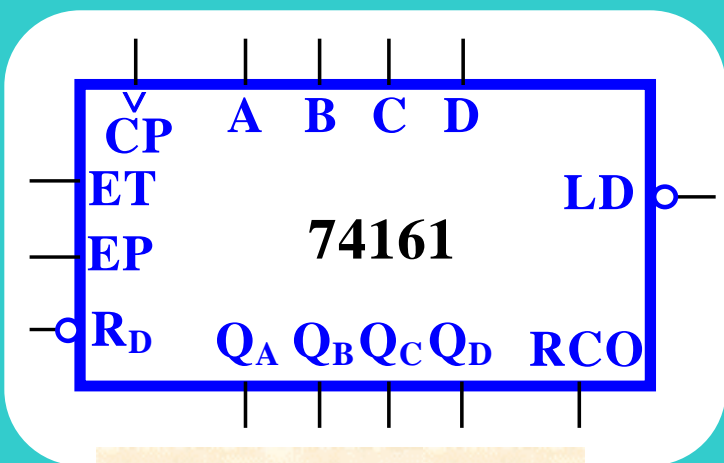
集成计数器具有体积小、功耗低、功能灵活等优点，因此在小型数字系统中得到广泛应用

同 步	74161	4位二进制加法	异步（低电平）	同步
	74HC161	4位二进制加法	异步（低电平）	同步
	74HCT161	4位二进制加法	异步（低电平）	同步
	74LS191	单时钟4位二进制可逆	无	异步
	74LS193	双时钟4位二进制可逆	异步（高电平）	异步
	74160	十进制加法	异步（低电平）	同步
	74LS190	单时钟十进制可逆	无	异步
异 步	74LS293	双时钟4位二进制加法	异步	无
	74LS290	2-5-10进制加法	异步	异步

1. 集成计数器74161、74LS193、74LS290

(1) 74161的功能(4位二进制同步加计数器)

74161逻辑功能表

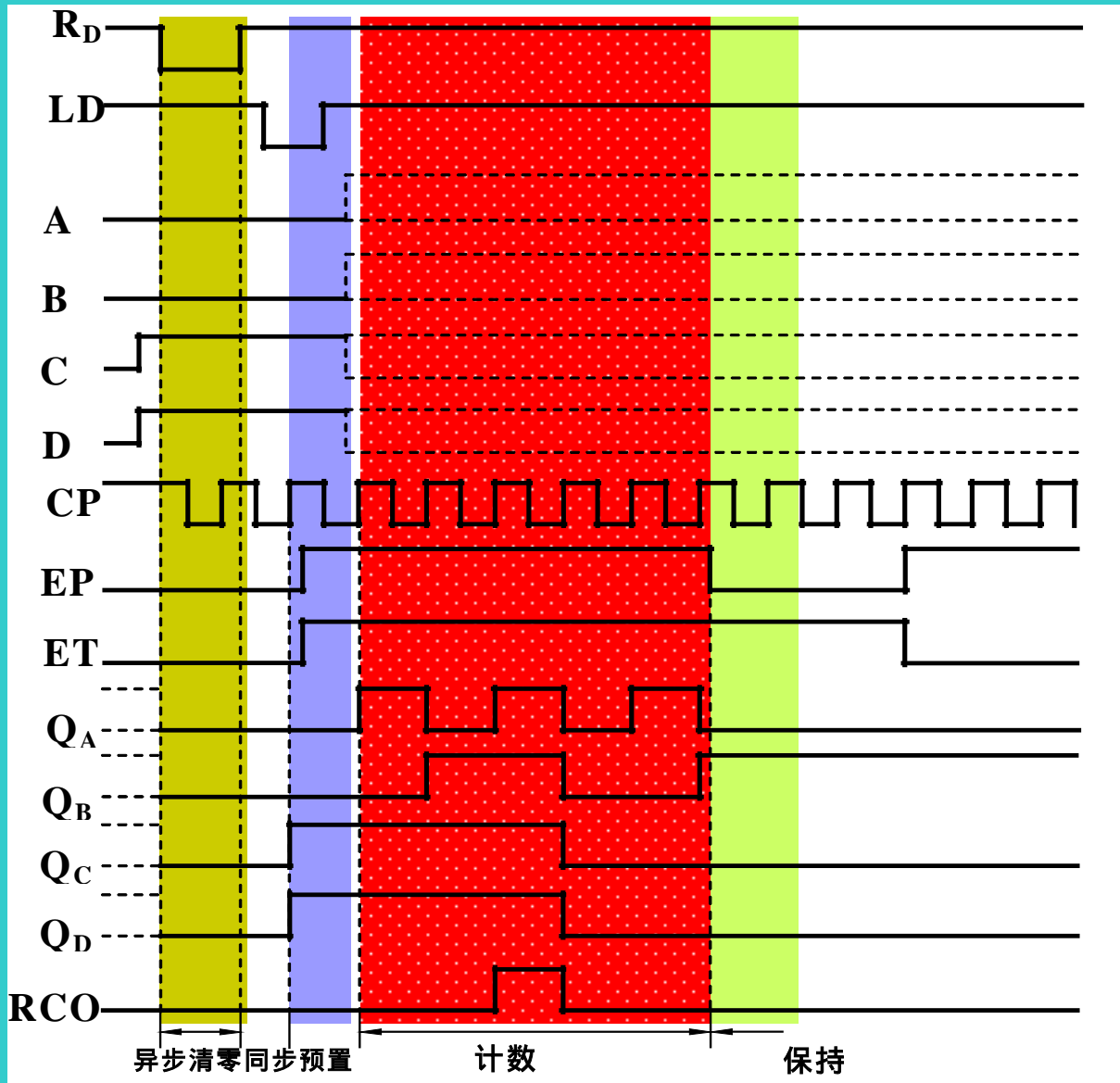


$$RCO = ET Q_A Q_B Q_C Q_D$$

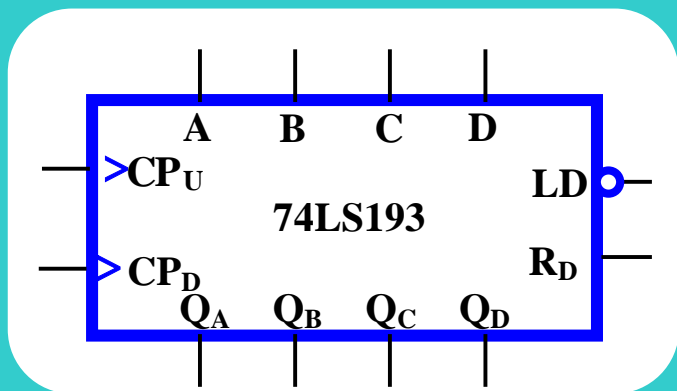
清零	预置	使能		时钟	预置数据输入	输出
R_D	LD	EP	ET	CP	A B C D	$Q_A Q_B Q_C Q_D$
L	x	x	x	x	x x x x	L L L L
H	L	x	x	\downarrow	A B C D	A B C D
H	H	L	x	x	X X X X	保持
H	H	X	L	x	X X X X	保持
H	H	H	H	\downarrow	X X X X	计数

- 异步清零 优先级最高
- 同步置数 在CP的作用下，输出等于输入
- 保持 使能端有一个为0，输出状态不变
- 计数 使能端全1，在CP作用下计数，从0000-1111。

74161的时序图



(2) 193的功能 (4位二进制同步可逆计数器双时钟) 192的功能 (十进制同步可逆计数器)



当 $R_D=1$ 时，异步清零

当 $LD=0$ 时，异步置数

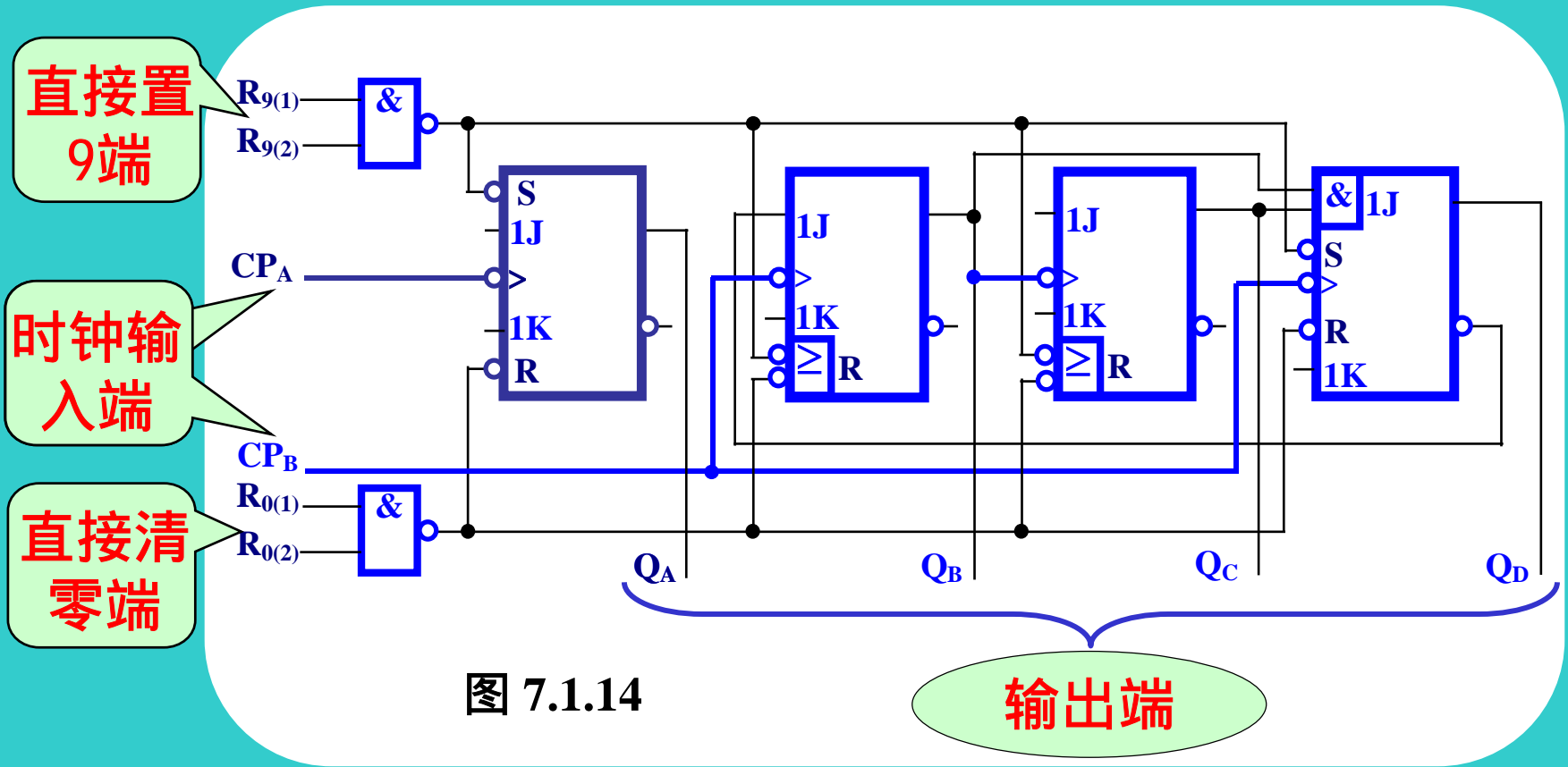
加计数： CP_U 接 CP ， $CP_D=1$

减计数： CP_D 接 CP ， $CP_U=1$

清零 R_D	预置	时钟		预置数据输入				输出			
	LD	CP_U	CP_D	A	B	C	D	Q_A	Q_B	Q_C	Q_D
H	×	×	×	×	×	×	×	L	L	L	L
L	L	×	×	A	B	C	D	A	B	C	D
L	H	\uparrow	H	×	×	×	×	加计数			
L	H	H	\downarrow	×	×	×	×	减计数			

(3) 74LS290的功能 (二-五-十进制异步计数器)

• 74LS290的电路



• 74LS290的功能表

复位输入		置位输入		时钟	输出			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	CP	Q_A	Q_B	Q_C	Q_D
H	H	L	x	x	L	L	L	L
H	H	x	L	x	L	L	L	L
x	x	H	H	x	H	L	L	H
L	x	L	x	\downarrow	计数			
L	x	x	L	\downarrow	计数			
x	L	L	x	\downarrow	计数			

异步置9---当 $R_{9(1)}$ 、 $R_{9(2)}$ 同时为1，无论其余为何，输出为1001。

异步清0---当 $R_{0(1)}$ 、 $R_{0(2)}$ 同时为1，且 $R_{(9)}$ 中至少有一个为0。

计数--- R_9 和 R_0 信号中至少一个为0。

- 工作方式 a.二分频； b.五分频； c.十分频

8421码
5421码

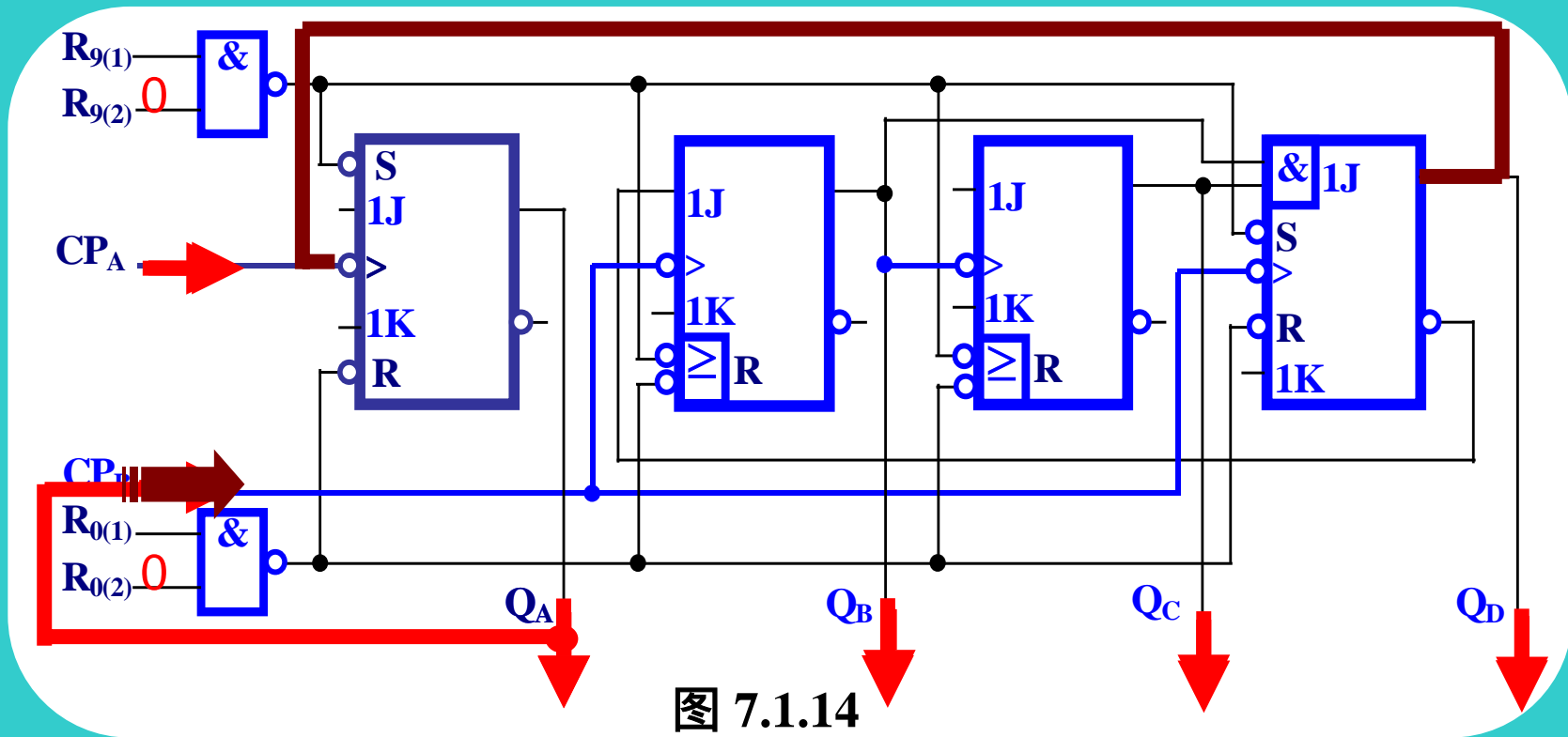


图 7.1.14

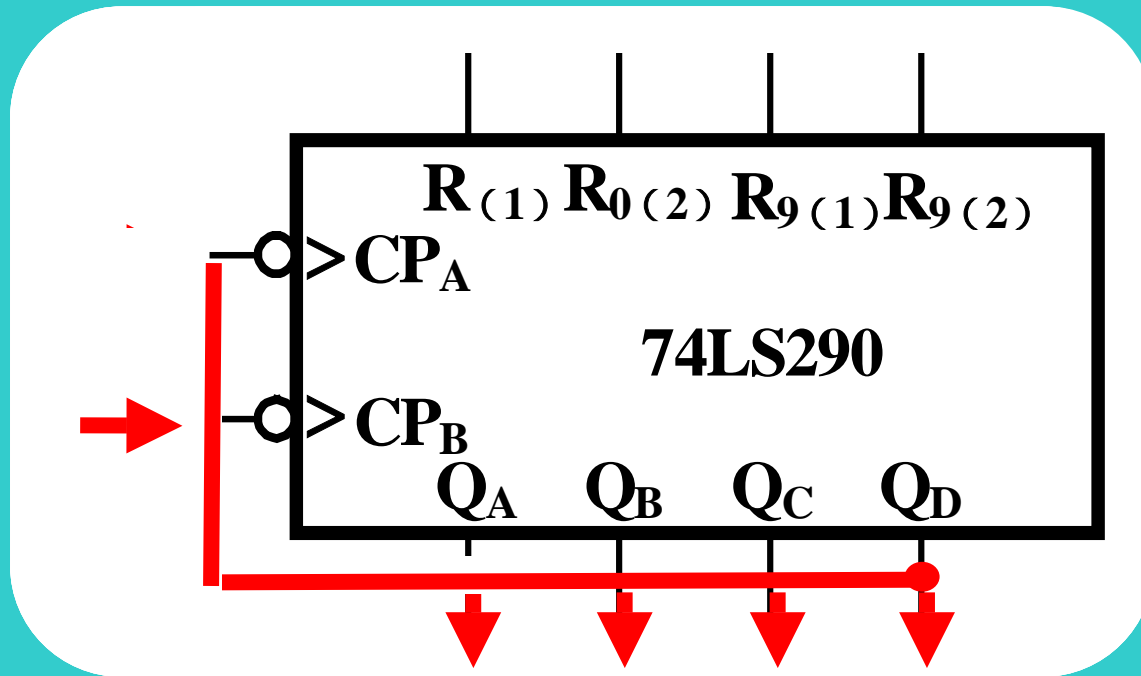
二进制计数器 $CP_A \rightarrow Q_A$

五进制计数器 $CP_B \rightarrow Q_D Q_C Q_B$

5421码十进制计数器 $CP_B \rightarrow Q_A Q_D Q_C Q_B$

8421、BCD码十进制计数器 $CP_A \rightarrow Q_D Q_C Q_B Q_A$

直接清零端 直接置9端



时钟输入端

5421码十进制计数器

2. 用集成计数器构成任意进制计数器

一般有两种方法：

反馈清零法

利用清零端。把计数过程中的某个状态反馈到清零端。

反馈置数法

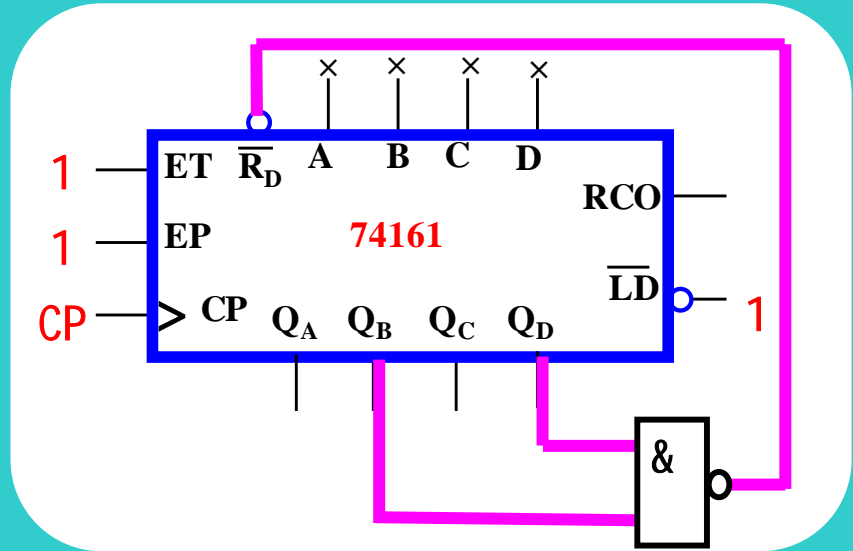
“置0” ---- 数据并入端 D_3-D_0 置成0000。把计数过程中的某个状态反馈到置数端，使计数器并入并出。

“置最小数” ---- 数据并入端 D_3-D_0 置成计数状态中的最小数，当计数器计到1111时，产生进位信号 $CO \rightarrow LD$ 端，使其重新从最小数开始计数。

例 1 用反馈清零法，分别将74161和163构成10进制加计数器。

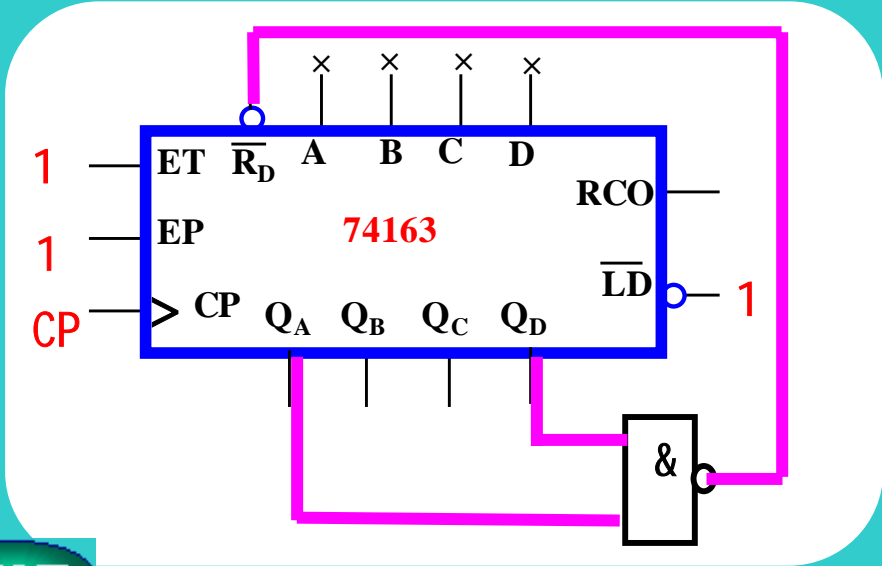
解：要求构成10进制，即 $N=10$ ，74161和163的计数状态 $M=16$ ， $M>N$ ，只需一片芯片。需计数的状态为0000-1001，其余6个状态要跳过，即：

$$M-N=16-10=6$$



161为异步清“0”

163为同步清“0”



例 2 用反馈置数法将74161构成七进制加计数器。
 (要求用反馈置“0”和反馈置“最小数”两种方法)。

方法1：反馈置“0”

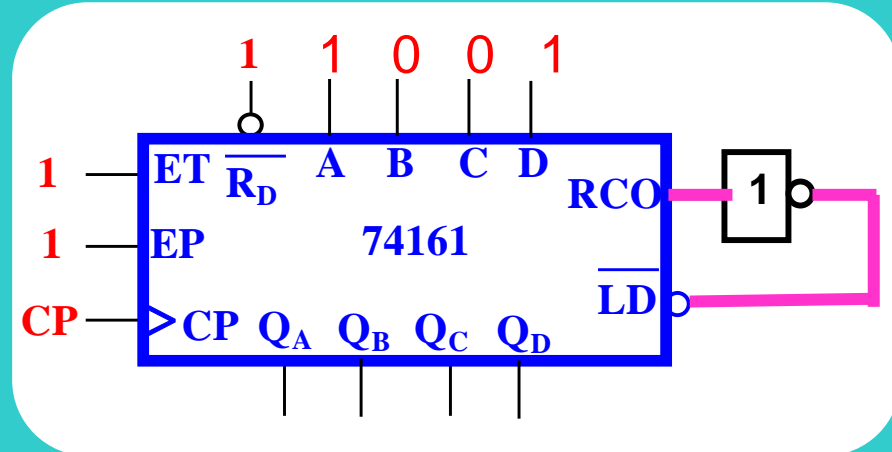
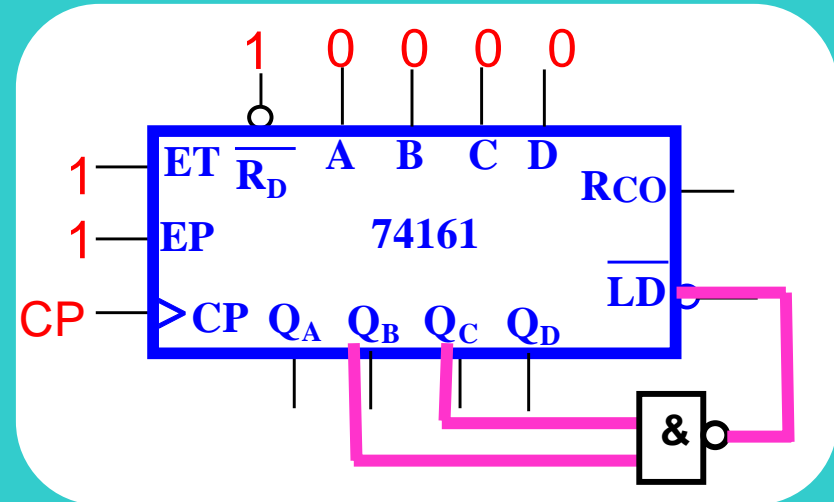
161为同步置数方式

计数状态为0000-0110

方法2：反馈置“最小数”

因为 $N=7$ ， $M=16$ ，最小数 $M-N=16-7=9$ ，即1001，所以将输入预置成1001。

计数状态为1001-1111



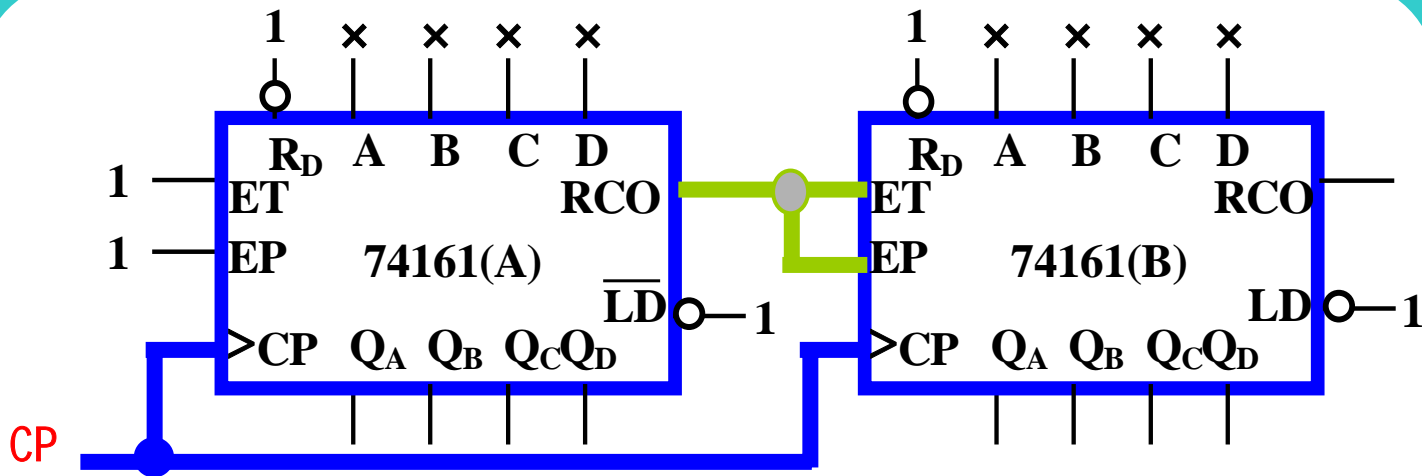
例3 用74HCT161组成256进制计数器。

解：• 因为1片161只能构成16进制计数器，即， $N=256 > M=16$ ，且 $256 = 16 \times 16$ ，所以要用两片161才能构成。

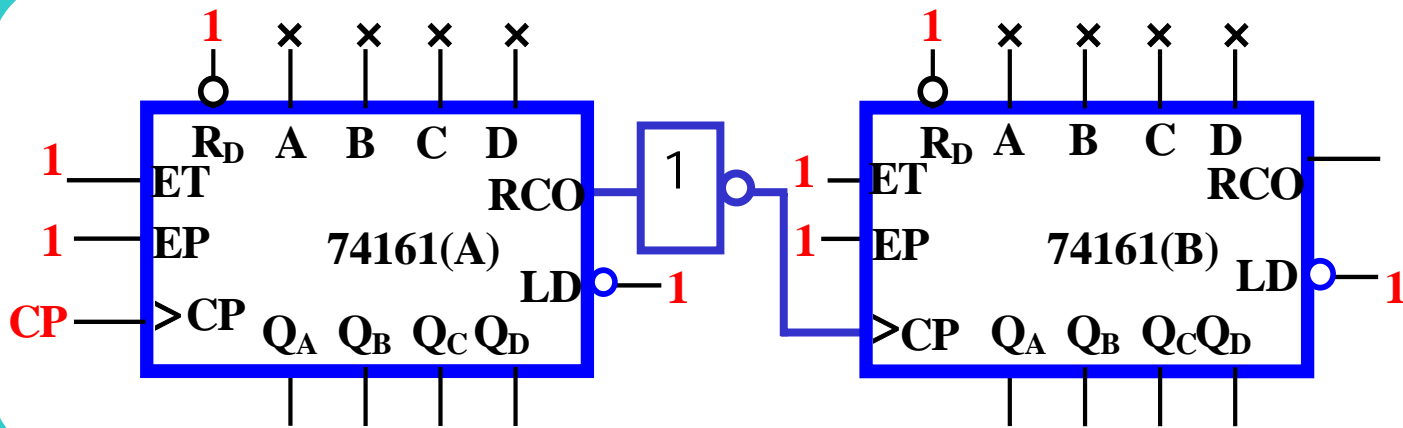
- 片与片之间的连接通常有两种方式：

串行进位 低位片的进位信号作为高位片的时钟脉冲
(即异步计数方式)

并行进位 直接将低位片的进位信号送到高位片的使能端



并行进位：
 低位片的进位作为高位片的使能



串行进位：
 低位片的进位作为高位片的时钟

计数状态：0000 0000 ~ 1111 1111

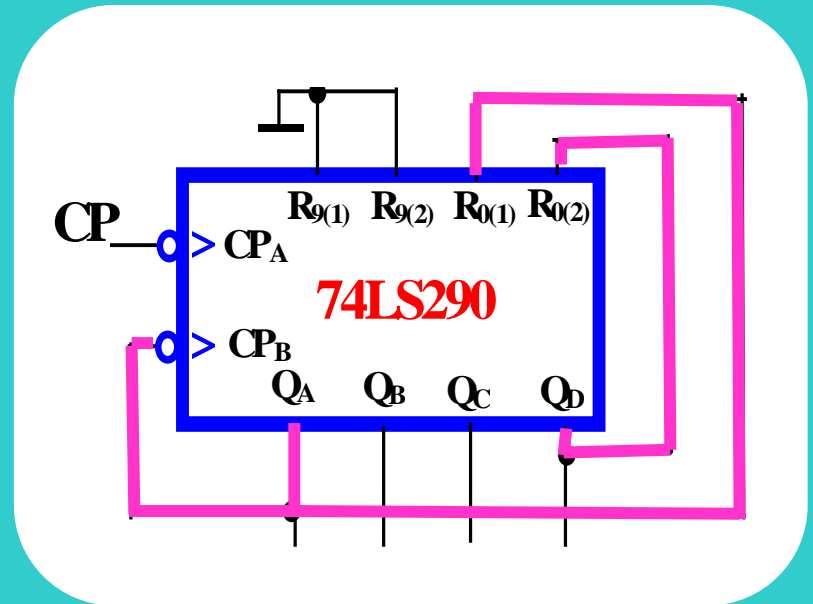
$$N = 16 \times 16 = 256$$

例4 用74290构成九进制计数器。

因为74LS290是二-五-十进制计数器， $M>N$ ，所以只需一片290。

采用反馈清“0”法。

当 $Q_D Q_A=1$ 时，使 $R_{0(1)}$ 和 $R_{0(2)}$ 同时为1，立即清“0”（异步），1001态为瞬间，不算一态，计数状态为0000-1000，为9进制。



例5 用两片74LS290组成二十四进制计数器

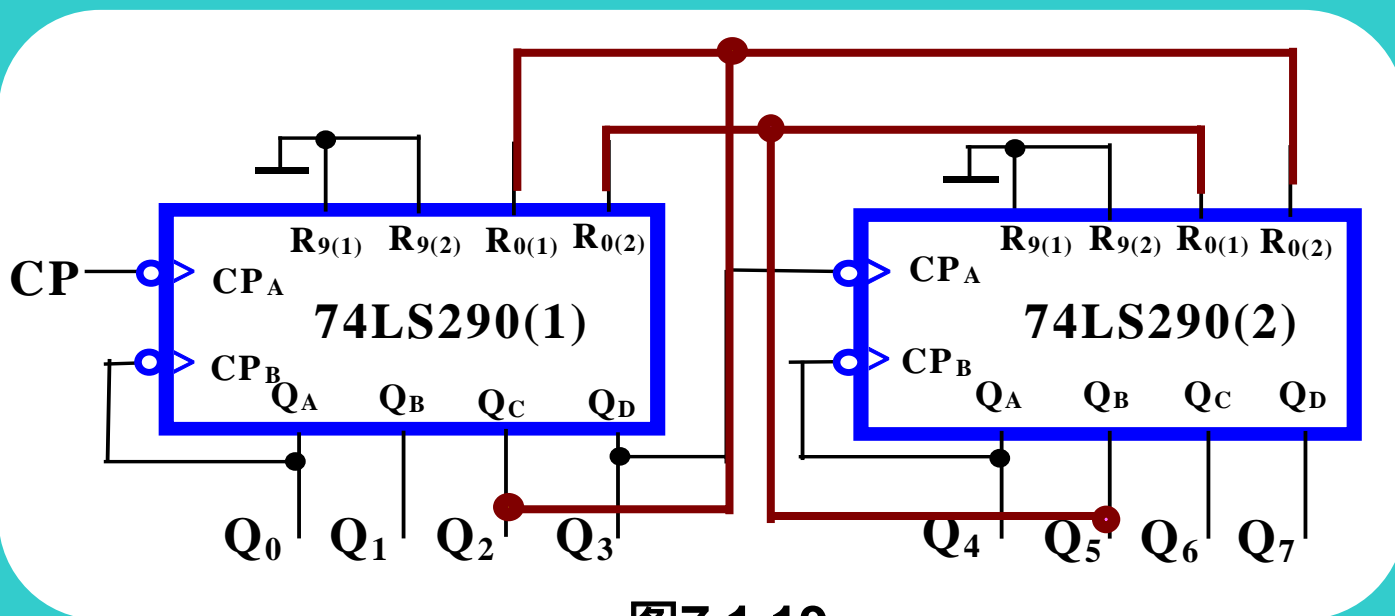


图7.1.19

0 0 1 0

0 1 0 0

计数状态: 0000 0000 ~ 0010 0011 (0010 0100)

异步清零方式

二十四进制计数译码显示电路

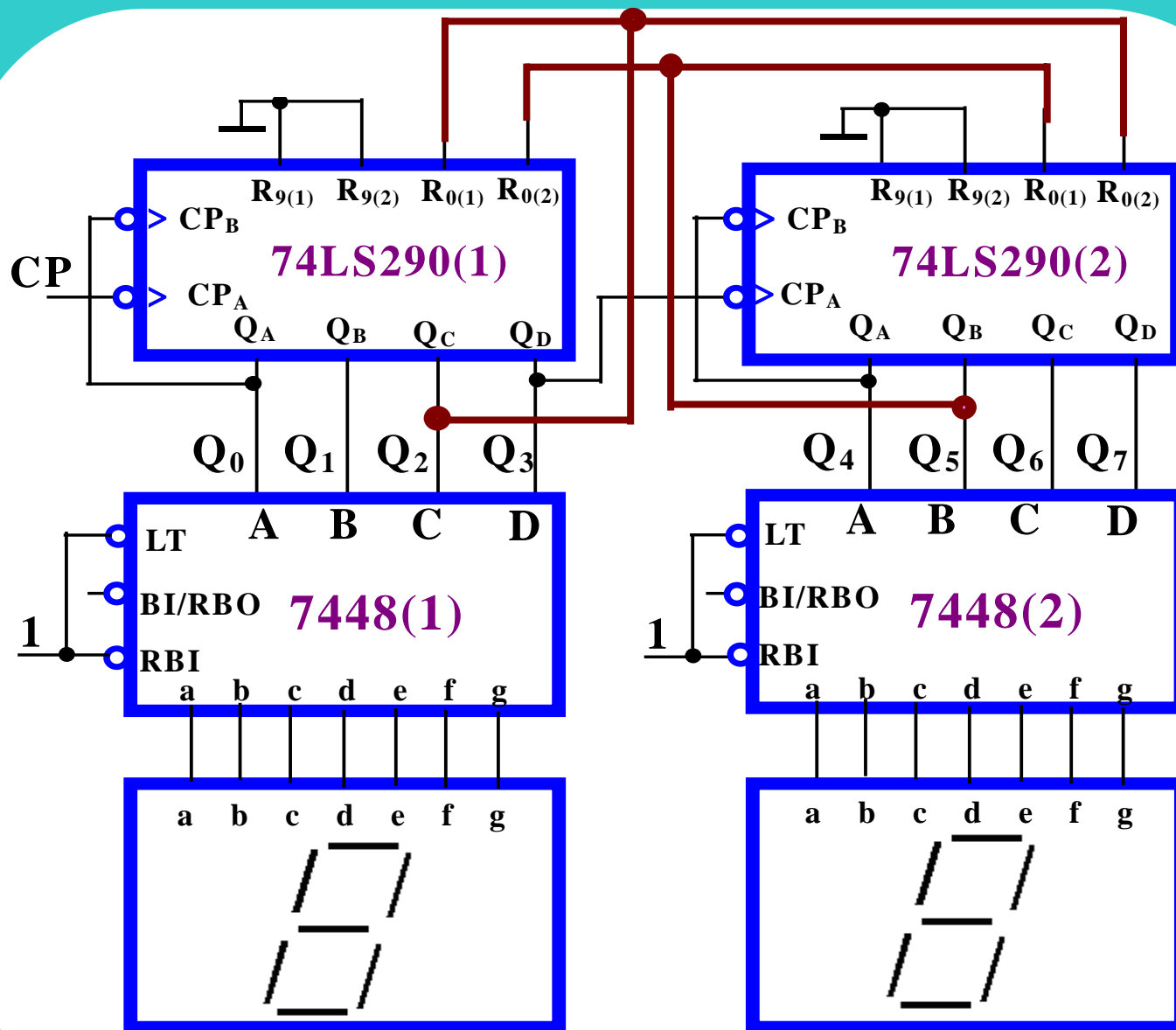
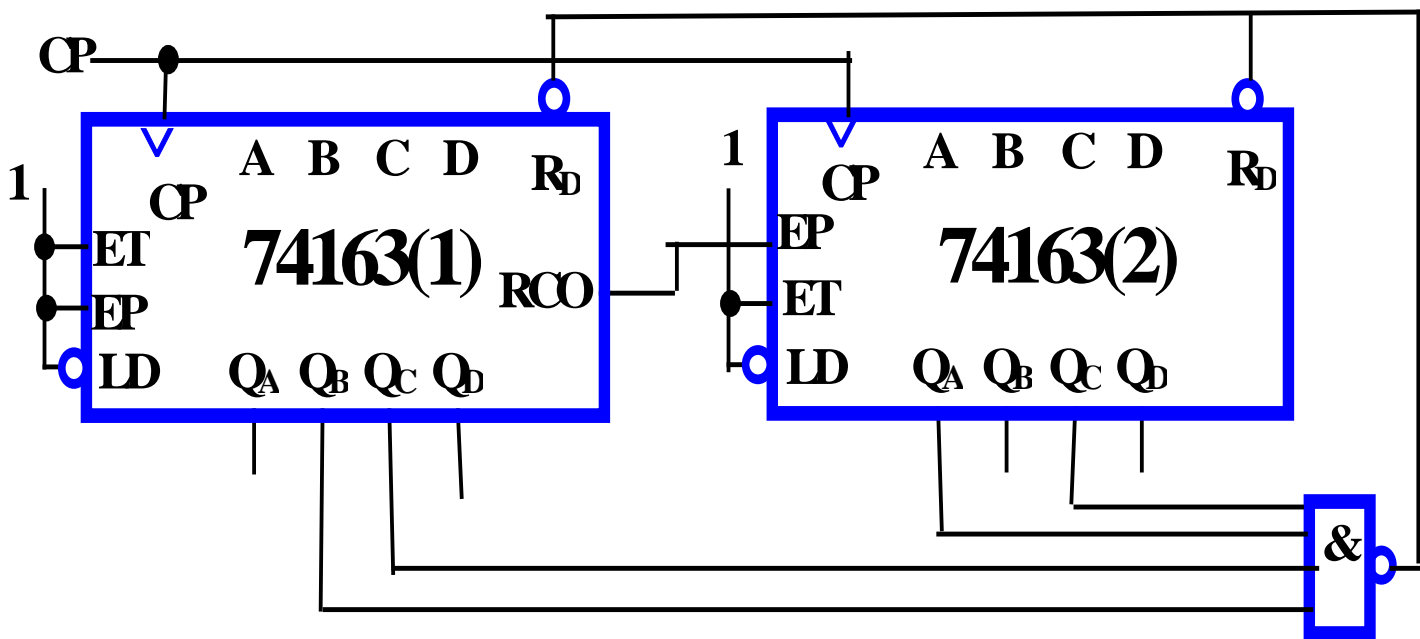


图7.1.20

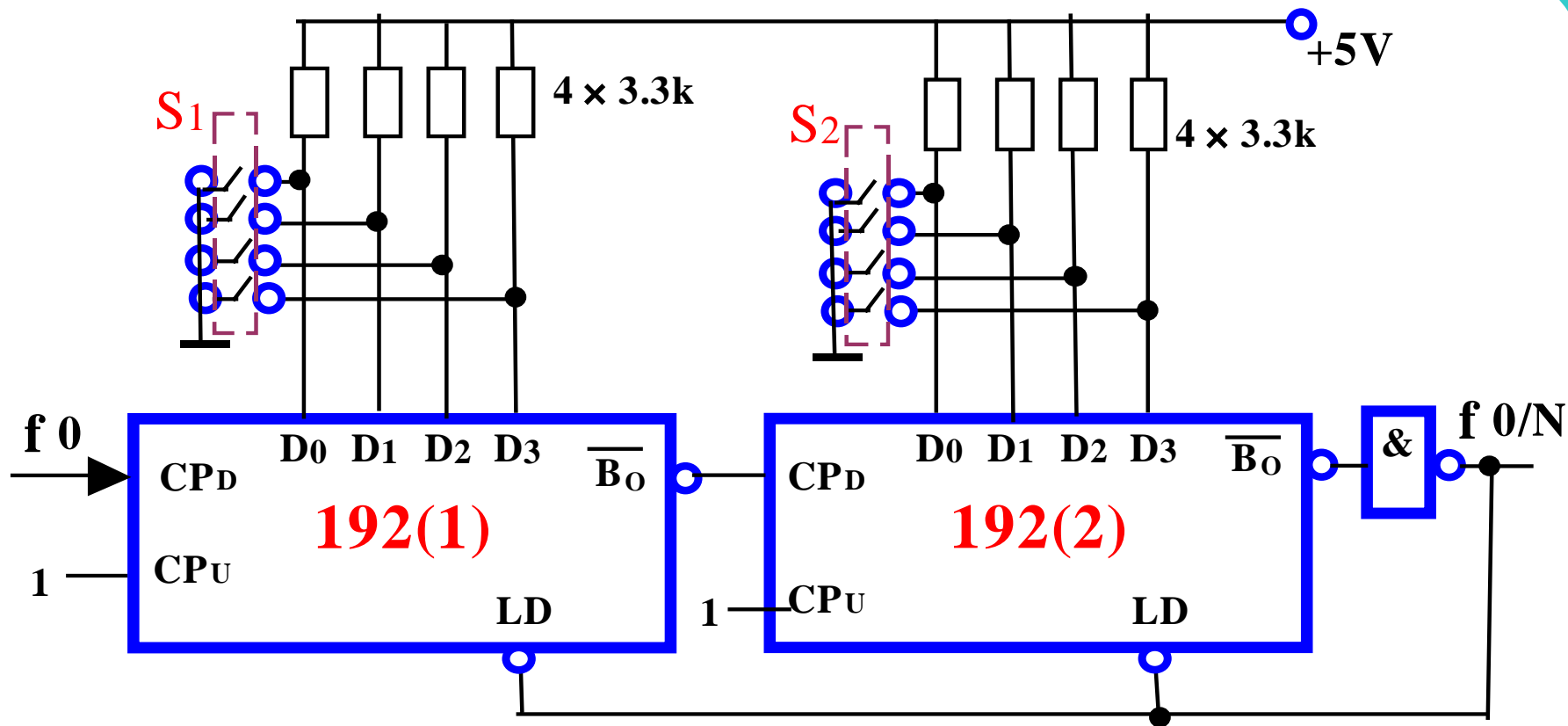
例6 试用二进制计数器74163设计一个87进制的计数器。

M=87，所以需两片163，当计数到86时，回零。

因为163是二进制计数器，为自然二进制码，所以 $86=2^6+2^4+2^2+2^1$ ，即：0101 0110。



例7 试用192设计一个分频电路，该电路可从1分频到99分频任意改变。



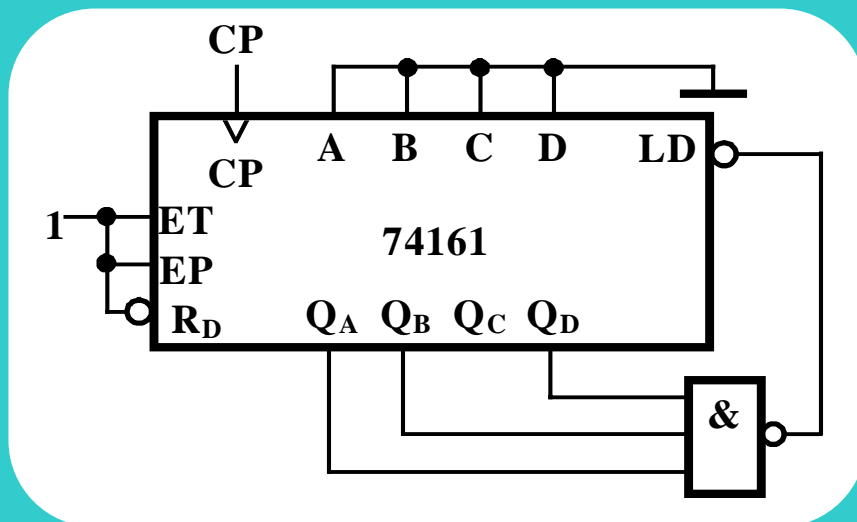
作 业

P 270 *7.1.5 7.1.10

P 271 7.1.13

7.1.14

*例 分析下图所示的时序逻辑电路，试画出其状态图和
和在CP脉冲作用下 Q_3 、 Q_2 、 Q_1 、 Q_0 的波形，并指出
计数器的模是多少？（选讲）



$$LD = \overline{Q_D \cdot Q_B \cdot Q_A} = 0$$

