

# 概 述

数字电路中除组合逻辑电路之外，还有一类具有记忆功能的电路-----**时序逻辑电路**。

构成时序逻辑电路的基本单元是 **触发器**；  
构成时序逻辑电路的基本电路是**计数器和移位寄存器**。

本章主要介绍 **触发器**的工作原理、逻辑功能及应用。

触发器能够存储一位二进制数，有两个互补的输出端 $Q$ 和  $\bar{Q}$ ，其中 $Q$ 的状态称为触发器的状态。

# 触发器的分类

## 按电路结构

基本RS触发器

同步RS触发器

主从触发器

边沿触发器

## 按逻辑特性

RS触发器

JK触发器

D触发器

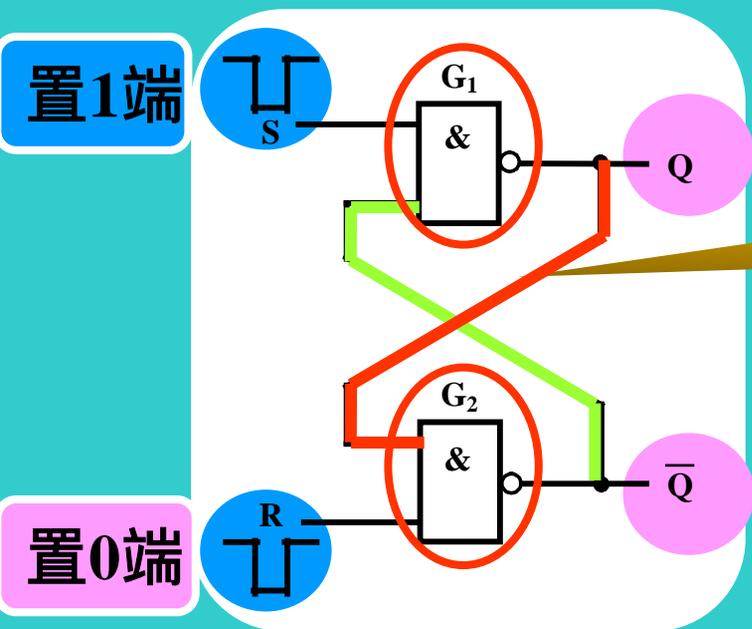
T触发器

时钟触发器

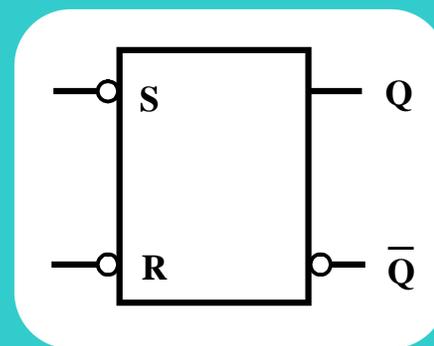
# 5.1.1 触发器的电路结构与工作原理

## 5.1.1 基本RS触发器

### 1、电路结构



反馈线

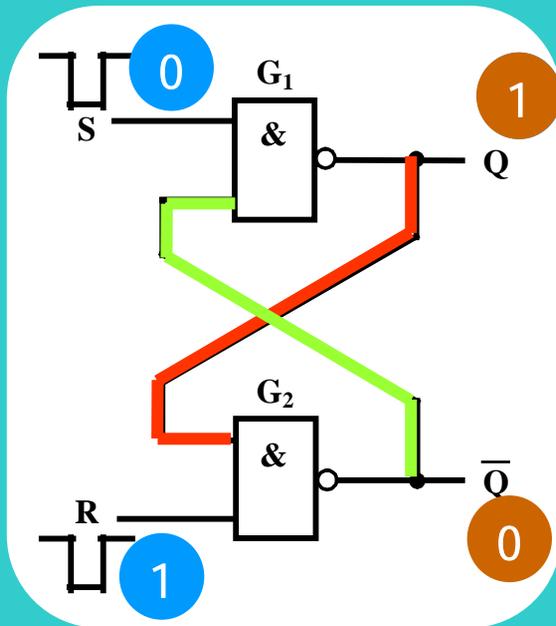


逻辑符号

由两个与非门组成

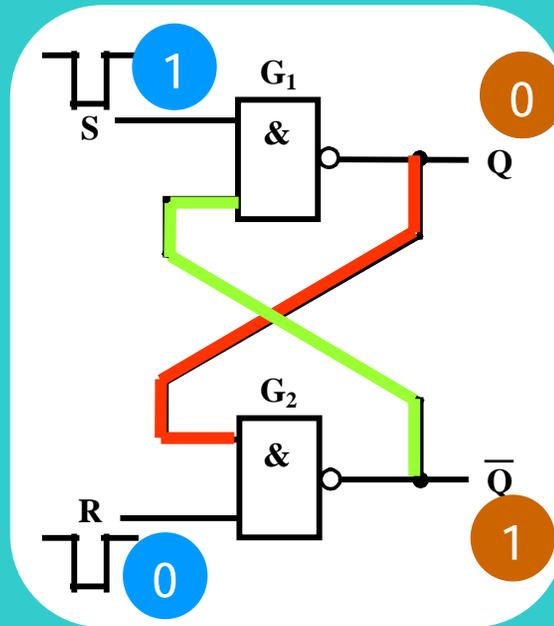
## 2、功能

1) 可置“1”：当  $S=0$ 、 $R=1$ 时，触发器输出 $Q=1$ 。



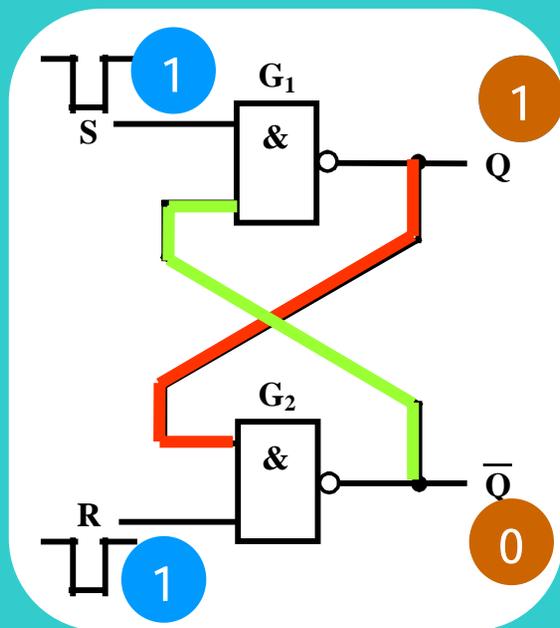
## 2、功能

2). 可置“0”：当  $S=1$ 、 $R=0$ ，触发器  $Q=0$ 。

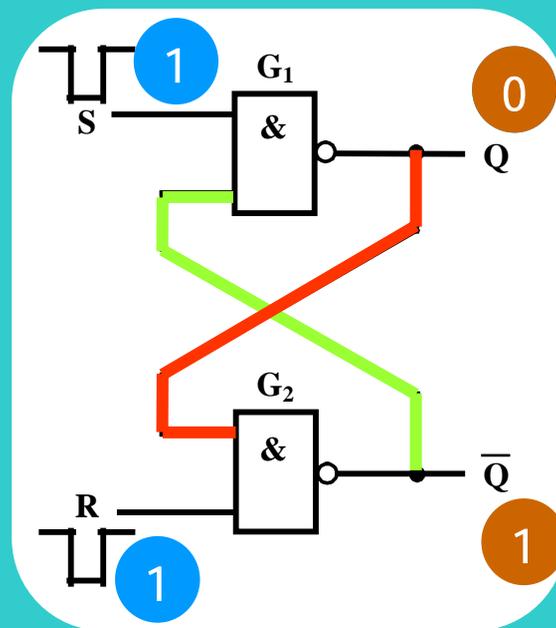


## 2、功能

3) 能记忆：当  $S=R=1$  时，触发器状态不变，即原有状态被存储起来



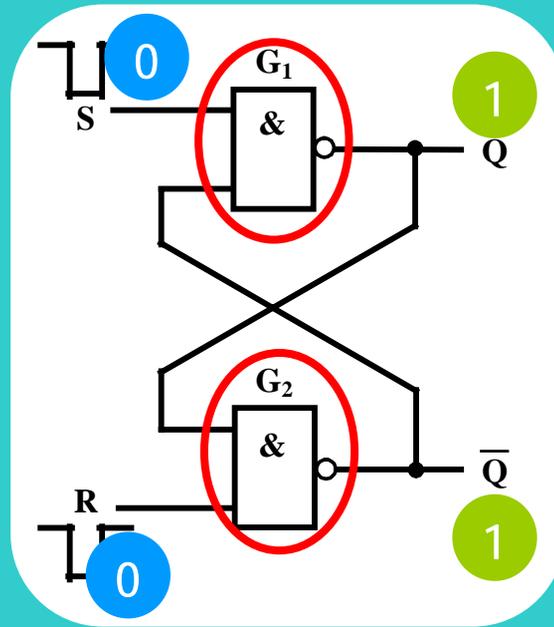
若原态  $Q^n=1$



若原态  $Q^n=0$

## 2、功能

4) 有不定态：当  $S=R=0$  时，触发器状态为不定状态。



当 $R=S=0$ 撤消后，由于门延迟不可能完全相等，故不能确定FF是何态。  
初态 $Q=*$

### 3、真值表

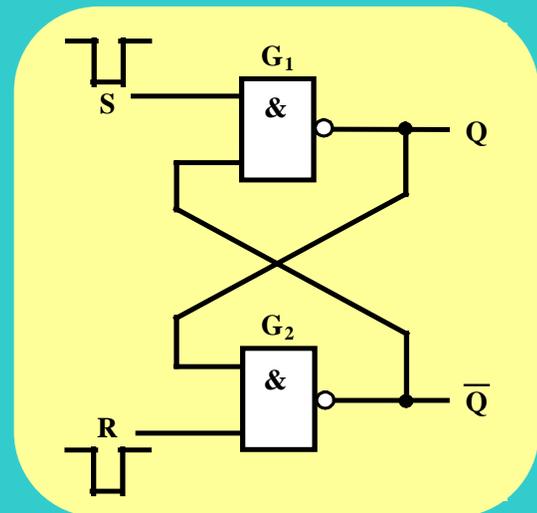
R	S	Q
0	1	0
1	0	1
1	1	不变
0	0	不定

记忆前一状态

RS撤除后

### 4、逻辑表达式

$$\begin{cases} Q = \overline{S \overline{Q}} \\ \overline{Q} = \overline{R Q} \end{cases}$$



# 5、逻辑功能

画工作

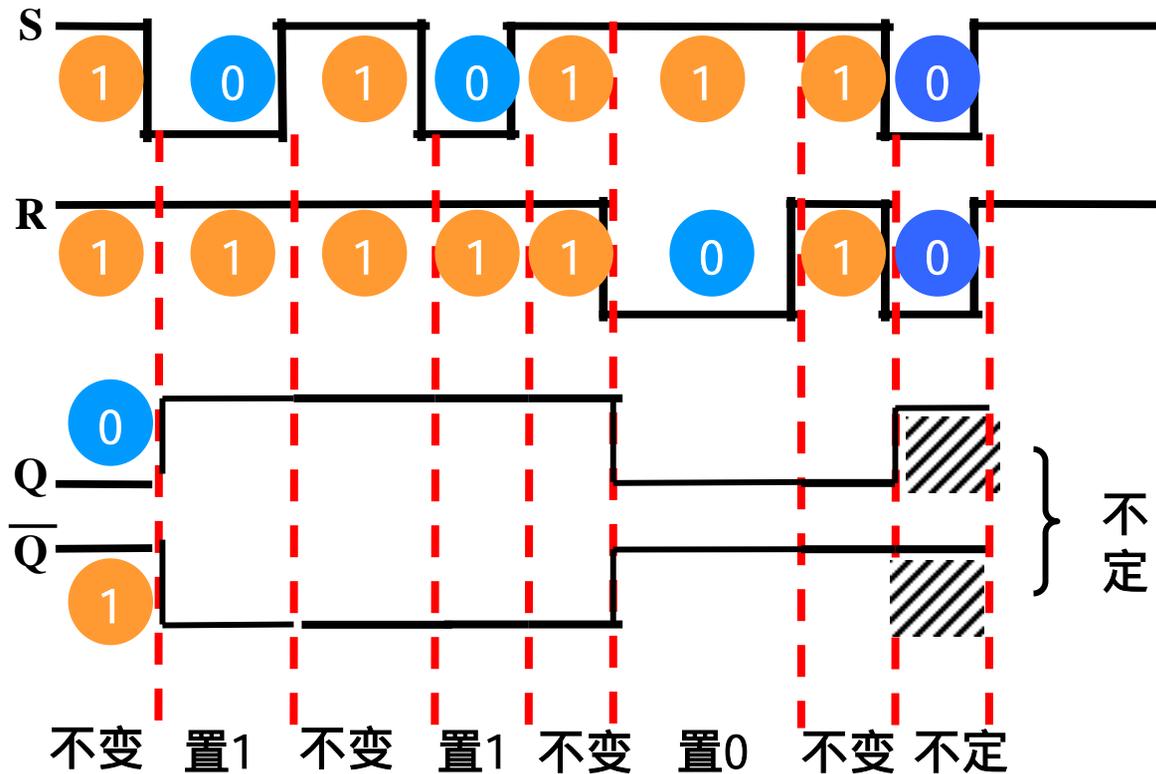
1. 根据

2. 根据

工作波形能直观地表示出  
输入与输出的时序关系。

时刻；

状态 $Q^{n+1}$ 。



## 6、应用举例

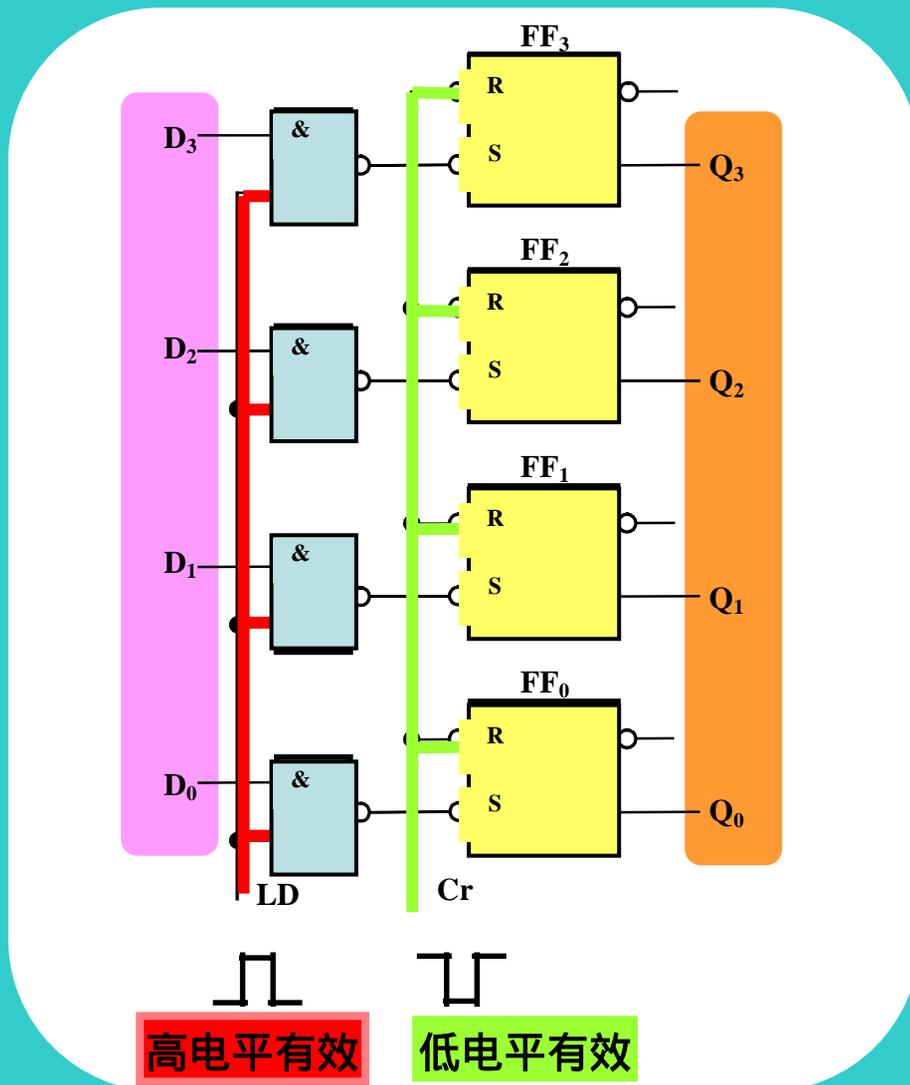
**例1** 用基本RS触发器和与非门构成四位二进制数码寄存器。

输入端

输出端

置数端-LD

清零端-Cr



# 工作原理：

## 第一步：清零

S=1

R=0

置0

S=1

R=1

不变

## 第二步：置数

$S=\bar{D}_i$

R=1

当  $S=\bar{D}_i=0$

置1

$Q_i=1$

当  $S=\bar{D}_i=1$

不变

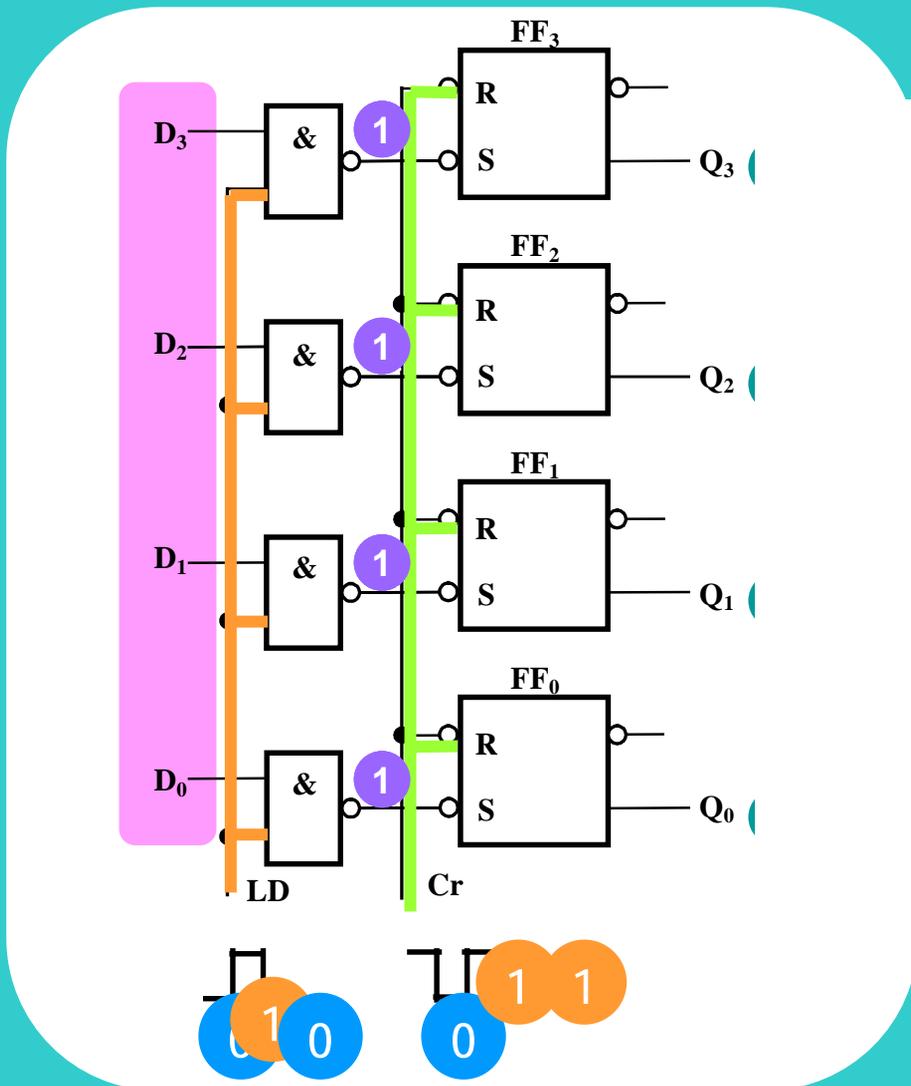
$Q_i=0$

$Q_i=D_i$

S=1

R=1

不变



数据被存入并保存

# 例2 消除机械开关振动引起的抖动现象

开关接 B

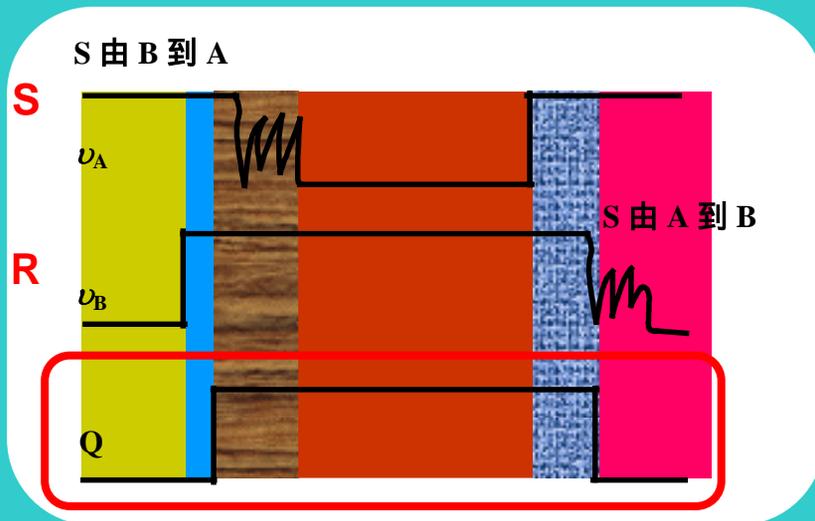
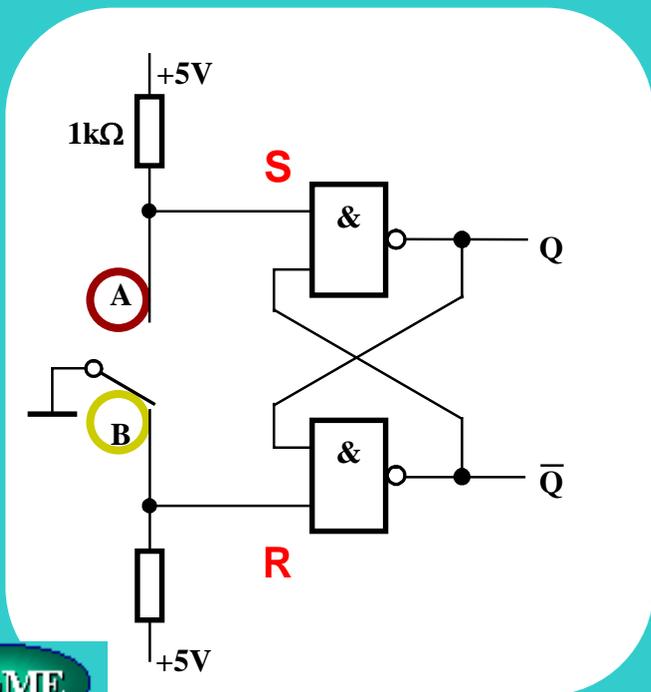
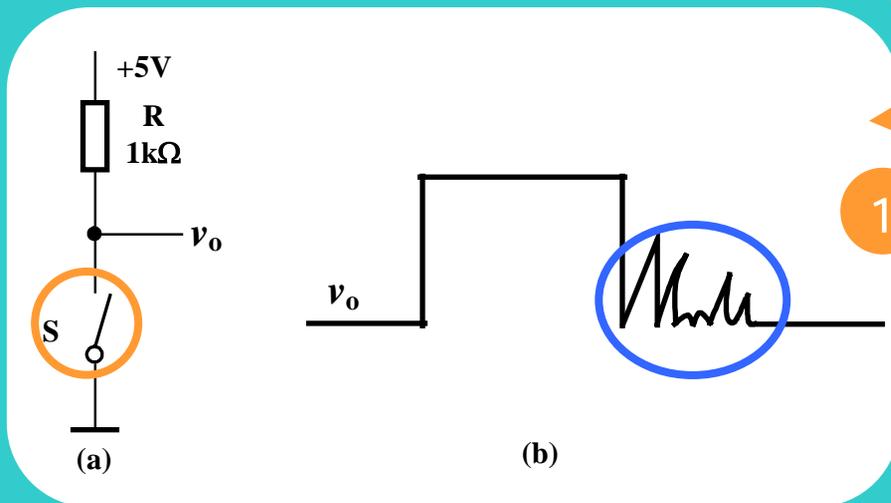
接 A 振动

开关接 A

悬空时间

悬空时间

接 B 振动



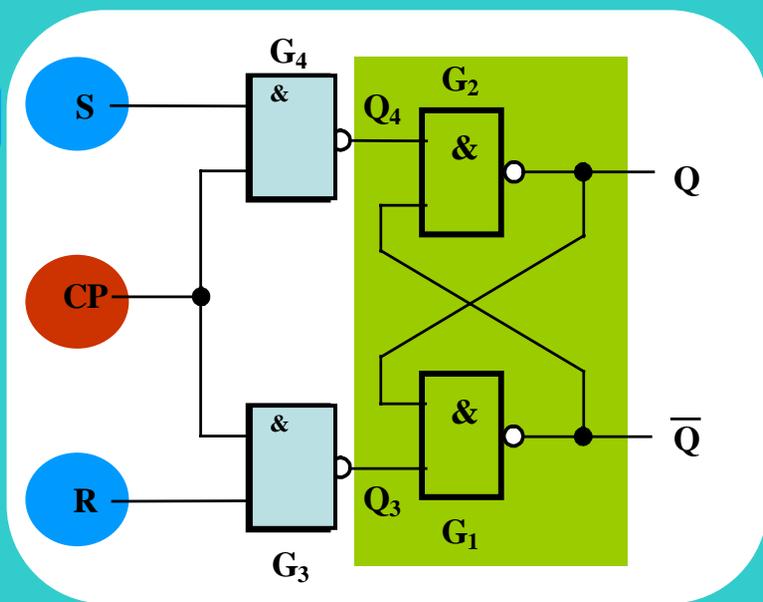
# 5.1.2 同步RS触发器（时钟脉冲控制的RSFF）

---在时钟脉冲控制下，触发器按输入信号所决定的状态转换。

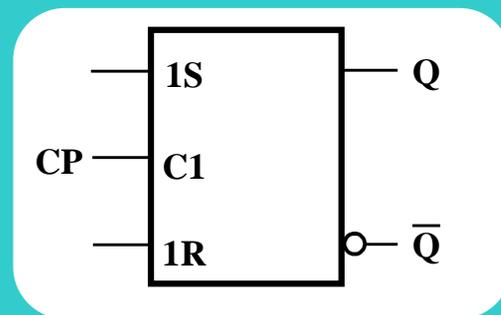
## 1、电路结构及逻辑符号

输入端

时钟

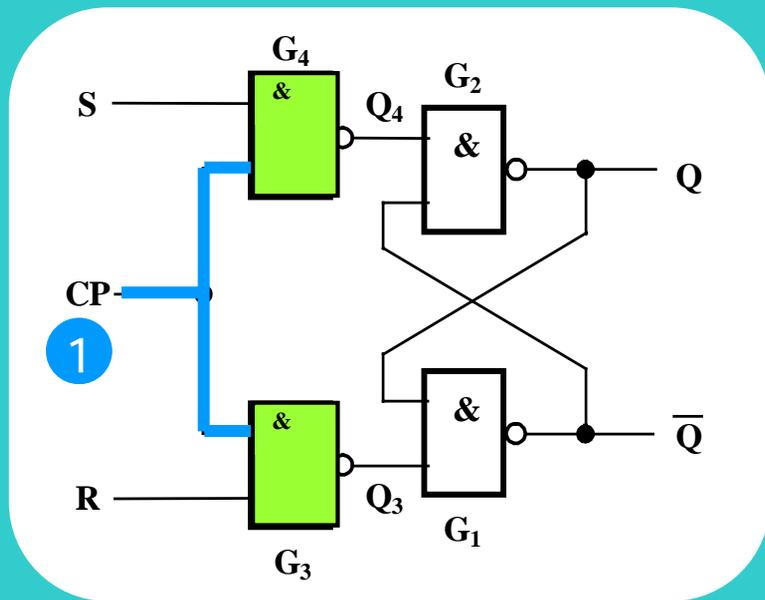


电路结构



逻辑符号

## 2、工作原理



CP=0 : 状态不变

CP=1 : 状态发生变化。

$$\left. \begin{array}{l} S=1, R=0 : Q^{n+1}=1 \\ S=0, R=1 : Q^{n+1}=0 \end{array} \right\}$$

可见：

触发器 置“0”端为“1”， $Q^{n+1}=0$ ，  
置“1”端为“1”， $Q^{n+1}=1$ 。 } 高有效

### 3、真值表

CP作用后,FF的状态---次态

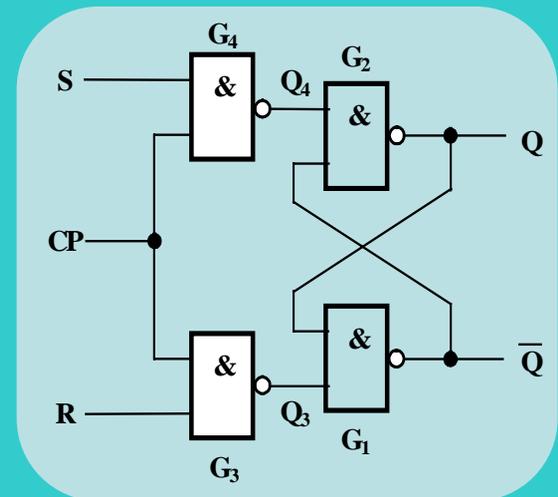
S	R	$Q^n$	$Q^{n+1}$	说明
0	0	0	0	} $Q^n$ 状态不变
0	0	1	1	
0	1	0	0	} 0 状态同S
0	1	1	0	
1	0	0	1	} 1 状态同S
1	0	1	1	
1	1	0	-	} 状态不定
1	1	1	-	

### 4、特性方程

$$\begin{aligned}
 Q^{n+1} &= \overline{\overline{S} \cdot \overline{Q^n}} \quad (\text{CP}=1) \\
 &= \overline{\overline{S} \cdot \overline{RQ^n}} \\
 &= S + \overline{RQ^n}
 \end{aligned}$$

即：

$$\begin{cases}
 Q^{n+1} = S + \overline{RQ^n} \\
 SR = 0 \quad (\text{约束条件})
 \end{cases}$$

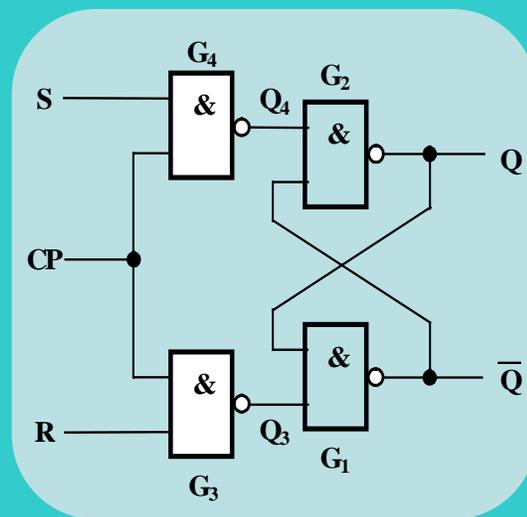
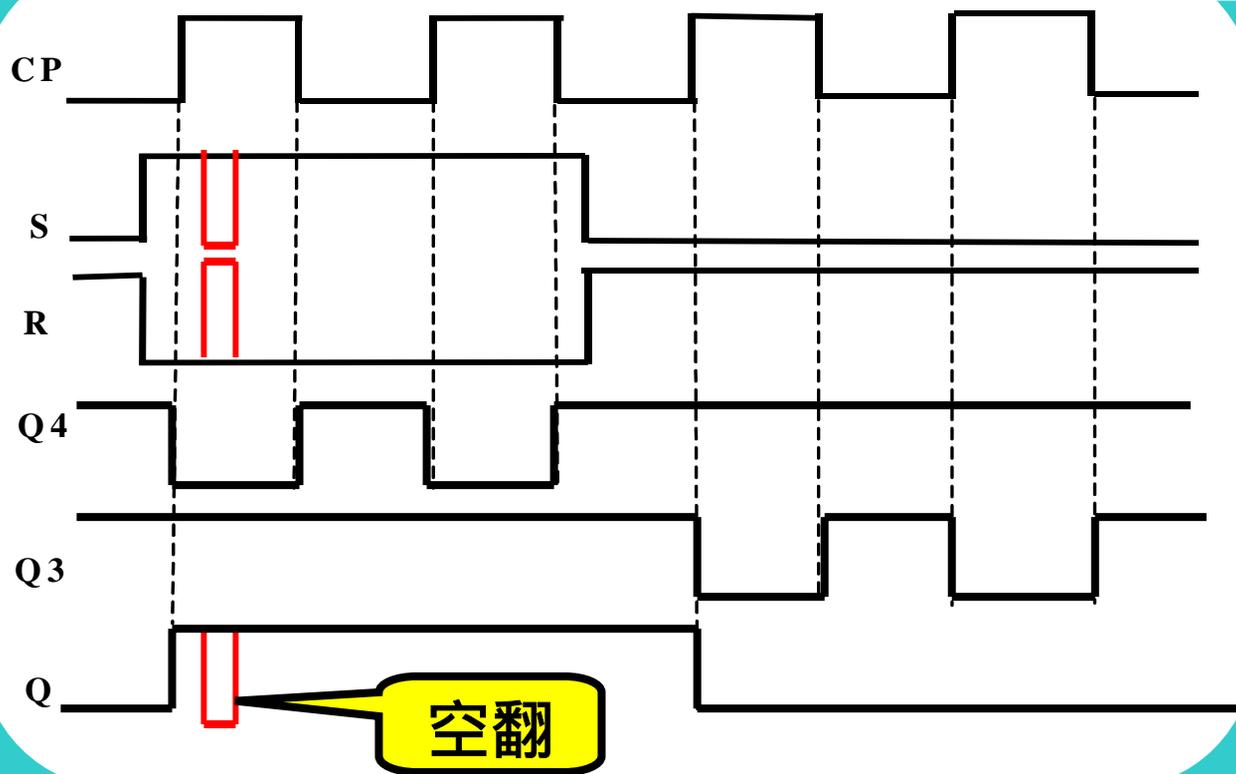


# 5、波形图

该触发器的翻转只是被控制在一个时间间隔内，而不是控制在某个时刻

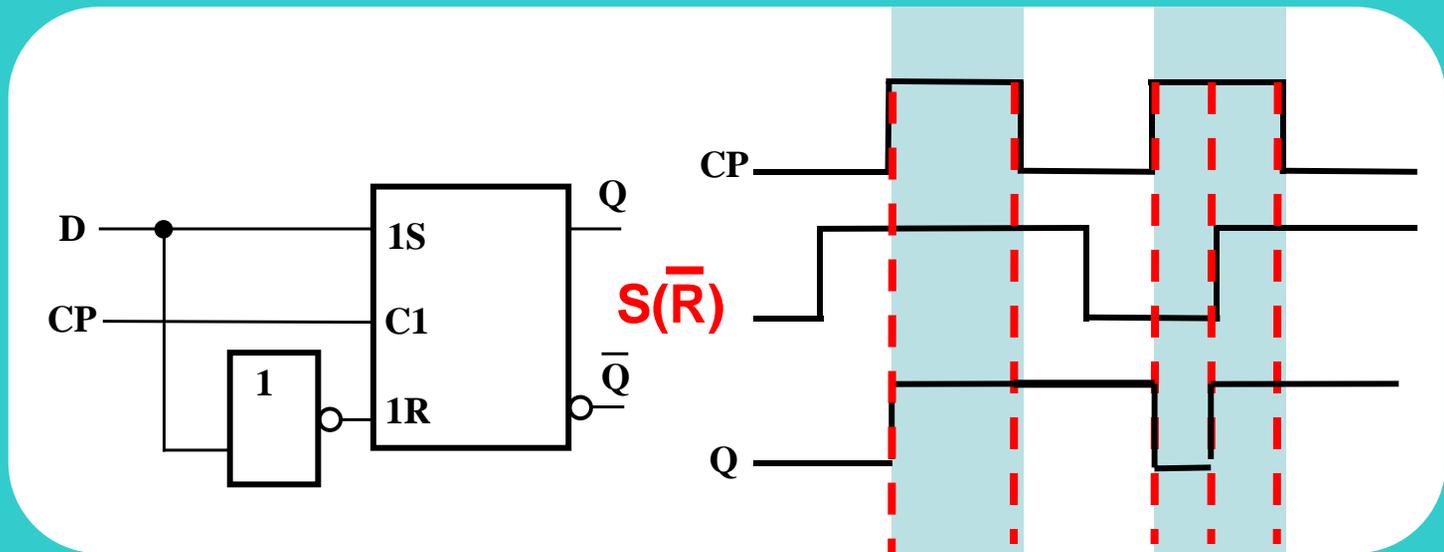
同步RS触发器真值表

S	R	$Q^{n+1}$
0	0	$Q^n$
1	0	1
0	1	0
1	1	



# 举例

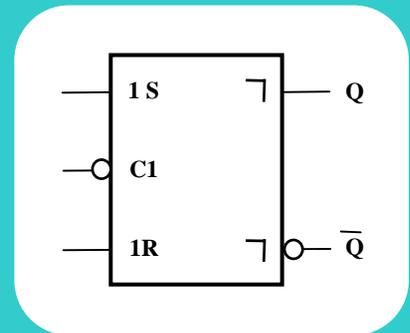
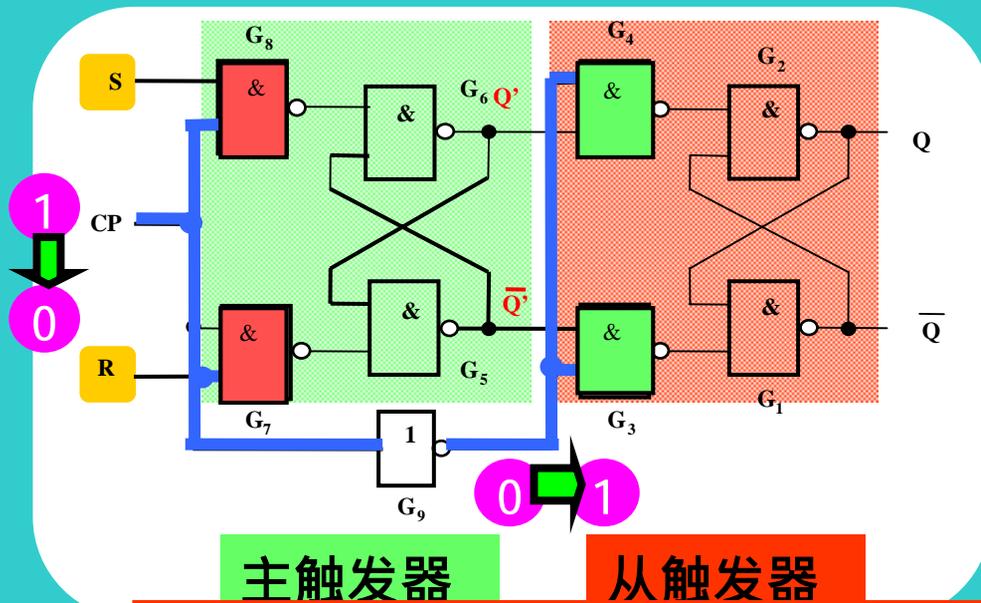
同步RS触发器及逻辑门组成的时序电路及输入CP、D端波形如图所示，设触发器初态为0，试画出触发器Q端的输出电压波形。



解：同步RS触发器  $S=D$ ， $R=\bar{D}$ ，电路只有置0置1两种逻辑功能。

# 5.1.3 主从触发器

## 1、由两个同步RS触发器组成的主从触发器



逻辑符号

主触发器

从触发器

特点：只在时钟脉冲的跳变沿触发翻转。

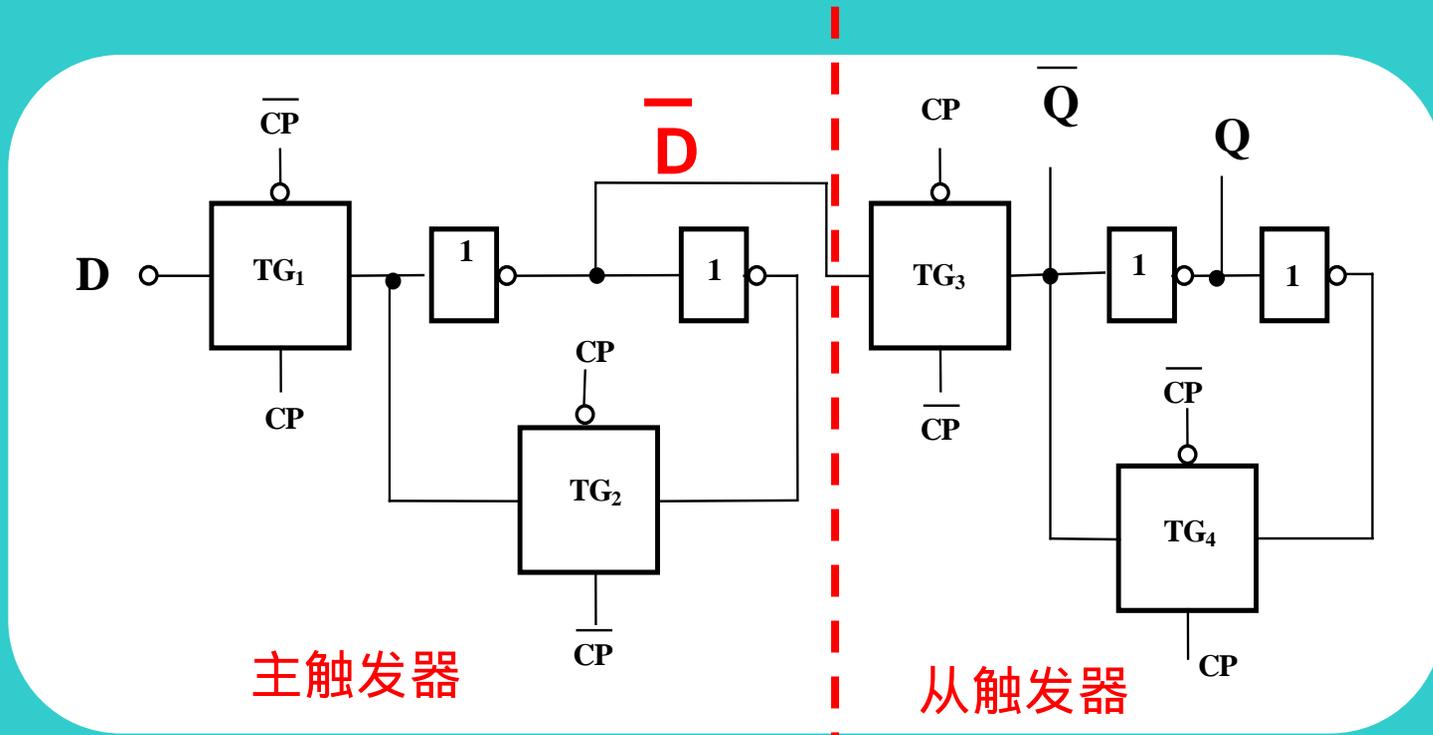
CP=1时 主FF

受主FF的影响

CP=0时

对于负跳变沿触发翻转的触发器，输入信号在CP上跳沿前加入，为主触发器翻转做好准备；CP的负跳变沿使FF翻转。

## 2、由传输门组成的CMOS主从D触发器



$CP=0$ ， $TG_1$ 关， $D$ 不能进入主FF， $TG_2$ 开，主FF维持原态不变；而从FF  $TG_3$ 开， $\overline{D}$ 进入从FF， $Q=D$ 。

## 5.1.4 边沿触发器

主从触发器，若是负跳变沿触发的主从触发器，它们在工作时必须要在正跳变沿前加入输入信号，如果在CP=1的期间，输入端出现干扰，就有可能使触发器状态出错。

边沿触发器的电路结构可以克服这一缺点。它大大提高了触发器抗干扰能力和电路的可靠性。

边沿触发器有两种工作方式：

- 维持-阻塞边沿触发器
- \*利用传输延迟的边沿触发器

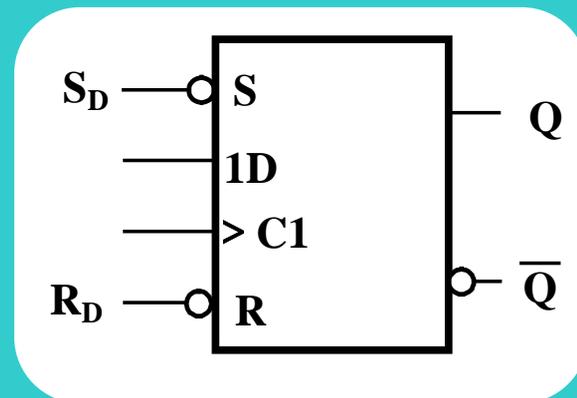
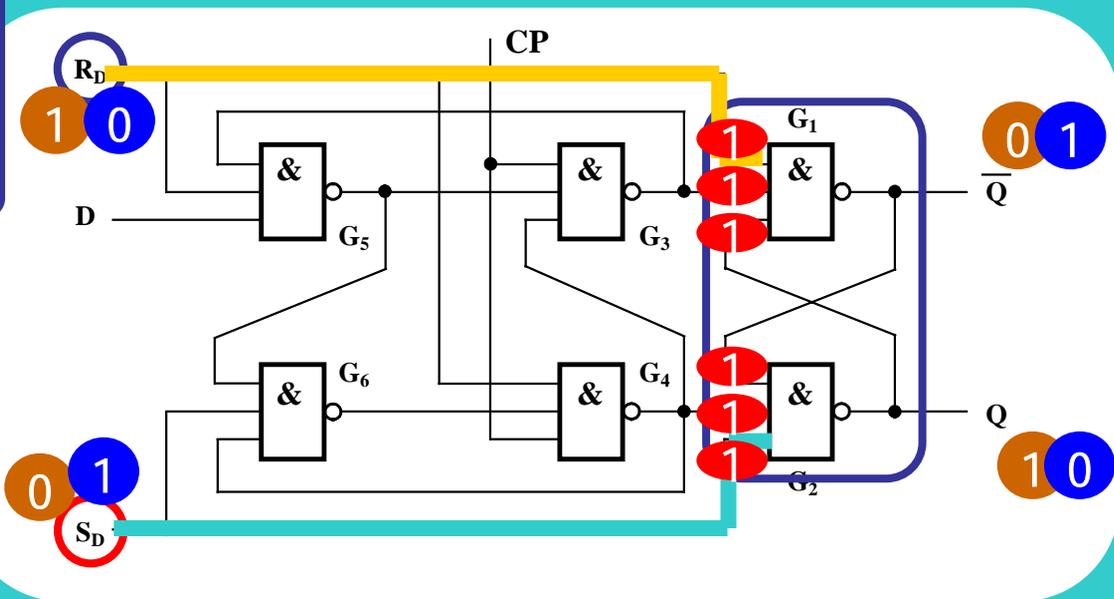
# 维持-阻塞D触发器

## 1、电路结构和逻辑符号

直接置0端

直接置1端

基本RS触发器



逻辑图

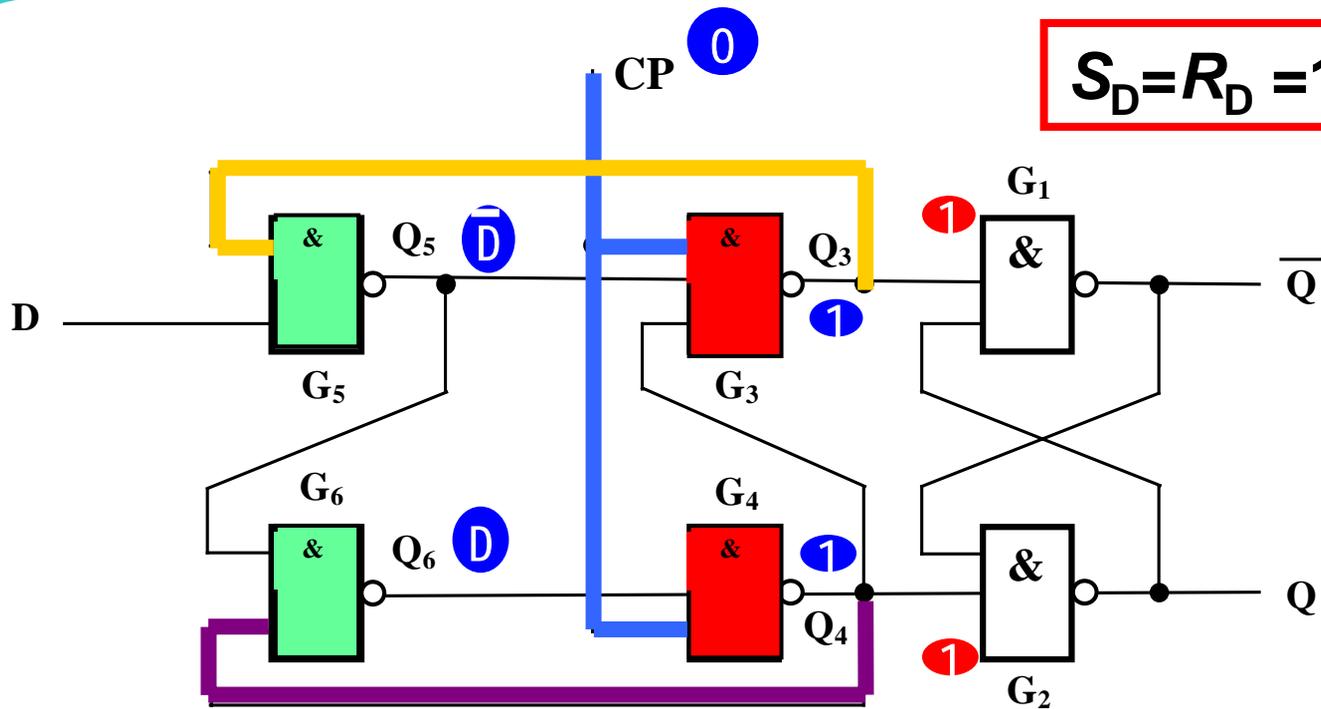
逻辑符号

$S_D$ 、 $R_D$ 分别为直接置1、置0端，低电平有效。

## 2、工作原理 (不考虑S<sub>D</sub>)

$$Q_5 = \bar{D}$$

$$Q_6 = D$$



$$S_D = R_D = 1$$

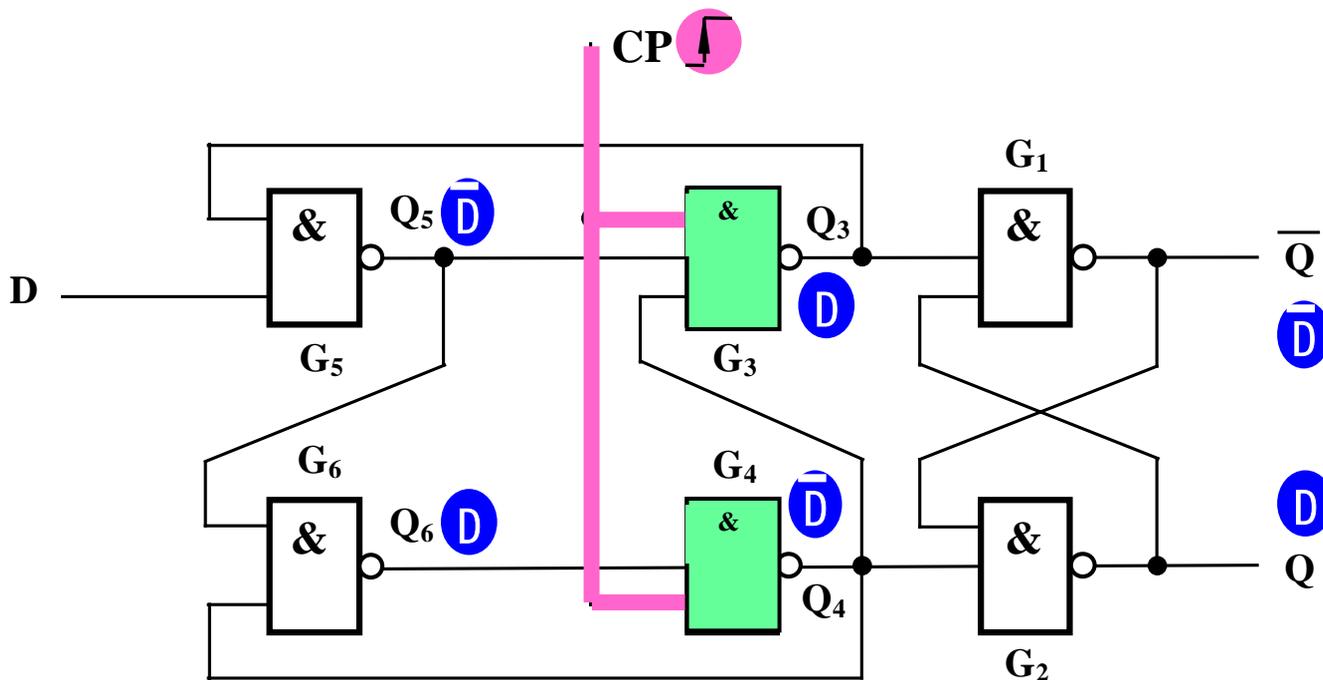
$$CP = 0$$

$$Q^{n+1} = Q^n$$

## 2、工作原理

$$Q^{n+1} = D$$

$$\overline{Q^{n+1}} = \overline{D}$$

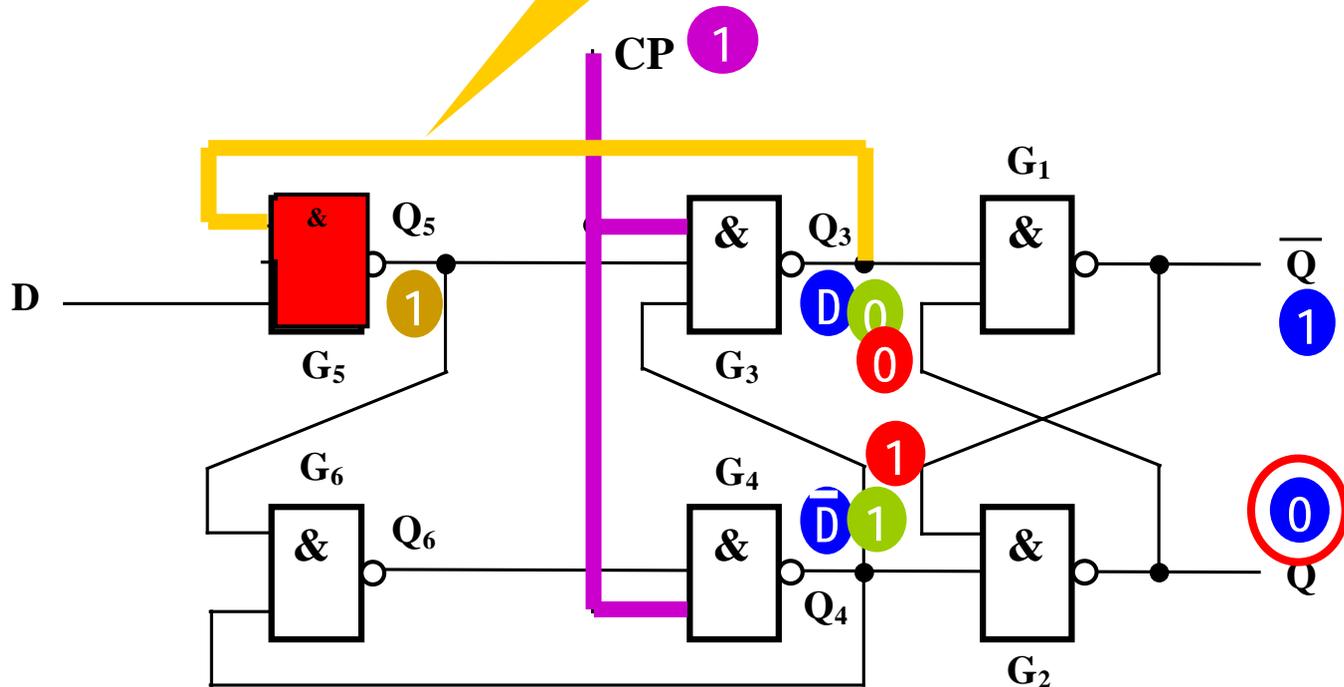


CP由0变1

在CP脉冲的上升沿产生状态变化

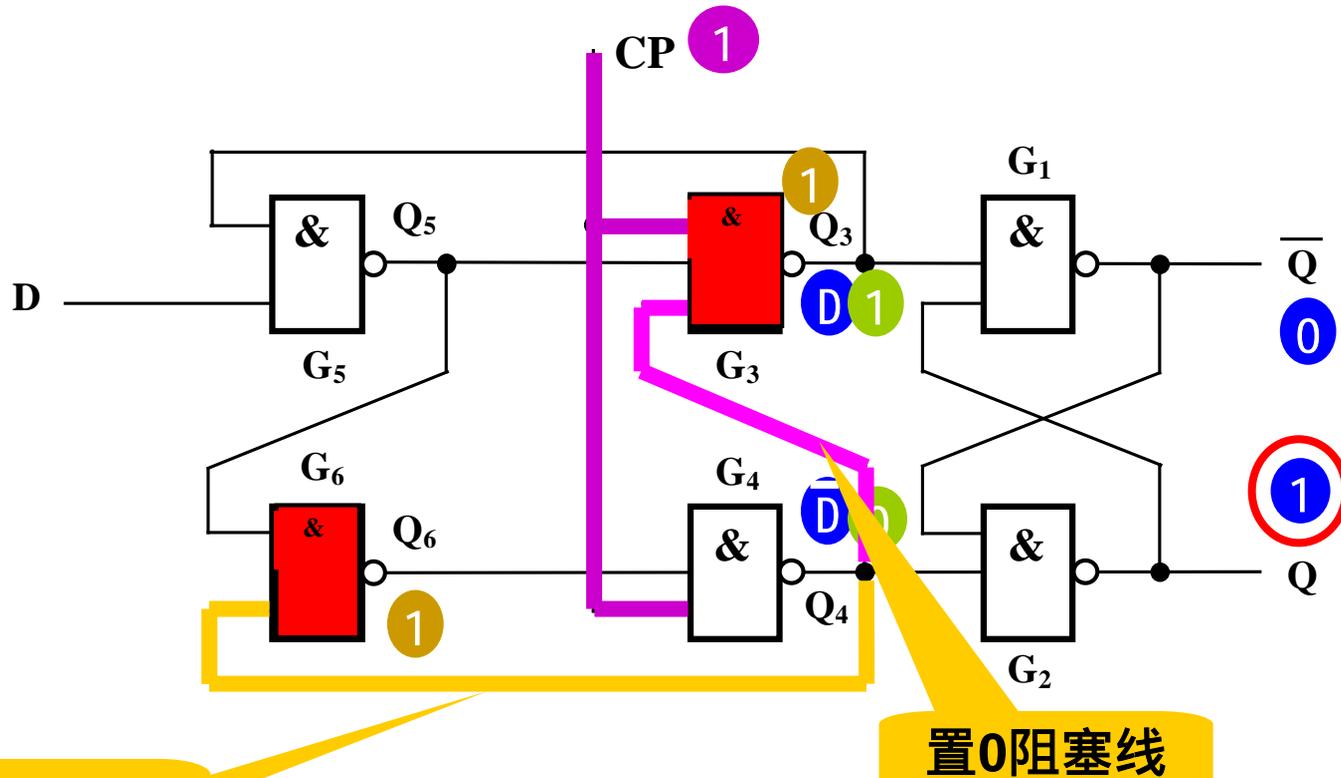
## 2、工作原理

置0维持线，  
置1阻塞线



CP=1期间 门3,4开,  $Q_3, Q_4$ 输出互补, 必定有一个为0。  
若  $Q_3=0$ ,  $Q_4=1$

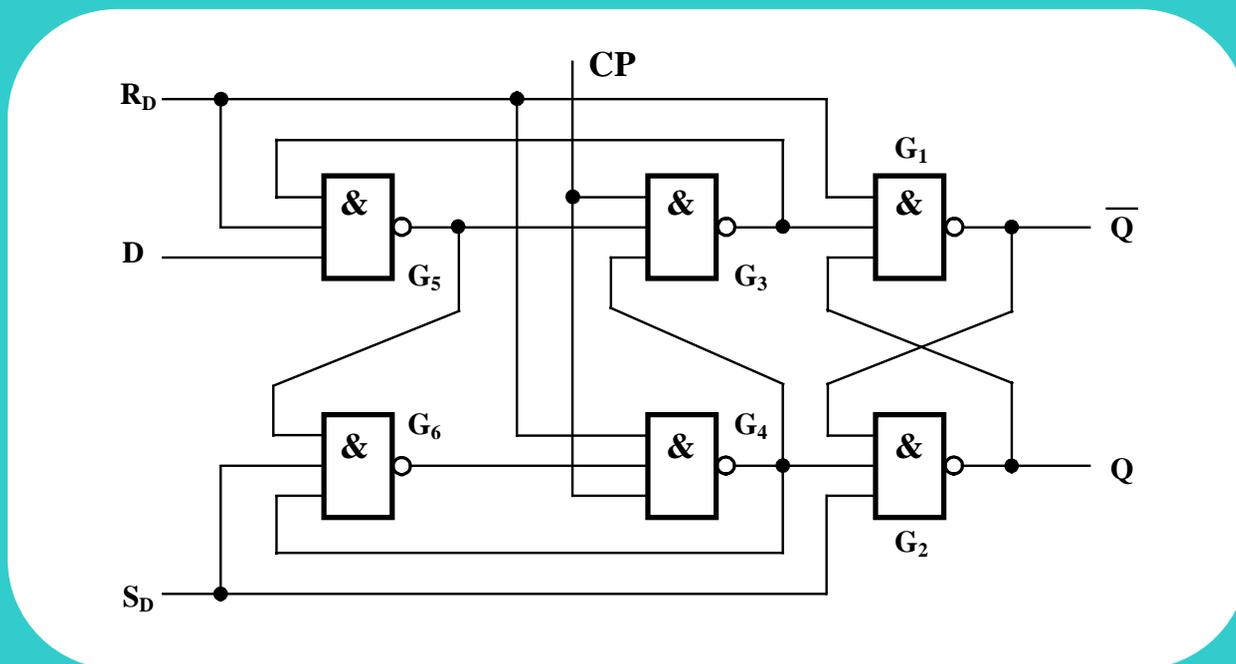
## 2、工作原理



CP=1期间

若 $Q_3=1$  ,  $Q_4=0$

### 3、触发方式



维持-阻塞D触发器在CP脉冲的上升沿前接受信息，上升沿时触发翻转，上升沿后封锁输入。

边沿触发器

# 作业

---

**P205      5.1.3**

**\*5.1.6**