

高性能双极型集成电路晶体管

傅兴华

(贵州大学电子科学系, 贵阳 550025)

陈军宁 童勤义

(东南大学微电子中心, 南京 210018)

摘要 本文讨论作为集成电路元件的高性能双极型晶体管的现状和有关的工艺问题。

关键词 硅双极型集成电路; 绝缘介质上硅膜 (SOI); 硅锗异质结; 异质结双极型晶体管 (HBT); 隔离技术

一、引言

目前,以 CMOS 为代表的集成电路工艺已经进入亚微米阶段,集成度已达 300 万个晶体管以上^[1]。随着集成系统的不断扩大以及专用集成电路 (ASIC) 的发展,将双极型晶体管 (BJT) 和场效应晶体管 (MOSFET) 集成在一起的 BI-CMOS 工艺正在成为集成电路的主流工艺。由于双极型晶体管具有许多场效应晶体管不可取代的特性,双极型集成电路以及双极型集成电路晶体管的工艺水平一直在随着整个集成电路工艺的发展而发展。与 MOSFET 相比较^[2],BJT 的主要特点是跨导大因而电流驱动能力强。BJT 的跨导

$$G_m(\text{BJT}) = \frac{qI_c}{kT}$$

而 MOSFET 跨导

$$G_m(\text{MOS}) = \left\{ \frac{2\mu C_{\text{ox}} I_{\text{ds}} Z}{L} \right\}^{1/2}$$

式中, I_c 为集电极电流, μ 为载流子迁移率, C_{ox} 为栅氧化层电容, I_{ds} 为漏极电流, Z 为沟道宽度, L 为沟道长度。通常, $G_m(\text{BJT})$ 比 $G_m(\text{MOS})$ 大几个数量级,且 $G_m(\text{MOS})$ 还有随温度和尺寸变化大的缺点。BJT 的另一优点是比 MOSFET 工作速度快,频率响应好、增益高。

1992.11.09 收到,1993.04.27 定稿。

傅兴华 男,1948 年生,副教授,从事半导体和微电子学方面的研究。

陈军宁 男,1953 年生,副教授,博士,从事半导体和微电子学方面的研究。

童勤义 男,1940 年生,教授,博士生导师,从事半导体和微电子学方面的研究。

双极型集成电路与 CMOS 集成电路相比也有其短处,主要是集成密度较低,静态功耗较大,工艺较复杂。改进双极型集成电路工艺,避开或克服其缺点,进一步提高 BJT 的性能特别是高频高速性能,成为集成电路的重要研究方向之一。

二、体硅双极型集成电路工艺的新进展

目前体硅双极型集成电路的代表工艺为双层多晶硅的自对准工艺。图 1 给出两种典型工艺的剖面结构。

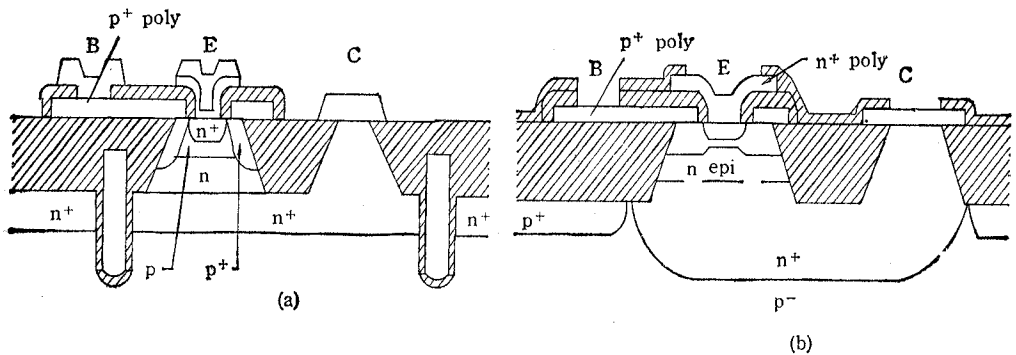


图 1 两种典型的双自对准工艺
(a) 深槽隔离工艺 (b) 氧化开槽隔离工艺

图 1(a) 为典型的深槽隔离 (Deep Trench Isolation) 工艺^[3-6]。

其隔离槽由反应离子刻蚀 (RIE) 产生,然后氧化,选择性外延回填本征硅,或回填多晶硅或二氧化硅而形成。槽深远大于外延层厚度(通常 5 倍以上),以便获得较为完善的隔离特性以及独立地调整隔离击穿电压和杂质浓度分布。图 1(b) 为典型的氧化开槽隔离 (Fully Recessed Oxide Isolation) 技术^[7]。隔离槽由一次局域氧化,反刻氧化层,二次局域氧化而形成。只要适当控制两次硅局域氧化 (LOCOS) 工艺参数,可以得到比较平整的表面。

深槽隔离比氧化开槽隔离的隔离特性好,综合工艺参数可控性好。但深槽隔离工艺要复杂一些,通常需要增加一次专门的平面化工艺。在各种平面化工艺中,工艺较为成熟、所得硅表面最为平整的是反应离子刻蚀加化学机械抛光 (RIE + CMP) 的混合平面化工艺^[8],如图 2 所示。

图 2(a) 为刻隔离槽、淀积二氧化硅或多晶硅后的情形。图 2(b) 是用一次胶填大面积隔离槽区后,再用二次胶平面化的结果。图中已指出二次胶后的大面积不平整和局部不平整状况。图 2(c) 是 RIE + CMP 平面化后得到的硅表面。图 2(d) 给出较大隔离槽与隔离岛交界处二次胶后的细节。图 2(e) 指出单独采用 RIE 反刻后产生的尖峰 A 和过刻蚀 B。图 2(f) 指出单独采用 CMP 后隔离岛中心的多晶硅或二氧化硅残留。

图 1(a) 和图 1(b) 都采用了多晶硅基极和多晶硅发射极的所谓双自对准工艺。这种结构的发射极引线与基极引线间隔由 p^+ 多晶硅氧化层加上 CVD 氧化层决定。已经实现的间隔已经小到 $0.10\mu\text{m}$ ^[9],使得 BJT 的平面尺寸大为缩小。要进一步缩小 BJT

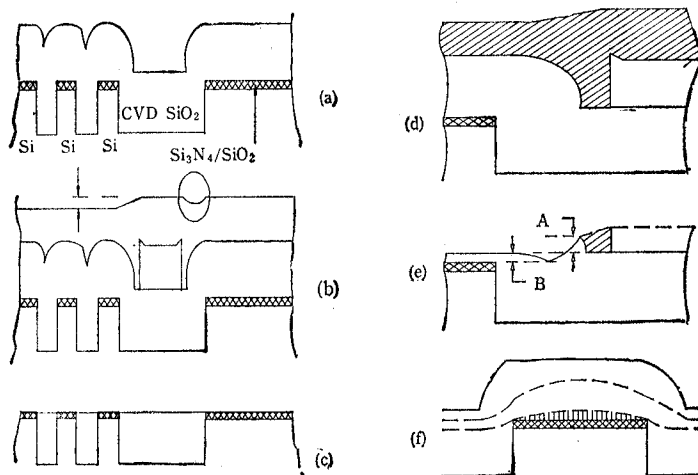


图 2 反应离子刻蚀与化学机械抛光相结合的平面化工艺

平面尺寸,措施之一是把发射区一直延伸到场氧化层上,从而减少基区面积^[6,10],如图 3 所示;措施之二是改变集电极接触方式.文献[2]提出了一种集电极直接与 n^+ 埋层接触的自对准工艺,据称可使 BJT 面积再缩小 60%,如图 4 所示.

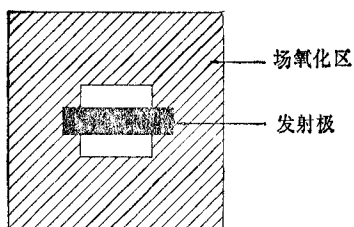
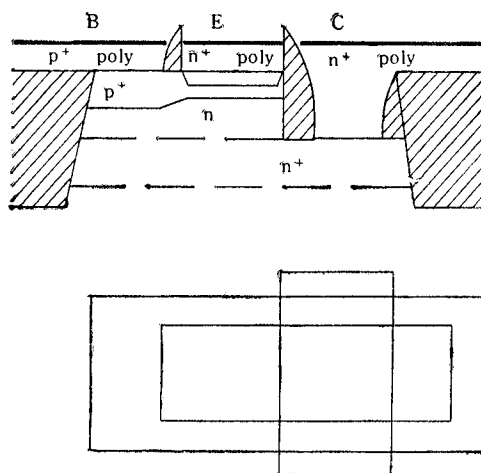


图 3 发射区图形延伸至场氧化层上

图 4 集电极与 n^+ 埋层直接接触的自对准工艺

更进一步缩小 BJT 平面尺寸有赖于电子束光刻等先进的光刻技术^[9]. 当发射极条宽降低到亚微米尺寸时,寄生的周边晶体管效应使 BJT 性能降低,这就是所谓的“窄发射极效应”.克服“窄发射极效应”的有效措施是采用浅发射结结构,控制和减少重掺杂非本征基区杂质的外扩散^[10-13].

本征基区厚度是 BJT 高速高频的关键参数之一.采用低能硼离子注入,多晶硅发射极以及快速退火等工艺,基区厚度已降至 50nm 以下.当基区厚度薄于 100nm 后,中性发射区的渡越时间在整个渡越时间中的比重加大,已不可再忽略不计.为缩小发射区渡越时间,也必须减薄发射极多晶硅厚度和减小发射结结深^[14].目前已报道的最浅发射结结深为 30nm.

基区厚度的减小带来的直接好处是基区渡越时间的缩短,但击穿电压 BV_{ceo} 也随着

降低。要提高 CE 击穿电压,有效途径是提高基区杂质浓度。已报道的基区峰值浓度已高达 $2 \times 10^{18} \text{cm}^{-3}$ [5]。在这样高的基区杂质浓度下,要保证发射效率不下降,必须在不发生重掺杂效应的前提下尽可能提高发射区杂质浓度,且希望发射区杂质浓度分布近似为矩形分布。为此引入了高温快速退火工艺。高温快速退火还有利于提高发射区电活性杂质浓度,减小基区陷落效应 [15]。

为了满足一定的 CE 击穿电压,除要考虑 CE 穿通外,还要求一定的 CB 结击穿电压。为此,外延层杂质浓度不能过高。但是,外延层杂质浓度越低,越易发生纵向基区扩展效应,即发生纵向基区扩展效应的电流密度越低。由于现代 BJT 尺寸已经很小,这一点是必须考虑的。采用 $p-i-n$ 结构,即在基区与集区间插入一本征层,可使集区掺杂提高到 $6 \times 10^{17} \text{cm}^{-3}$ [16,17],但工艺难度大,工艺的兼容性也值得考虑。

基极电阻是 BJT 的一个十分重要的参数。它由本征基区电阻、非本征基区电阻和基极接触电阻三部分组成,其大小直接影响 BJT 的频率响应和速度 [18]。前面已经指出,减小本征基区电阻(增大基区杂质浓度)受到发射效率下降的限制,此外提高基区杂质浓度

表 1 体硅双极型晶体管工艺和特性

文献和发表时间	[3],1987	[4],1989	[7],1989	[5],1991	[6],1991	[9],1992	[11],1992
外延层厚度 (μm)	0.7	<1	0.5	0.45			0.4
隔离槽宽 (μm)	1.2						2
隔离槽深 (μm)		5.0		3			3
发射区尺寸 (μm^2)	1.2×2.4	0.5×4.0	1.0×10.0	0.4×2.4	0.45×1.0	0.25×2.0	0.4×2.2
发射结深 (μm)			0.06			≤30nm	40nm
基区厚度 (nm)		<100	165	50		~100	50
晶体管尺寸 (μm^2)				60			44
h_{FE}	80	100	70	120	123	90	~200
BV_{ce0} (V)	11	5.1	≥6	3.6	3.8	3.4	3.1
BV_{cb0} (V)		25			12	11.4	8.5
C_{EB} (fF)	14	6.6	47	9.8	1.7	2.7	4.8
C_{CB} (fF)	21	3.9	25	5.6	1.6	2.7	3.9
C_{CS} (fF)	31	12.2	74	3.4	4.9	5.6	3.4
f_T		26.2	14	16	31	40.7	41
r_E (Ω)		14.0	4.4		66	93	
r_B (Ω)	140	164	73	160	952	15.2k Ω /□	700
N_C 或 ρ_C	0.4 Ω cm						
N_B (cm^{-3})			1×10^{18}	2×10^{18}			5×10^{18}
N_E (cm^{-3})			1×10^{21}				
电路性能	ECL 门延迟 73ps	ECL 门延迟 21ps	CML 门延迟 43ps	ECL 门延迟 27ps	ECL 门延迟 26ps	ECL 门延迟 20.8ps	ECL 门延迟 27ps

也会增大 BE 结单位面积电容,所以减小基极电阻的主要方向是减小非本征基区电阻.文献[5]提出提高 p^+ 多晶硅掺杂浓度、增大 p^+ 多晶硅晶粒尺寸以提高多晶硅中载流子迁移率等措施,取得了明显的效果.采用高温快速退火,可破坏多晶硅-硅界面的薄氧化层结构,也有利于减小基极电阻.

n^+ 多晶硅/硅界面性状与 BJT 的特性之间的密切关系正越来越受到关注^[11,19-22].有意或无意引入的界面氧化层,一方面有阻止空穴由基区向发射区注入(对 npn /BJT),有显著提高电流增益的作用,另一方面,它的存在也使发射极电阻增大.工艺过程中界面氧化层结构的改变,发射极多晶硅的结构,多晶硅/硅界面的杂质分布,也对电流增益的高低、发射极电阻的大小产生重要影响.工艺中是通过调整退火温度和时间来获得最佳器件特性的.

pn 结电容对 BJT 特性的重要性是众所周知的.进一步减小 BE 结和 BC 结电容的途径是减小 BJT 的平面尺寸,同时兼顾杂质分布.减小 CS 结电容的措施是已经采用的深槽隔离技术.进一步减小 CS 结电容的办法是从根本上消除 CS 结,把半介质半 pn 结隔离改为全介质隔离,即使用绝缘介质上硅膜(SOI)材料.

总之,提高体硅双极型集成电路晶体管性能的研究工作主要是围绕完善隔离特性、缩小纵横向尺寸、减小基极电阻、优化发射极 n^+ 多晶硅/硅界面结构等几个方面展开的.

表 1 给出的是已报道的若干研究结果.

三、SOI 双极型晶体管

用 SOI 制作双极型晶体管(SOI/BJT)有以下几个优点:(1)完善的介质隔离特性,不仅使电容等寄生效应大为降低,而且使隔离击穿电压提高;(2)抗辐射能力强,因而可用于军事、宇航等高可靠性要求的环境中;(3)由于隔离岛上器件与隔离槽之间不再需要间隔,BJT 尺寸大为缩小,集成密度大为提高.但是,早期的 SOI(例如蓝宝石上单晶硅膜(SOS))材料,不仅成本高,而且缺陷密度高,少数载流子寿命低,因而只能用作 MOS 电路,不能用来制造 BJT.80 年代以来,SOI 材料制备技术取得了重大进展,开发了好几种 SOI 制备工艺.典型工艺除原有的比较成熟的多晶硅介质隔离(DI)工艺外,有以下四种:氧注入形成隐埋隔离氧化层(SIMOX)工艺,多晶硅区熔再结晶(ZMR)工艺,多孔硅氧化全隔离(FIPOS)工艺,以及硅直接键合(SDB 或 BESOI)工艺^[23].SOI 材料性能的提高特别是有源硅层缺陷密度的降低、载流子迁移率的提高,促成了用 SOI 材料制作 BJT 的一系列尝试.

较早报道的 SOI/BJT 是用 ZMR 材料制作的横向 npn 晶体管^[24,25].其后陆续报道了纵向 SOI/BJT 的研究^[26-29].后来,Sturm 等人^[30]报道了自对准的横向 SOI/BJT,强调了横向 SOI/BJT 与 MOSFET 工艺的兼容性.

为了降低 SIMOX/SOI 的缺陷密度,Pletteter 等人^[31]采用两次或多次低剂量氧注入的方法,把有源硅层的缺陷密度降低到 $1 \times 10^3 \text{cm}^{-2}$.SOI/BJT 之间的隔离是通过刻槽-氧化-回填多晶硅实现的.有源硅层外延了 n^+ 埋层,降低了集电极串联电阻.74ALS00 电路芯片的成品率 $>30\%$.辐照实验表明,体硅电路在吸收剂量大于 3kGy 后全部失

表 2 SOI/BJT 工艺和特性

文献和发表时间	[24],1983	[25],1983	[26],1984	[27],1984	[28],1984	[29],1985	[30],1987	[31],1988	[32]1991
SOI 制备工艺	ZMR	ZMR	SIMOX	注氮	ZMR	ZMR	ZMR	SIMOX	ZMR
外延层厚度(μm)	0.5	0.5	1.2	5	1	0.75	1	4	1.5
埋层介质厚度(μm)	0.5	1	0.5			0.15	2	0.188	
BJT 类型	横向 npn	纵向 npn	纵向 npn	纵向 npn	纵向 npn	纵向 npn	纵向 npn	纵向 npn	纵向 npn
基区厚度(μm)	3.5	3	0.25	1	0.3	0.25	2		0.1
发射区尺寸(μm^2)			10×30			20×20		2×6	7×7
基区杂质浓度 (注入剂量 cm^{-2})	20keV 1.5×10^{12}	80keV 3×10^{13}	75keV 1×10^{13}	200 Ω/\square			$8 \times 10^{15} \text{cm}^{-3}$		20keV 1×10^{13}
集区杂质浓度 (注入剂量 cm^{-2})	磷注入 250keV	磷注入 1×10^{13}	0.5 $\Omega \cdot \text{cm}$	1.2 $\Omega \cdot \text{cm}$		磷 $1 \times 10^{17} \text{cm}^{-3}$	50 Ω/\square		$1 \times 10^{16} \text{cm}^{-3}$
发射区杂质浓度 (注入剂量 cm^{-2})	3.5×10^{15}	磷注入 5×10^{15}	注磷 75keV 5×10^{15}	60 Ω/\square		注磷 50keV 1×10^{15}	50 Ω/\square		
β	2.5	18	~100	100	>100	100	2	>100	230
少子扩散长度(μm)	5	10		8	≥ 2	4	1.4		
BV_{ceo}			25	25	20		4~7		9.7

效,而 SIMOX/SOI 电路器件在吸收剂量大于 30kGy 后仍旧没有失效,而仅是门延迟从 13ns 增长到 15ns。

比较新近的报道是 Purbo 等人^[32]的多晶硅发射极高增益 ZMR/SOI/BJT。为了进行对比,他们同时制作了 SOI/BJT 和体硅 BJT。结果表明,SOI/BJT 的成品率比体硅 BJT 低 1/3 左右。部分 SOI/BJT 研究工作列于表 2 中,以供参考。

从已经报道的研究工作可以看出:第一,SOI/BJT 的特性还不尽如人意。首先,SOI/BJT 的空间复合较为严重,漏电流较大,这主要是由于 SOI 材料缺陷密度仍较高所致;其次,SOI 结构增加了制作 n^+ 埋层的困难,因而集电极串联电阻较大;此外,SOI/BJT 的成品率目前还低于体硅 BJT 的成品率。第二,SOI/BJT 的性能正在稳步提高,可望接近和超过体硅 BJT 的性能,但因其成本较高、工艺较复杂,在近期内不大可能动摇体硅 BJT 的主导地位。在相当长的时期内,SOI/BJT 将主要用于军事、航天等特殊要求的用户或高压、大功率等场合。第三,纵向 SOI/BJT 受到了更多的注意和研究。然而,横向 SOI/BJT 有与 MOS 集成电路工艺兼容性好、工艺简单、无体硅横向晶体管所遇到的寄生晶体管效应等优点。随着光刻精度的不断提高,横向 SOI/BJT 性能正逐步提高,其发展前景是值得注意的。

无论横向的还是纵向的 SOI/BJT,其性能的进一步提高都有待于 SOI 材料性能的进一步提高和成本的降低。随着器件尺寸的进一步缩小,隐埋绝缘介质界面对 BJT 内少数载流子输运过程的作用已成为 SOI/BJT 的研究课题之一。

四、异质结双极型晶体管

硅双极型晶体管(包括体硅 BJT 和 SOI/BJT)性能的进一步提高受到基极电阻太大、穿通电压和击穿电压太低等方面的限制。适合于高频高速电路应用的硅 BJT 的截止频率上限约为 50GHz^[33]。异质结双极型晶体管(HBT)可以有效地克服硅 BJT 的这些局限性。HBT 的主要优点是,发射结注入效率高、基极电阻低、电流集边效应轻微、基区渡越时间短和工作温度范围宽等^[34,35]。其中,硅锗异质结双极型晶体管(硅 HBT),以成熟的硅集成电路工艺为背景,得到了广泛的注意和研究,具有十分乐观的发展前景。

硅 HBT 与硅 BJT 的不同之处在于它的基区是由 $\text{Si}_{1-x}\text{Ge}_x$ 应变合金层充当的, x 表示锗含量的多少。实践证明,硅和锗能以任意原子数比生成金刚石结构的单晶。当 Ge 含量较低时,其晶格常数为

$$a_{\text{Si}_{(1-x)}\text{Ge}_x} = a_{\text{Si}} + X(a_{\text{Ge}} - a_{\text{Si}})$$

当把 SiGe 合金淀积在厚的 Si 衬底上时,如果温度过高,则因晶格失配而在 Si/SiGe 界面产生位错;如果淀积温度较低(一般要求低于 600℃),且衬底无缺陷,则淀积合金层的晶格将发生均匀形变,得到所谓应变合金层。制作硅 HBT 所需要的正是 SiGe 应变合金层。二维示意图如图 5 所示。

应变层的状态是一种准稳定状态,当温度等外界条件超过一定值时,应变会释放,在 Si/SiGe 界面形成位错,严重影响 pn 结的特性。关于应变释放和位错产生机理,提出了力学平衡模型和能量平衡模型^[36]。力学模型认为,当晶格失配应力等于或大于位错线张

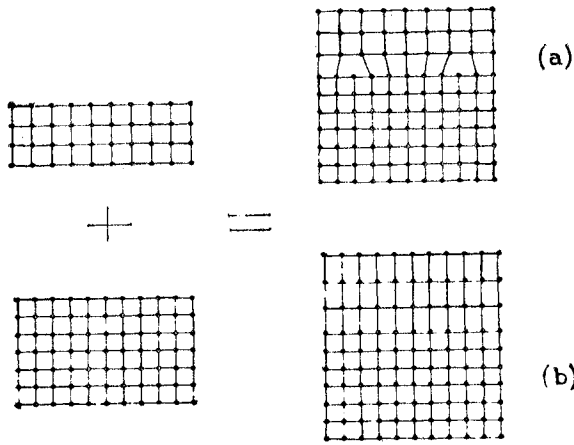


图 5 SiGe 合金淀积在厚的 Si 衬底上时
(a) 形成界面位错, (b) 形成均匀应变层

力时,应变既有可能转化为位错,即原有的位错线将延伸。能量模型认为,界面位错的产生是由于界面应力势能面密度超过孤立位错能量所致。由于应力或应力势能面密度都随应变层的增厚而增大,为防止应变层释放为位错,引入了临界厚度的概念。按照能量平衡原理而计算出的临界厚度 h_c 由下式确定:

$$h_c \approx \left(\frac{2.34 \times 10^{-2} A}{f^2} \right) \ln \left(\frac{h_c}{4A} \right)$$

其中, f 为晶格失配百分比,其大小因 Ge 含量而变,其值的范围在 0—4.2% 之间。为了防止应变状态释放,淀积的应变合金层的厚度应当控制在临界厚度以内。图 6 的曲线给出由上式计算的结果。

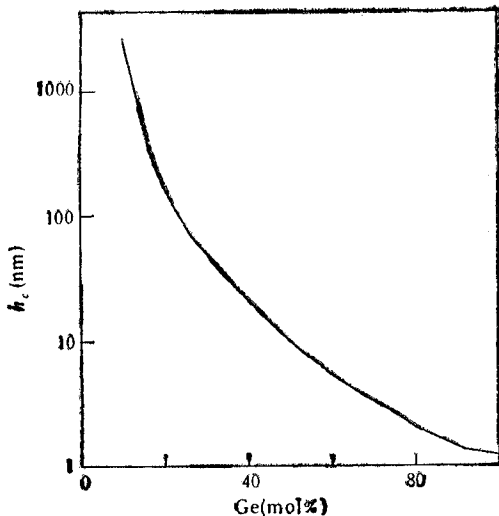


图 6 临界厚度与应变合金层 Ge 含量的关系曲线

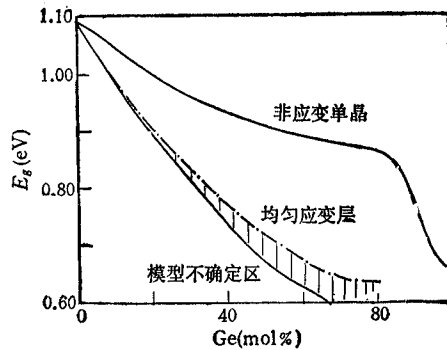


图 7 SiGe 合金的禁带宽度与 Ge 含量的关系曲线

理论分析表明^[36],对于<001>硅衬底上的硅锗应变合金层,其禁带宽度将随锗含量 x 的不同而发生变化。当 x 从 0 变到 0.75 时,其禁带宽度将从 1.12eV (硅的禁带宽度) 变到 0.6eV (锗的禁带宽度),如图 7 所示。变窄效应起源于简并价带边的单轴分裂、导带边的单轴分裂和晶体膨胀三个因素。实际测量结果也证明了这一点^[37]。

由于 SiGe 应变合金层导致的基区能隙变窄,硅 HBT 与相同尺寸的硅 BJT 相比,可以获得更高的电流密度和更大的电流增益。对于均匀基区 Ge 含量和均匀基区杂质分布,在小注入条件下,可以得到^[39,40]

$$\frac{I_c(\text{HBT})}{I_c(\text{BJT})} = \frac{W_B(\text{BJT})N_B(\text{BJT})D_B(\text{HBT})}{W_B(\text{HBT})N_B(\text{HBT})D_B(\text{BJT})} \exp(\Delta E_g/kT)$$

其中 ΔE_g 为基区能隙改变量,若假定 $W_B(\text{BJT}) = W_B(\text{HBT})$, $D_B(\text{BJT}) = D_B(\text{HBT})$, 则有

$$\frac{I_c(\text{HBT})}{I_c(\text{BJT})} = \frac{N_B(\text{BJT})}{N_B(\text{HBT})} \exp(\Delta E_g/kT)$$

此式说明,在同一结构尺寸下,若保持硅 HBT 与硅 BJT 集电极电流相等,则硅 HBT 的基区掺杂浓度可以大为提高。

如果基区 Ge 含量由发射结边界到集电结边界线性增加,则基区能隙逐渐减小,形成基区漂移电场。在漂移电场作用下,仍假定 HBT 的基区扩散系数、基区宽度与体硅 BJT 相等,可以得到:

$$\frac{I_c(\text{HBT})}{I_c(\text{BJT})} = \frac{N_B(\text{BJT})}{N_B(\text{HBT})} \exp(\Delta E_{g\text{BE}}/kT) \frac{\Delta E_{g(\text{BE}-\text{BC})}/kT}{1 - \exp[-\Delta E_{g(\text{BE}-\text{BC})}/kT]}$$

式中, $\Delta E_{g\text{BE}}$, $\Delta E_{g\text{BC}}$ 指引入 Ge 后中性基区 BE 结侧和 BC 结侧的能隙改变值。 $\Delta E_{g(\text{BE}-\text{BC})}$ 表示两值之差。基区渡越时间(基区杂质均匀分布时)可表示为

$$\tau_B = \frac{W_B^2}{D_B} \frac{kT}{\Delta E_{g(\text{BE}-\text{BC})}} \left\{ 1 - \frac{kT}{\Delta E_{g(\text{BE}-\text{BC})}} [1 - \exp(-\Delta E_{g(\text{BE}-\text{BC})}/kT)] \right\}$$

根据图 7,当基区 Ge 含量梯度大于 10% 时,基区渡越时间将有显著改善。

漂移型硅 HBT 的发射极延迟时间、电流增益与能隙改变值的关系为

$$\frac{\tau_E(\text{HBT})}{\tau_E(\text{BJT})} = \frac{\beta(\text{HBT})}{\beta(\text{BJT})} = \frac{R_{bi}(\text{BJT})}{R_{bi}(\text{HBT})} \exp(-\Delta E_{g\text{BE}}/kT) \frac{1 - \exp[-\Delta E_{g(\text{BE}-\text{BC})}/kT]}{\Delta E_{g(\text{BE}-\text{BC})}/kT}$$

可以看出,硅 HBT 电流增益和发射极延迟时间的改善程度与中性基区 BE 结侧带隙的改变量呈指数关系。此外,当 $\Delta E_{g(\text{BE}-\text{BC})} \gg kT$ 时,电流增益与基区能隙梯度成正比,发射区延迟时间与基区能隙梯度成反比。

最先报道硅 HBT 的是 Patton 等人^[39]。当基区锗含量为 12% 时,基区能带变窄约 59meV,所得到的 HBT 集电极电流是相应 BJT 的 6 倍,90K 下增大到 1000 倍。斯坦福大学的 King 等人^[41]较详细地报道了他们的硅 HBT 研究结果。他们采用了低发射区杂质浓度 ($\sim 1 \times 10^{17} \text{cm}^{-3}$),高基区杂质浓度 ($\sim 5 \times 10^{17} \text{cm}^{-3}$),得到了 400 的高电流增益。

1989 年,Patton 等人^[42]用低温外延技术得到了基区锗含量线性变化的硅 HBT。当 Ge 含量从发射结边界的 0% 线性地增大到集电结边界的 14% 时在基区形成约 15kV/cm

的加速电场。硅 HBT 与其相应的硅 BJT 器件相比,电流增益增大 10 倍。低温下硅锗应变合金层的带隙进一步减小,基区电阻为 $7.5\text{k}\Omega/\square$ 的硅 HBT 的电流增益从室温下的 29 增大到液氮温度下的 1600。其后,Patton 等人^[33]将硅 HBT 的特性进一步提高。当发射极条宽 $0.9\mu\text{m}$ 、基区厚度 45nm 、本征基区方块电阻 $17\text{k}\Omega/\square$ 时,特征频率 f_T 高达 75GHz 。图 8 是其器件剖面结构和杂质浓度分布。

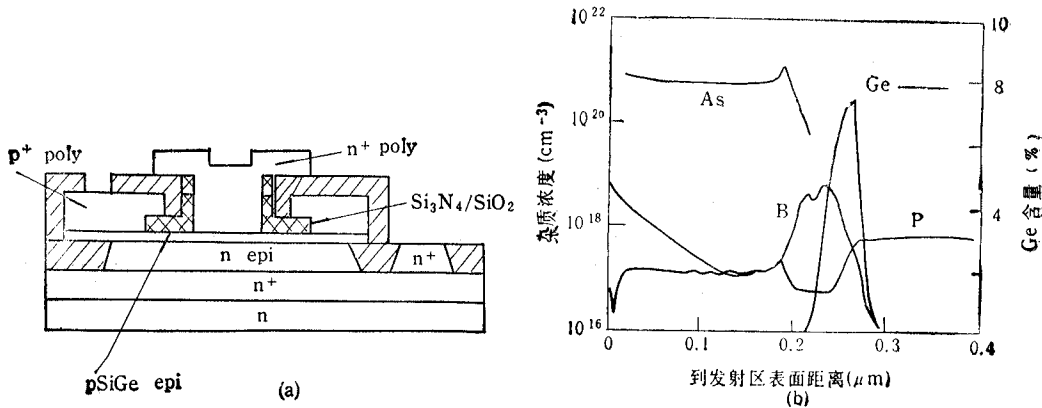


图 8 外延 SiGe 合金基区 HBT
(a) 剖面结构示意图, (b) 杂质浓度分布

Sturm 等人^[43]对外延硅锗合金层的温度控制技术进行了实验研究,采用快速高温退火与化学汽相淀积相结合的方法,制造出性能优良的硅 HBT^[44]。当基区宽度为 50nm 时, 133K 下的电流增益高达 11000。

最近的研究工作^[45]已将 HBT 基区的锗含量提高到 28%,基区杂质浓度提高到 $2 \times 10^{19}\text{cm}^{-3}$,基区电阻降低至 $1\text{k}\Omega/\square$ 。其室温下电流增益 β 为 550; 77K 下 β 高达 13000,最高振荡频率 f_{max} 高达 40GHz 。

Crabbe 等人^[46]报道的研究结果,进一步减薄基区厚度至 35nm 。所得晶体管的室温电流增益为 290,特征频率已达 73GHz 。虽因基极电阻较大使其晶体管最高振荡频率仅为 26GHz ,但其 ECL 门延迟为 28.2ps ,接近体硅 BJT 的最好水平。

值得注意的是,尽管硅 HBT 与硅集成电路工艺具有较好的兼容性,但其特殊性也不容忽视。第一,硅锗基区都是用外延法形成的,这一点是与常规集成电路工艺不同的。第二,硅 HBT 特性的提高依赖于基区带隙的降低。为使基区带隙有效降低,必须使基区的应变合金层保持应变状态,这就限制了集成电路工艺的温度范围。否则,应变状态释放,晶格失配引起的位错缺陷,将使漏电流急剧增加。第三,既然硅锗合金应变状态是一种暂稳态,除高温以外的其他作用如光、电、辐射等作用也有可能使应变状态释放,因而器件的长期稳定性、恶劣环境下的可靠性有待于进一步研究。第四,要发挥 Si/HBT 的固有器件优势,必须充分利用已有的提高体硅 BJT 性能的各种措施^[17,42],如深槽隔离、多晶硅电极自对准工艺等。

五、结 束 语

双极型晶体管在现代集成电路中占有十分重要的地位。为了提高双极型晶体管的高频高速性能, 已经开发了各种先进的工艺。深槽隔离双自对准多晶硅工艺已经把双极型晶管的性能提高到一个新的水平, 是体硅集成电路的代表性工艺。当前, BJT 的纵横向尺寸在进一步缩小, 窄发射极效应以及多晶硅发射极/硅界面的性状对 BJT 性能的影响已成为重要的研究课题。随着 SOI 材料性能的提高, 基于 SOI 材料的全介质隔离工艺可望使双极型集成电路在高可靠性方面再上一个新台阶。为克服硅材料对 BJT 性能进一步提高的固有限制, 已经开发了 HBT。其中, 硅锗应变合金基区硅 HBT 已显示出良好的发展前景。为了使硅 HBT 与常规集成电路具有更好的兼容性, 还需进一步改进硅 HBT 工艺。此外, 对硅锗应变合金层也需作进一步的器件物理的研究。

参 考 文 献

- [1] T.E. Bell et al., *IEEE Spectrum*, **30**(1993)1, 46—49.
- [2] Ali Iranmanesh, Bami Bastani, *IEEE Circuits & Devices Magazine*, **CD-8**(1992)2, 14—17.
- [3] G.P. Li, T.H. Ning et al., *IEEE Trans. on ED*, **ED-34**(1987)11, 2246—2253.
- [4] Tze-Chiang Chen, K.Y. Toh et al., *IEEE Electron Device Lett.*, **EDL-10**(1989)8, 364—366.
- [5] Takeo Shiba, Yoichi Tamaki et al., *IEEE Trans. on ED*, **ED-38**(1991)11, 2505—2511.
- [6] J. Warnock, J.D. Cressler et al., *IEEE Electron Device Lett.*, **EDL-12**(1991)6, 315—317.
- [7] H. Kabza, K. Ehinger et al., *IEEE Electron Device Lett.*, **EDL-10**(1989)8, 344—346.
- [8] B. Davari, C.W. Koburger et al., A New Planarization Technique Using a Combination of RIE and Chemical Mechanical Polish (CMP), *IEDM Tech. Dig.*(1989), pp. 61—64.
- [9] J.D. Cressler, J. Warnock et al., *IEEE Electron Device Lett.*, **EDL-13**(1992)5, 262—264.
- [10] A Nouailhat, G. Giroult-Matlakowski et al., *IEEE Trans. on ED*, **ED-39**(1992)6, 1392—1397.
- [11] Y.Tamaki, T. Shiba et al., *IEEE Trans. on ED*, **ED-39**(1992)6, 1387—1391.
- [12] J. Warnock et al., *IEEE Electron Device Lett.*, **EDL-11**(1990)9, 475—478.
- [13] J.N. Burgharts et al., *IEEE Electron Device Lett.*, **EDL-12**(1991)12, 679—681.
- [14] Kunihiro Suzuki, *IEEE Trans. on ED*, **ED-38**(1991)11, 2512—2517.
- [15] Masayuki Norishima et al., *IEEE Trans. on ED*, **ED-39**(1992)1, 33—40.
- [16] Pong-Fei Lu, James H. Comfort et al., *IEEE Electron Device Lett.*, **EDL-11**(1990)8, 336—338.
- [17] J.D. Cressler et al., *IEEE Trans. on ED*, **ED-40**(1993)3, 525—556.
- [18] E.W. Greeneich, *IEEE Electron Device Lett.*, **EDL-12**(1991)1, 18—20.
- [19] L.M. Castaner, P. Ashburn et al., *IEEE Electron Device Lett.*, **EDL-12**(1991)1, 10—12.
- [20] S.A. Ajuria, C.H. Gan et al., *IEEE Trans. on ED*, **ED-39**(1992)6, 1420—1427.
- [21] J.S. Hamel, D.J. Roulston et al., *IEEE Electron Device Lett.*, **EDL-13**(1992)6, 332—334.
- [22] I.R.C. Post, P. Ashburn et al., *IEEE Trans. on ED*, **ED-39**(1992)7, 1717—1731.
- [23] H.T. Weaver et al., *IEEE Circuits and Devices Magazine*, Special Issue on Silicon-on-Insulator (SOD) Technology and Devices, **CD-3**(1987)4, 6—32; **CD-3**(1987)6, 3—31.
- [24] M. Rodder D.A. Antoniadis, *IEEE Electron Device Lett.*, **EDL-4**(1983)6, 193—195.
- [25] B-Y, Tsauro, D.J. Silversmith, *IEEE Electron Device Lett.*, **EDL-4**(1983)8, 269—271.
- [26] E.W. Greeneich, K.H. Reuss, *IEEE Electron Device Lett.*, **EDL-5**(1984)3, 91—93.
- [27] H. Munzel, H. Stranck, *IEEE Electron Device Lett.*, **EDL-5**(1984)7, 283—285.
- [28] B-Y. Tsauro, R.W. Mountain et al, *IEEE Electron Device Lett.*, **EDL-5**(1984)11, 461—463.
- [29] J.C. Sturm J.F. Gibbons, *IEEE Electron Device Lett.*, **EDL-6**(1985)8, 400—402.
- [30] J.C. Sturm, J.P. McVittie et al., *IEEE Electron Device Lett.*, **EDL-8**(1987)3, 104—106.
- [31] Dale G. Platteter, Tom F. Cheek, Jr., *IEEE Trans. on NS*, **NS-35**(1988)6, 1350—1354.
- [32] O.W. Purbo, C. R. Selvakumar, *IEEE Electron Device Lett.*, **EDL-12**(1991)11, 635—637.
- [33] G.L. Patton et al., *IEEE Electron Device Lett.*, **EDL-11**(1990)4, 171—173.
- [34] S.M. Sze, *Physics of Semiconductor Devices*, Second Edition, John Wiley & Sons, (1981), p122.

p181.

- [35] G.L. Patton et al., *IEEE Electron Device Lett.*, **EDL-9**(1988)4, 165—167.
- [36] R. People, *Phys. Rev. B*, **32**(1985)2, 1405—1408.
- [37] D.V. Lang, R. People et al., *Appl. Phys. Lett.*, **47**(1985)12, 1333—1335.
- [38] R. People, J.C. Bean, *Appl. Phys. Lett.*, **47**(1985)3, 322—324.
- [39] H. Kroemer, *Solid-State Electron.*, **28**(1985)11, 1101—1103.
- [40] S.S. Iyer et al., *IEEE Trans. on ED*, **ED-36**(1989)10, 2043—2063.
- [41] C.A. King, J.L. Hoyt et al., *IEEE Trans. on ED*, **ED-36**(1989)10, 2093—2104.
- [42] C.L. Patton et al., *IEEE Electron Device Lett.*, **EDL-10**(1989)12, 534—536.
- [43] J.C. Sturm, P.M. Garone et al., *J. Appl. Phys.*, **69**(1991)1, 534—545.
- [44] J.C. Sturm, E.J. Prinz et al., *IEEE Electron Device Lett.*, **EDL-12**(1991)6, 303—305.
- [45] A. Gruhle, H. Kibbel et al., *IEEE Electron Device Lett.*, **EDL-13**(1992)4, 206—208.
- [46] E.F. Crabbe, J.H. Comfort et al., *IEEE Electron Device Lett.*, **EDL-13**(1992)5, 259—261.

HIGH PERFORMANCE BIPOLAR TRANSISTORS FOR INTEGRATED CIRCUIT

Fu Xinghua

(Guizhou University, Guizhou 550025)

Chen Junning Tong Qinyi

(Southeast University, Nanjing 210018)

Abstract The state-of-the-art technologies of bipolar transistors for integrated circuit, in which bipolar transistors based on bulk silicon, silicon-on insulator and SiGe stained layer are included, are discussed.

Key words Silicon bipolar integrated circuit; SOI; SiGe/Si heterostructure; HBT; Isolation technology