

文章编号: 1001-4322(2008)06-1043-05

基于 MOSFET 的 6×10 单元快速固态调制器*

徐玉存, 王相碁, 冯德仁, 郝浩, 何宁, 尚雷, 赵枫, 李为民

(中国科学技术大学 国家同步辐射实验室, 合肥 230029)

摘要: 利用快速高重复频率的脉冲凸轨技术可以实现合肥光源的光脉冲间隔的可调。为了获得这一快速高重复频率的强流短脉冲, 采取基于 MOSFET 的固态调制器技术。设计出了一套 10 路 MOSFET 开关并联、6 级感应叠加的实验样机结构, 包括快速时钟信号产生、功率驱动电路设计、感应叠加式阵列结构。样机获得了底宽为 100 ns、重复频率 20 kHz、峰值电流 60 A、峰值电压 2 kV 的功率脉冲。

关键词: 固态调制器; 现场可编程门阵列; 功率驱动; 感应叠加

中图分类号: TL503.3 **文献标识码:** A

作为现代调制器技术发展的新方向, 固态调制器技术在国内外正受到越来越多的重视。固态调制器具有体积小、效率高、造价低、重复工作频率高、可靠性好、寿命长等优点。在国外的一些大型实验室, 固态调制器得到了很多的研究应用, 特别是在加速器领域, 用于速调管、离子源和冲击磁铁的供电^[1-2]。美国 LLNL, LANL, SLAC, 日本 KEK 等相继研制并使用了固态调制器技术^[3-6]。在法国 SOLEIL 的增强器已于 2005 年对用于注入引出的冲击磁铁系统全部采用固态调制器^[7]。SLAC, DTI 公司已获得美国能源部许可, 已于 2006 年开始在国际直线对撞机(ILC)上研制固态调制器^[8]。国内主要集中在雷达发射机的调制器研究, 多数基于 IGBT 的串联技术, 脉宽相对较宽^[9-11]。而在中国科学技术大学国家同步辐射实验室, 为了实现光脉冲间隔可调, 拟采取高重复频率的脉冲凸轨技术, 这其中关键的一项就是如何获得频率在数百 kHz、脉冲宽度 100 ns 在以内、电流在数百 A 的梯形波脉冲^[12-13]。并为此展开了基于 MOSFET 的亚微秒固态调制器的研究, 并在课题前期调试成的 2×6 路感应叠加固态调制器所获得的技术和经验基础上, 重新设计出 6×10 路串并联感应叠加结构。本文介绍了这一设计改进与相关实验进展。

1 6×10 样机的系统设计

1.1 总体构成

为了获得亚微秒短脉冲和增加输出脉冲电流, 亚微秒强流短脉冲通常以电容作为储能器件, 采用高速 MOSFET 阵列作开关, 通过多级感应叠加的输出方式获得。由于高速 MOSFET 的通态电流较小, 一般仅为数 A 至十几 A, 即使在脉冲状态下满负荷输出也不过数十 A, 为满足大电流的需要和减小回路的分布参数, 每一级电路采用 10 个 MOSFET 开关阵列并联对负载供电, 并采用多级阵列, 这样通过变压器感应叠加输出, 在负载上就可获得大功率的强流短脉冲^[14]。其总体结构原理如图 1 所示, 其中 K 代表 MOSFET 开关, C 为储能电容, 在阻性负载 R 上得到的输出电流 $I_1 = i_1 + i_2 + \dots + i_n$ 。

1.2 时钟信号的产生

由于系统设计最终的输出脉冲宽度大约在 100 ns, 一般的时钟信号电路——如 555 时基振荡电路难以做到, 因此, 我们选择了基于现场可编程门阵列(FPGA)控制的分频和脉宽调整电路。此外, 由于脉宽以 10 ns 为

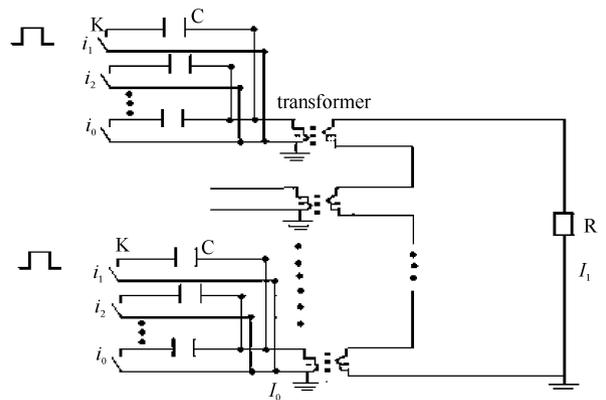


Fig. 1 Overall structure drawing of inductive-adder output

图 1 感应叠加型总体结构图

* 收稿日期: 2008-01-18; 修订日期: 2008-04-16

基金项目: 国家自然科学基金资助课题(10175062; 17175100)

作者简介: 徐玉存(1979—), 男, 硕士研究生, 研究方向为脉冲功率技术; xuyucun@mail.ustc.edu.cn.

联系作者: 王相碁, 教授, 研究方向为加速器物理与技术; wangxaqi@ustc.edu.cn.

步长精确可调所需晶振的最小频率为 100 MHz,而一般的 FPGA 内部的逻辑单元难以达到这样的高速,因此我们先将 20 MHz 的时钟信号进行 5 倍频,然后再进行分频和脉宽调整,这样,就获得了 24 路原始的时钟信号。由于原始的时钟信号驱动能力有限,为了增加扇出能力,各路时钟信号又分别进行了缓冲放大,这样,就得到了 24 路扇出电流在 20 mA 左右的频率和脉冲宽度都可调的时钟信号。整个系统的结构框图及获得的时钟信号波形如图 2、图 3 所示。

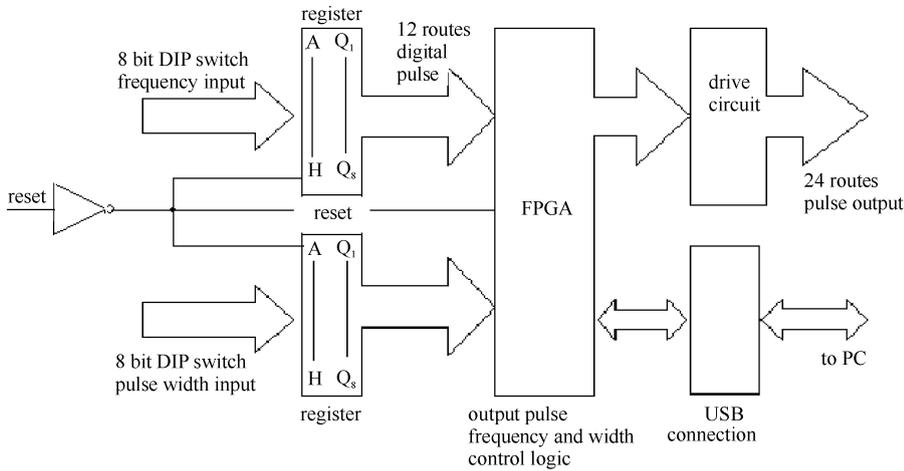


Fig. 2 Block diagram of clock circuit system

图 2 时钟电路系统结构框图

对于时钟电路,为了降低电路的分布参数对脉冲的影响,印刷电路板采用四层布线的方式。通过这种方式,使回路路径大大减小,同时为了减少来自空间射频耦合的干扰,在回路中并联多个不同容量的电容,用以滤除回路串入的高频或低频干扰。

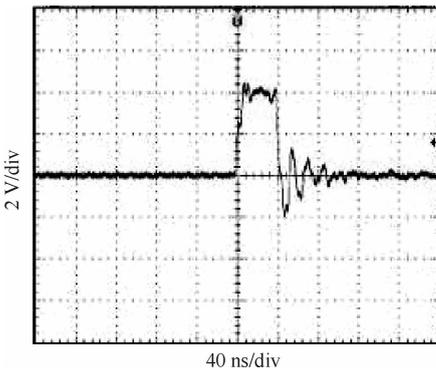


Fig. 3 Signal waveform of output clock signal

图 3 输出时钟信号波形

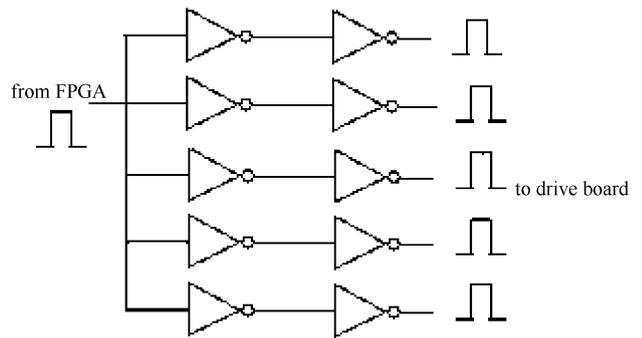


Fig. 4 Drive circuit diagram

图 4 驱动电路框图

1.3 100 路同步驱动脉冲信号

从 FPGA 扇出的时钟信号只有 24 路,无法满足系统 100 路开关的需要,另外电平和电流也不合适,因此需要设计 MOSFET 的驱动电路,图 4 为驱动电路结构框图。

为了获得所需数量的同步驱动脉冲,将 24 路原始时钟通过反相器进行驱动,每一路时钟信号分出 5 路同步信号,这样就获得 120 路合适的电平、电流的时钟信号,可以满足 10 级 100 个 MOSFET 阵列同步驱动时钟的需要。自反相器分出的时钟其电平为 TTL 电平,电流也仅为 100 mA 左右,仍然不能直接作为 MOSFET 的栅极驱动信号,必须进行电平转换和电流放大。为此,我们通过时钟驱动器先进行电平转换和电流初步放大,电平转换和电流初步放大是通过芯片 DS0026 完成的,通过 DS0026,我们可获得输出电流约为 2 A 的 CMOS 反相时钟。为了获得足够大的驱动电流,自 DS0026 输出的 CMOS 时钟电平再通过分立元件构成的互补对称的反相电路经过再一次倒相同时进行电流放大之后,就获得了输出电流约为 10 A 的 CMOS 同步时钟,由于该时钟电平较高,电流大,因此可直接作为高速 MOSFET 的栅极驱动。整个同步时钟的原理图如图 5 所示。在驱动电路设计中,为了减小来自电源的干扰,各有源放大器件的供电采用 RC 供电的方式,这样,通过电阻隔离,将来自电源的干扰也尽可能地剔除。

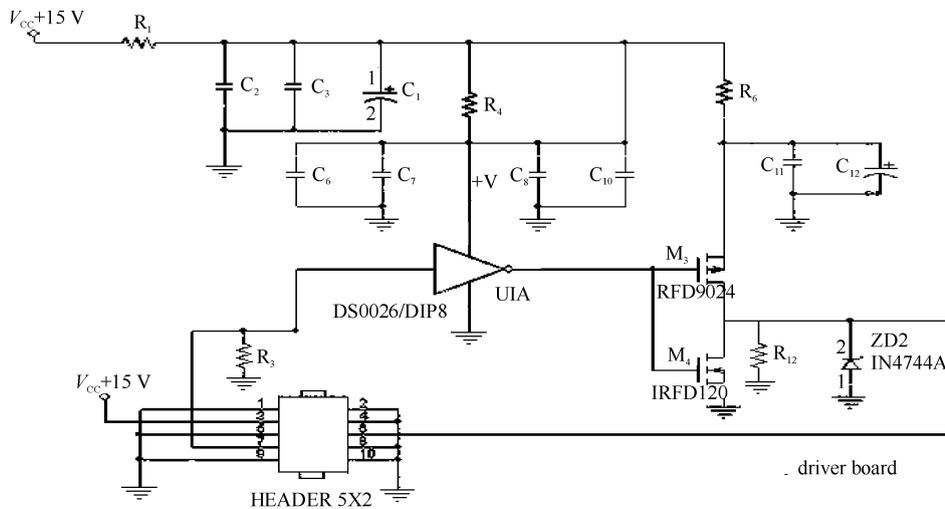


Fig. 5 Principle of drive circuit

图 5 驱动电路原理

1.4 阵列式样机

图 6 为样机的实物照片，中间环状铜块为同轴式变压器的初级，中心铜柱为次级输出，其穿过所有铜环，10 路开关均匀分布在铜环四周，整个系统布局期望最大限度地减小分布电感。

更多的 10 路并联设计不仅满足更大输出脉冲电流的需求，而且使得输出回路的分布电感减小，有利于形成更好的矩形脉冲输出。相应的也需要对多路并联开关的同步性做出更高的要求，尽可能减小各路驱动的延时误差，保证各路驱动电流足够大并基本相等。另对于多路之间的串扰、分布参数变大、脉冲信号反射加强等问题，设计也采取了增加滤波电容、改变电路走线布局、设置终端电阻匹配，合理配置吸收电路等措施来加以解决^[15]。



Fig. 6 6×10 array type prototype

图 6 6×10 路阵列式样机

2 实验测试结果

2007 年 9~11 月先后对驱动电路和 2×10 与 6×10 阵列式样机进行了测试。测量仪器采用 TEK 的 TDS3034B, 电流脉冲取样采用 PEARSON CURRENT MONOTOR 的 MODE2878。

2.1 输出驱动脉冲波形

图 7 为不同情形下的输出驱动脉冲波形。其中图 7(a)是直接由驱动电路输出的波形，而图 7(b)则是储能电容未加充电电压时，加在 MOSFET 栅源极间的驱动波形，由于栅源极之间的电容存在，导致脉冲波形展宽，并且上升沿与下降沿变缓。当储能电容加上电压时，MOSFET 开关导通对负载形成放电回路，栅源极的驱动波形如图 7(c)所示，由于放电回路分布参数的影响，特别是分布电感的影响，会使驱动脉冲尾部形成振荡，图 7(d)则为回路面积较大并充电电压较高时，引起的大幅度振荡。振荡幅度过大时容易使 MOSFET 栅源极反向

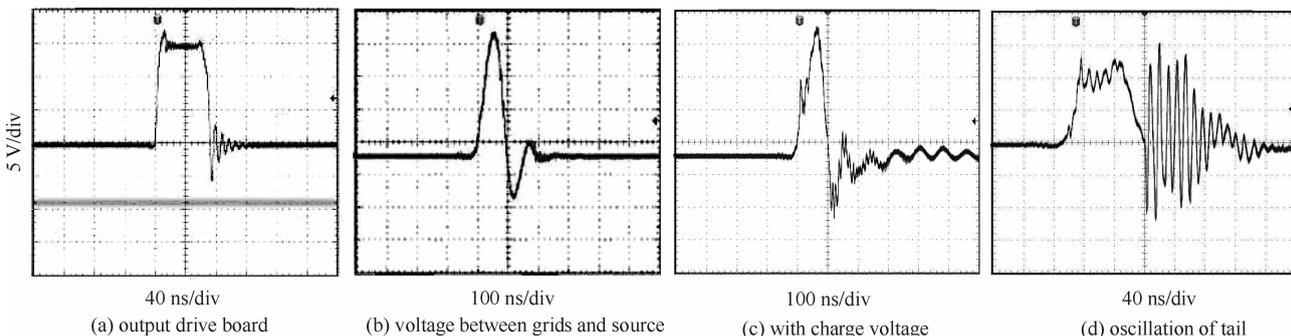


Fig. 7 Waveform of drive pulse

图 7 驱动脉冲波形

击穿,而通常其可能是使 MOSFET 开关不能正常关断,展宽输出功率脉冲,严重时将使开关连续导通, MOSFET 漏源极烧毁。

2.2 样机在阻性负载下的功率输出波形

对于新样机,我们分别对 2×10 与 6×10 路结构进行了测试,图 8 为新样机的功率输出波形。图 8(a) 为 2×10 结构在 33Ω 阻性负载下的输出波形,脉冲上升沿为 20 ns ,平顶 60 ns ,平顶流强 32 A ,图 8(b) 为同样负载下, 6×10 结构的输出波形,脉冲前沿 35 ns 左右,脉冲电流 60 A ,其脉冲重复频率均在 20 kHz 。比较两图发现, 6×10 结构在上升沿要缓慢得多,分析认为,可能由于脉冲电流强度增大时,分布电感主要是开关的导通电感随之增大。另外对于更多级的叠加,负载的反射加强,影响前端驱动脉冲,加强前述的尾部振荡,又由于各路驱动的振荡并不一致,导致 MOSFET 关断时间不一致,而某一路或几路的滞后关断会使功率脉冲有拖尾,如图 8(b) 脉冲波形尾部的小凸起。MOSFET 的滞后关断不仅影响输出波形,而且会致使其承担更大的电流,降低 MOSFET 的寿命。

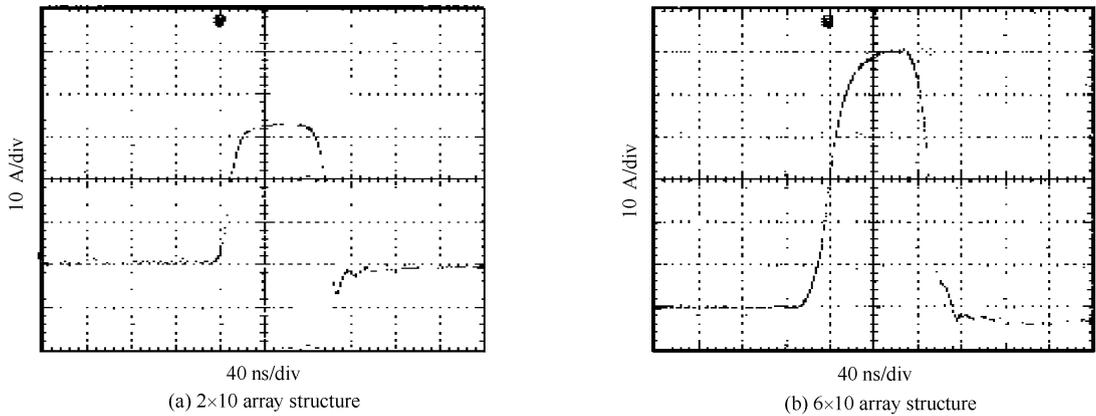


Fig. 8 Waveform of power output

图 8 功率输出波形

3 结 论

经过新一轮的样机实验,获得了底宽 100 ns 、峰值功率 120 kW 的功率脉冲。在实验中,所做的技术改进还包括:紧凑的同轴变压器结构设计、储能电容充电电源设计、时钟信号的传输方式等。另外,对于想获得更高的电流,实验也暴露一些难点问题,如多路单元电路感应叠加的精确同步问题以及多路并联串扰和多级叠加反射问题等。对于这些问题的解决,需要重点研究的包括:时钟信号的传输、驱动电路的抗干扰性、驱动电流的大小和均匀性、合理的电路布局和终端匹配等。下一步,将设计单级电路有 20 路并联,采用更大通态电流的 MOSFET, 10 级或 10 级以上感应叠加结构,并计划采用高速 PCB 板设计,可提供负压的互补驱动电路,以及更有效的信号传输方式等进一步降低电路分布参数,加强驱动电路的抗干扰性。对于新样机设计将能够提供电流 $200 \sim 500 \text{ A}$,重复频率 200 kHz 以上,峰值功率 MW 级,平均输出功率 kW 以上的功率脉冲,使设计参数达到实际应用标准。

参考文献:

- [1] 戴广明,田为,黄军. 新型大功率固态调制器[J]. 电力电子技术,2004,38(5): 63-65. (Dai G M, Tian W, Huang J. New kind of high power all-solid-state modulator. *Power Electronics*, 2004, 38(5): 63-65)
- [2] Cassel R, Hitchcock S. A new type high voltage fast rise/fall time solid state Marx pulse modulator[C]//PAC2007. 2007:865-867.
- [3] Watson J A, Cook E G, Chen Y J. A solid-state modulator for high speed kickers[C]//PAC2001. 2001:3738-3781.
- [4] Akemoto M, Chin Y H, Sakamoto Y. High-power klystron modulator using solid-state IGBT[C]//APAC2001. 2001:4053-4056.
- [5] Krasnykh A, Akre R, Gold S, et al. Pulse transformer for the NLC klystron[C]//24th International Modulator Symposium. 2000:209-211.
- [6] Akemoto M, Chin Y H, Sakamoto Y. Solid-state klystron modulator for JLC[C]//PAC2001. 2001:3732-3734.
- [7] Lebasque P, Lavieville J P, Bol M, et al. Fast kicker systems for the SOLEIL Booster injection and extraction, with full solid-state pulsed power supplies[C]//Proceedings of EPAC 2006. 2006:3505-3507.
- [8] Roth I, Casey J, Butler N, et al. Solid-state modulators for the international linear collider[C]//Proceedings of EPAC 2006. 2006:3131-3133
- [9] 孙荣棣,戴广明. IGBT 在雷达发射机调制器中的应用[J]. 现代雷达,2002,24(4):66-68. (Sun R D, Dai G M. Application of IGBT in modu-

- lator of radar transmitter. *Modern Radar*, 2002, **24**(4): 66-68)
- [10] 杨石玲. 新型脉冲调制器的设计[J]. 火控雷达技术, 2002, **31**(1): 47-51. (Yang S L. Design of new pulse modulator. *Fire Control Radar Technology*, 2002, **31**(1): 47-51)
- [11] 王相綦, 何宁, 冯德仁, 等. MOSFET 调制器的实验研究[J]. 强激光与粒子束, 2006, **18**(9): 1573-1576. (Wang X Q, He N, Feng D R, et al. Experimental study on MOSFET pulse modulator. *High Power Laser and Particle Beams*, 2006, **18**(9): 1573-1576)
- [12] 冯德仁. HLS 光脉冲间隔可调性中高重复频率强流短脉冲固态调制器技术的研究[D]. 合肥: 中国科学技术大学, 2004. (Feng D R. The study of key techniques on adjustable of light pulse interval in HLS with high repeat rate, high current and short pulse. Hefei: University of Science and Technology of China, 2004)
- [13] 王相綦, 何宁, 冯德仁. 基于 CPLD、单片机和网络的固态调制器触发控制[J]. 核技术, 2006, **29**(4): 241-244. (Wang X Q, He N, Feng D R. A trigger control system of solid-state modulator based on CPLD, microprocessor and network. *Nuclear Techniques*, 2006, **29**(4): 241-244)
- [14] 王相綦, 冯德仁, 何宁, 等. 基于 MOSFET 亚微秒固态调制器技术的试验研究[J]. 中国科学技术大学学报, 2007, **37**: 99-103. (Wang X Q, Feng D R, He N, et al. Principle research for solid-state modulator with sub-microsecond based on MOSFET. *Journal of University of Science and Technology of China*, 2007, **37**: 99-103)
- [15] 冯德仁, 王相綦, 尚雷, 等. 冲击磁铁回路电感对传输线放电的影响[J]. 强激光与粒子束, 2004, **16**(2): 231-234. (Feng D R, Wang X Q, Shang L, et al. Effect of kicker circuit inductance on the transmission-line discharging. *High Power Laser and Particle Beams*, 2004, **16**(2): 231-234)

Fast solid modulator technique based on MOSFET with 6×10 cells

XU Yu-cun, WANG Xiang-qi, FENG De-ren, HAO Hao,
HE Ning, SHANG Lei, ZHAO Feng, LI Wei-min

(National Synchrotron Radiation Laboratory, University of Science and Technology
of China, P. O. Box 6022, Hefei 230029, China)

Abstract: Pulse bump orbit technique can realize adjustable interval of Hefei light source HLS light pulse. In order to obtain high-current short pulse with high repeat frequency for the fast kicker, the experimental study based on the MOSFET solid modulator technique was carried out. The designed prototype has the structure of a 10-group MOSFET switch parallel and a 6 level inductive-adder, including fast trigger signal production, power drive circuit's design, inductive-adder type configuration. The device obtains a pulse output of 100 ns width, 20 kHz repeat rate, 60 A summit current and 2 kV peak voltage.

Key words: Solid modulator; Field-programmable gate array (FPGA); Power drive; Inductive-adder