

上海光源数字化低电平控制系统的硬件设计与实现*

张同宣^{1,2}, 赵玉彬^{1,2}, 尹成科^{1,2}, 付泽川^{1,2}, 赵振堂¹

(1. 中国科学院 上海应用物理研究所, 上海 201800; 2. 中国科学院 研究生院, 北京 100049)

摘 要: 设计了上海光源高频低电平控制系统, 它是以数字化技术为基础, 采用上下变频和 IQ 调制解调技术, 实现幅度、频率和相位的反馈控制。上海光源储存环的束流设计流强为 300 mA, 为了抑制由此带来的 Robinson 不稳定性 and 纵向零模束流振荡, 加入了高频直接反馈和零模束流反馈环路。从上下变频技术、IQ 调制解调技术、时钟分配及锁相技术等方面对上海光源数字化低电平系统的硬件设计及其实现进行了阐述, 给出了该系统试验、高功率下运行的测试结果, 实现了设计要求的幅度控制精度 $\pm 1\%$ 、频率控制精度 ± 10 Hz 和相位控制精度 $\pm 1^\circ$ 的技术指标。

关键词: 数字化; IQ; 锁相; 时钟分配; 低电平; 相位

中图分类号: TL503.6 **文献标识码:** A

随着数字化技术的提高, 高频低电平控制经历了从纯模拟技术实现, 模拟 IQ 到数字化 IQ 的实现。上海光源(SSRF)是一台中能第三代同步辐射光源, 其储存环能量为 3.5 GeV, 流强达到 300 mA。高频系统是储存环的基本组成部分, 用来补充束流的能量损失, 并提供纵向聚束电压, 阻止束团内电子纵向逃逸和丢失, 以获得足够长的束流寿命。上海光源高频系统由 3 个 500 MHz 超导高频腔, 3 台速调管高频功率源和 3 套高频低电平控制系统组成。高频低电平控制系统通过反馈控制环路实现高频系统的稳定运行, 同时实现安全联锁保护等功能^[1]。本文给出了上海光源数字化低电平控制系统的 IQ 调制解调技术、时钟分配、本振实现、上下变频等的详细设计及其实现方法, 并进行了实验, 测试结果表明, 设计满足技术指标。

1 低电平控制硬件设计及其实现

上海光源低电平控制系统采用上下变频和 IQ 调制解调技术来实现幅度、频率和相位的反馈控制, 其主要组成部分包括稳定幅度的幅度反馈控制环路, 稳定高频腔相位的相位反馈环路, 稳定高频腔频率的频调环路这 3 个基本控制环路^[1], 以及高频直接反馈和零模束流反馈环路。高频低电平控制系统的技术指标如表 1 所示。

1.1 总体布局

高频系统低电平控制系统硬件设计总体布局图如图 1 所示。每套低电平控制系统包括: 上下变频, LO 信号的产生, 时钟分配, 数字化及其处理部分, 通讯, 信号稳定度检测, 马达驱动和步进电机的连锁保护等^[2-3]。

1.2 IQ 调制解调技术

在加速器射频控制系统中, IQ 调制解调技术应用颇为广泛^[2], 如美国 SLAC 的 PEP-II^[3], 德国 DESY 的 TESLA^[4], 以及加拿大光源 CLS 和美国散射中子源 SNS^[5-8] 等。

IQ 算法的基本思想是将一个中频信号分解为 I, Q 分量, 其特点是正交的 IQ 量来取代模拟控制中的幅度和相位控制。数字 IQ 技术中的 ADC 采样率采样

$$f_s = 4f_{IF}/(4n + 1) \quad n = 0, 1, 2, \dots \quad (1)$$

表 1 上海光源储存环高频低电平系统技术指标

Table 1 Technical parameters of low level RF system for the storage ring of SSRF

loop	frequency	amplitude	phase
control precision	± 10 Hz	$< \pm 1\%$	$< \pm 1^\circ$
dynamic range	± 200 kHz	1.0~1.5 MV	$\pm 45^\circ$
loop	3dB bandwidth	open-loop gain	recovery time
frequency	1 Hz	—	—
amplitude	4 kHz	> 40 dB	< 10 ms
phase	4 kHz	> 40 dB	< 10 ms

* 收稿日期: 2008-01-10; 修订日期: 2008-04-21

基金项目: 上海光源工程项目

作者简介: 张同宣(1980—), 男, 博士, 从事高频低数字化控制研究; zhangtongxuan@sinap.ac.cn.

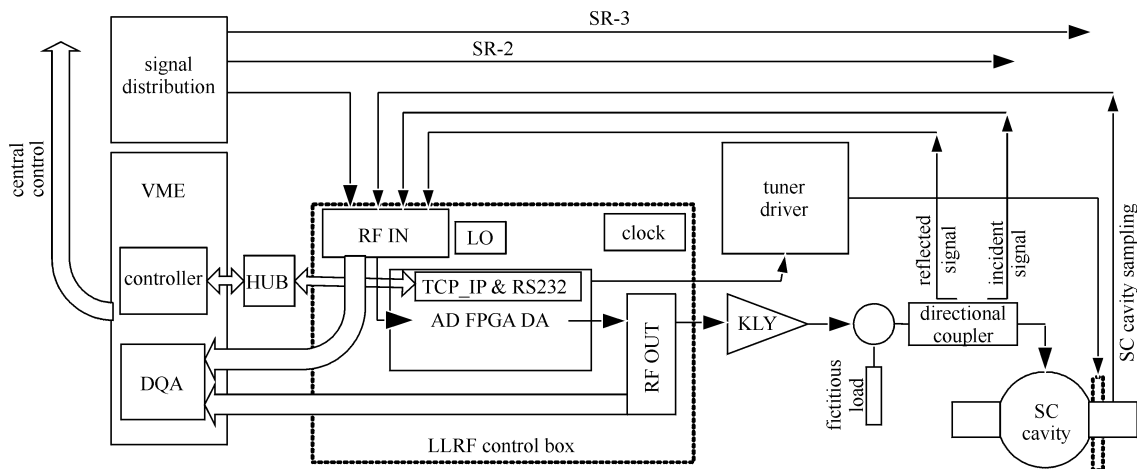


Fig. 1 General layout of low level control system

图 1 低电平控制环路的总体布局

式中： f_s 为采样频率； f_{IF} 为中频频率。

对于任意一个正弦信号国外加速器中很多选择 $n=0$ 的情况，即选用 4 倍中频信号的采样速率。这样在每个中频信号的一个周期内，采样 4 个点，每个点以 90° 相隔，反应了中频信号的幅度及其相位信息。美国散射中子源 SNS 选择 $n=1$ 的情况，即采样频率和中频频率之比为 $4/5^{[6-8]}$ 。上海光源数字化低电平控制选择了 SNS 方案，即采用 30.72 MHz 的采样时钟，来对 38.4 MHz 的中频信号进行采样，即采样频率与中频频率之比为 $4/5$ ，也即每 5 个周期内采 4 个采样点。

1.3 时钟分配

本文采用模拟器件公司的 AD9510 时钟生成器开发板来生成所需要的时钟，经过测试，由它生成的时钟总抖动约为 30 ps。如果采用 38.4 MHz 的中频信号，由于抖动所引入的相位误差约为 0.06° ，满足 $\pm 1^\circ$ 的相位控制目标。同样由于抖动所引起的最大幅度采样误差为 0.1%，也满足 $\pm 1^\circ$ 的幅度控制精度。

38.4 MHz 的参考时钟从 CLK reference 端口输入。VCO 是一个压控晶体振荡器，频率为 245.76 MHz，通过设置 R 除法器 and N 除法器，得到同为 7.68 MHz 频率的信号，通过频率鉴相器(PFD)得到相位差，用这个相位差来控制电荷泵输出电压的大小，再用该电压微调压控晶体振荡器的频率，这就使得输出的时钟频率与参考时钟频率相锁定，实现时钟对参考信号的跟踪功能。在电荷泵的输出后加入了一个低通滤波器，可以减少锁相环的相位噪声。

上海光源储存环的高频频率为 499.654 MHz，对信号的幅度和相位进行采样和处理，将其下变频到中频信号。中频信号频率为 38.4 MHz，由于我们的基准时钟为 245.76 MHz，其选择综合考虑以下因素：(1)模数转换器 AD6645 的最大工作频率为 85 MSPS；(2)数模转换器 ADC902 的最大工作频率为 165 MSPS；(3)直接数字合成器的输出频率和时钟频率同时与参考频率相锁定；(4)中频信号要尽可能得高，这样有利于滤波和提高数字信号的处理速度。因此 AD 采样的时钟频率为 30.72 MHz，中频信号频率即为 38.4 MHz，DA 恢复的时钟频率是 122.88 MHz。

时钟信号分配如图 2 所示，利用 AD9510 产生的 30.72 MHz 时钟信号，为 AD 提供采样所需要的时钟频率，122.88 MHz 信号为 DA 恢复提供所需要的时钟信号。

1.4 本振(LO)信号产生

本振信号采用模拟器件公司生产的直接数字合成器件 AD9858 来实现的。直接数字合成原理见图 3，是由相位累加器、波形存储器、D/A 转换器和低通滤波器组成。相位累加器由 N 位加法器与 N 位累加寄存器级联构成。每发出一个时钟脉冲 f_s ，加法器将频率控制字 k 与累加

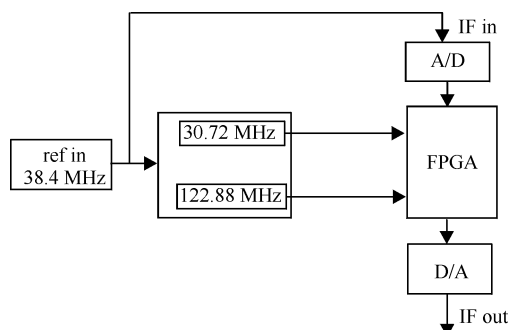


Fig. 2 Layout of clock signals distribution

图 2 时钟信号分配图

寄存器输出的累加相位数据相加,把相加后的结果送至累加寄存器的数据输入端。累加寄存器将加法器在上一个时钟脉冲作用后所产生的新相位数据反馈到加法器的输入端,以使加法器在下一个时钟脉冲的作用下继续与频率控制字 k 相加。这样,相位累加器在时钟作用下,不断对频率控制字进行线性相位累加。因此,相位累加器在每一个时钟脉冲输入时,把频率控制字累加一次,相位累加器输出的数据就是合成信号的相位,相位累加器的溢出频率就是 DDS 输出的信号频率。用相位累加器输出的数据作为波形存储器 (ROM) 的相位取样地址,这样就可把存储在波形存储器内的波形抽样值 (二进制编码) 经查找表查出,完成相位到幅值转换。波形存储器的输出送到 D/A 转换器, D/A 转换器将数字量形式的波形幅值转换成所要求合成频率的模拟量形式信号。低通滤波器用于滤除不需要的取样分量,以便输出频谱纯净的正弦波信号。

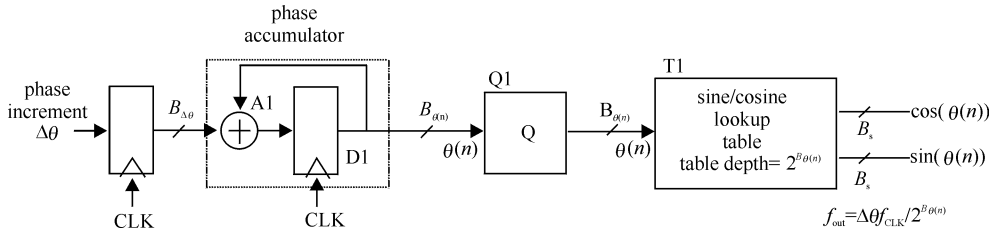


Fig. 3 Schematic diagram of DDS
图 3 直接数字合成器原理图

本振信号产生见图 4, 我们利用 AD9858 产生 38.4MHz 的信号, 经过带通滤波, 并和信号源 (499.654 MHz) 功分来的一路信号混频, 经过放大滤波, 最后得到所需要的本振 LO 信号 (461.254 MHz), 为系统提供了优于模拟 LO 信号源的性能 (见图 5)。利用 AD9858 作为直接数字合成器来产生 LO 信号, 它具有相对带宽较宽、频率转换时间短、频率分辨率高、输出相位连续、可产生宽带正交信号及其他多种调制信号、可编程和全数字化、控制灵活方便等优点, 并具有极高的性价比。

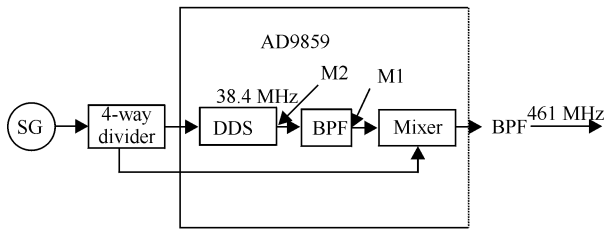


Fig. 4 Diagram of local signal generation
图 4 本振信号产生图

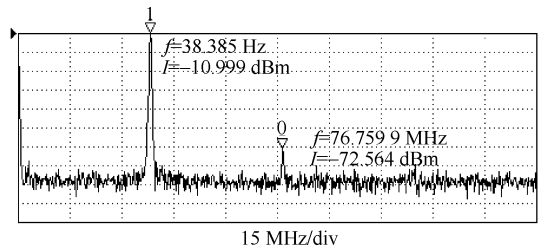


Fig. 5 38.4 MHz signal frequency spectrum generated from AD9858
图 5 AD9858 产生的 38.4 MHz 信号频谱

1.5 上下变频

通过参考 LBNL 为 SNS 研制的数字化低电平控制系统, 选择了上下变频混频器的型号为 ZMY-2, 带通滤波器为同一公司 (RLC) 的 MBP 系列滤波器。图 6 为 ZMY-2 工作在 500MHz 时, 改变混频器 RF 输入信号功率 (范围 -15 dB~15 dB), 测得混频器输出功率。

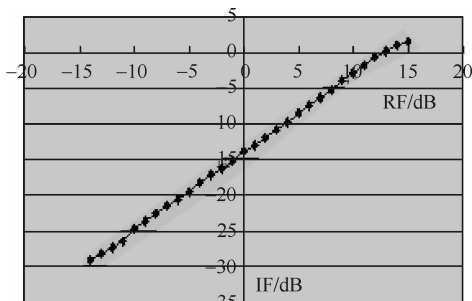


Fig. 6 Input power of RF vs output
图 6 ZMY-2 线性度测量图

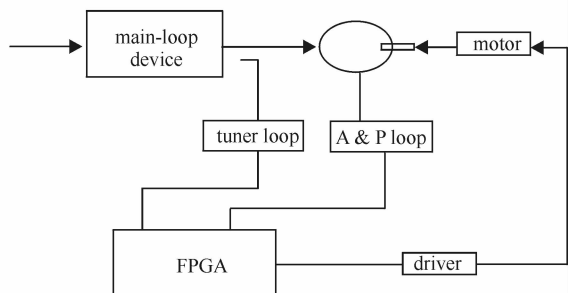


Fig. 7 Schematic diagram of frequency feedback loop
图 7 频调环原理框图

上变频部分采用同样型号的混频器, 带通滤波器的中心频率为 499.654 MHz, 因为上变频部分在整个闭环环路中, 所以由上变频引起的一些噪声不会对环路性能带来不好的影响。

1.6 频调环

当高频腔中有束流时,会使腔失谐,这就需要使用调谐器调整高频腔的工作频率^[1-3]。

图 7 为频调环原理框图。高频腔频率变化会引起相位差,通过比较高频腔入射信号和 高频腔反馈信号的相位差,就可以得到高频腔频率变化的大小,通过 PI 控制算法来调节高频腔的频率,从而达到稳定高频腔频率的目标。

2 测试结果

在已研制成功的低电平控制器样机中,控制器部分的延时为 666 ns,114 厅高频站中高功率部分的延时为 880 ns,即整个环路的延时为 1.5 μs 左右,数字化环路的响应时间很快,能够满足环路对反馈时间的要求^[11]。

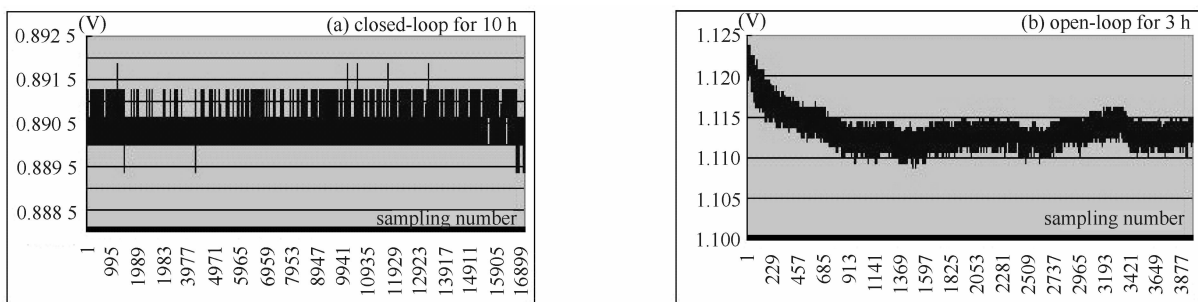


Fig. 8 Phase stability test

图 8 相位稳定性测量

图 8(a)为相位稳定性测量图。相位稳定度为 0.2° 其中图 8(a)为 10 h 相位稳定性;图 8(b)是 3 h 开环相位稳定性测量图,开环的相位稳定度为 1°。

图 9 是 10 h 闭环幅度稳定性测量图,其幅度稳定度是 1%。温度对幅度稳定性的影响如图 10(a)所示,幅度的总变化量为 3%,温度对相位稳定性的影响如图 10(b)所示,温度变化范围为 6 °C,相位的总变化量为 2°。随着温度的降低,参考信号(Ref)和反馈信号(Fdb)幅度反而增大;随着温度的升高,参考信号和反馈信号幅度反而减小。相位变化和温度变化趋势相似。

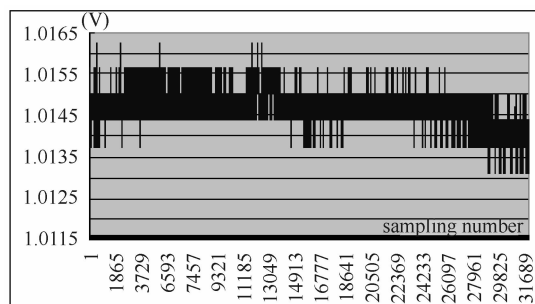
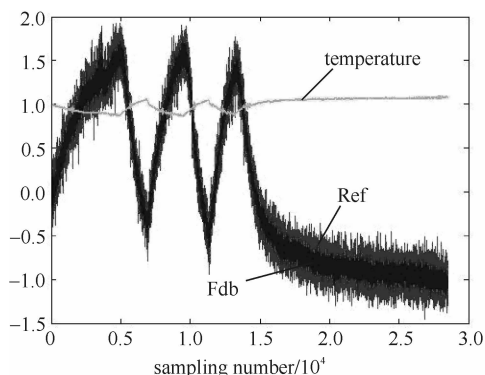
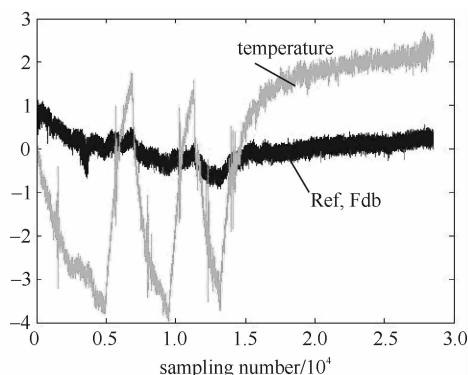


Fig. 9 Ten hours' testing diagram for closed-loop magnitude stability

图 9 10 h 闭环幅度稳定性测量



(a) relation between signal amplitude and temperature



(b) relation between signal phase and temperature

Fig. 10 Effects of temperature upon signal amplitude and signal phase

图 10 温度对信号幅度及相位的影响关系

3 结论

上海光源储存环低电平控制器的硬件通过了长期稳定性的实验和高功率实验,通过采集的数据分析,得到幅度控制精度±1%,频率控制精度 ±10 Hz,相位控制精度±1°,满足了设计要求的技术指标,并得到了幅度和相位的变化与温度变化的关系。

致谢: 上海光源高频储存环低电平控制器的设计得到了美国劳伦斯国家实验室的 L. Dolittle 博士、李德润博士、上海应用物理研究所戴志敏研究员, 刘建飞研究员, 王芳高级工程师的大力支持, 在此向他们表示感谢。

参考文献:

- [1] 王芳, 王光伟. SSRF 高频低电平系统预制研究[J]. 核技术, 2004, **27**(1):18-21. (Wang F, Wang G W. Low level RF control system for SSRF. *Nuclear Techniques*, 2004, **27**(1):18-21)
- [2] 张磊, 孙虹. 基于 FPGA 的高频腔低电平数字控制系统[J]. 国外电子测量技术, 2006, **25**(12):27-30. (Zhang L, Sun H. Low level digital control system of RF cavity based on FPGA. *Foreign Electronic Measurement Technology*, 2006, **25**(12):27-30).
- [3] Corredoura P. Architecture and performance of the PEP-II low-level RF system[C]//Proceedings of PAC 99. 1999:435-439.
- [4] Simrock, S. N., Altmann I, Rehlich K, et al. Design of the digital RF control System for the Tesla facility[C]//Proceedings of EPAC1996. 1996:349-351.
- [5] Champion M, Crofford M, Ma H, et al. The spallation neutron source accelerator low level RF control system[C]//Proceedings of PAC2003. 2003:3377-3379.
- [6] Doolittle L, Lo C C, Monroy M, et al. The SNS front end LLRF system[C]//Proceedings of LINAC2002. 2002:373-375.
- [7] Ziomek C, Corredoura P. Digital I/Q demodulator[C]//Proceedings of PAC1995. 1995:2663-2605.
- [8] Rohlev A, Serrano J, Garoby R, et al. All digital IQ servo-system for CERN LINACS[C]//Proceedings of PAC2003. 2003:2336-2338.

Design and realization of digital low level RF system for SSRF

ZHANG Tong-xuan^{1,2}, ZHAO Yu-bin¹, YIN Cheng-ke¹, FU Ze-chuan¹, ZHAO Zhen-tang^{1,2}

(1. *Shanghai Institute of Applied Physics, P. O. Box 800-204, Shanghai 201800, China;*

2. *Graduate University of the Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: Based on digital technology, using the up and down converter, IQ modulator and demodulator techniques, the magnitude control, frequency control and feedback phase control are realized and the low level RF system for Shanghai synchrotron radiation facility(SSRF) is designed. The beam current of SSRF is about 300 mA. In order to suppress the Robinson instability and the zero-mode beam instability, the RF feedback and zero-mode beam feedback will be added. How to design the up and down converter, IQ modulator and demodulator, clock distribution and phase locked techniques will be discussed in this paper. The results of the system testing at high power are given in this paper. The low level RF system has realized the design requirements: amplitude control accuracy rate of $\pm 1\%$, frequency control accuracy ± 10 Hz, phase control accuracy of $\pm 1^\circ$.

Key words: Digital; IQ; Phase locked; Clock distribution; Low level; Phase