

基于RFID的基带通信IP核的设计与仿真

马连博, 张磊, 胡琨元, 苏卫星, 金守义

(中科院沈阳自动化所工业信息学重点实验室, 沈阳 110016)

摘要: 分析基于射频识别(RFID)技术的系统基带通过程, 建立RFID基带传输模型, 利用FPGA技术实现具有基带编解码、数据收发功能的通信IP核, 介绍基于模块化思想的基带通信IP核的RTL设计方法, 利用Quartus II与Simulink工具进行系统仿真, 仿真实验结果表明, 该通信模块是有效的, 能够为设计RFID通信系统提供高度集成的基带通信IP核。

关键词: 射频识别; 基带; FPGA技术

Design and Simulation of Base-band Communication IP Core Based on RFID

MA Lian-bo, ZHANG Lei, HU Kun-yuan, SU Wei-xing, JIN Shou-yi

(Key Lab of Industrial Informatics, Shenyang Institute of Automation, Chinese Academy of Sciences, Shenyang 110016)

【Abstract】 The system communication base-band process based on Radio Frequency Identification(RFID) is analyzed, and a model of RFID base-band transmission is set up, which utilizes FPGA technology to design a communication IP core, integrating functions of base-band codec and data transmitting. The RTL design of base-band communication IP core based on modular method is introduced. The system simulation with Quartus II and Simulink is conducted. Simulation experimental results show this communication model is effective, which offers a highly-integrated base-band communication IP core.

【Key words】 Radio Frequency Identification(RFID); base-band; FPGA technology

1 概述

射频识别(Radio Frequency Identification, RFID)技术利用无线射频方式进行非接触双向数据通信, 以达到目标识别并交换数据的目的。目前, 超高频RFID技术在国外发展很快, 已有成熟超高频读写器产品出现, 国内发展相对较慢, 尚未掌握其核心技术。

在超高频RFID核心技术的研究中, RFID基带数字信号处理部分处于非常基本、关键的地位, 它处于读写器控制单元和射频前端之间, 实现控制单元和射频单元之间数据的透明传输。在目前多数读写器中, 控制单元和基带数字信号处理单元都是在一片高性能微处理器中实现, 如基于DSP, ARM, FPGA等。为掌握超高频读写器技术, 可采用模块化的设计思想, 将基带信号处理功能从控制单元中分离出来进行建模分析与系统设计, 虽然增加了成本, 但可以简化读写器的软件设计, 有利于进行并行设计, 缩短开发周期。

本文对超高频RFID技术中基带信号处理部分, 依据射频通信环境及EPC协议, 建立一种基带传输模型, 采用PIE编码和Miller码^[1], 设计一种具有高速编解码、内部任务调度、数据转发控制的RFID基带通信IP核, 并对其编解码系统与通信模型进行验证与仿真, 为下一步进行超高频RFID读写器的设计提供参考。

2 RFID系统基带传输模型

RFID系统基带通信由阅读器基带信号模块、标签基带信号模块和信道组成, 整个传输通信模型如图1所示。上行通信和下行通信的过程都包含编码、发送/接收滤波、抽样判决、译码等, 所不同的只是编解码方式和调制解调方式分别采用不同的方法。

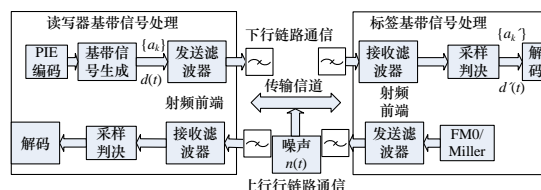


图1 RFID系统基带传输模型

现以下行链路通信为例加以说明。在下行链路通信中, 编、解码模块依据EPC协议采用PIE(Pulse Interval Code)编码: 低电平用1个脉冲宽度表示, 高电平用2个脉冲宽度表示。由于这种码型的一个脉冲可以代表多个二进制符号, 因此在高数据速率传输系统中比较适宜, 采用多进制码的目的是在码元速率一定时提高信息速率。基带信号在频域内实际上是无穷延伸的, 如果直接采用矩形脉冲的基带信号作为传输码型, 而实际信道的频带都是有限的, 就会使接收端数字基带信号的波形失真而出现误码, 目前解决波形失真降低误码率的方法有基带编解码、校验和信号滤波。

在上述基带传输模型中, 其下行链路通信的数学模型可抽象为

基金项目: 国家“863”计划基金资助项目“面向离散制造生产过程管理的RFID技术开发与应用”(2006AA04A124); “面向RFID的信息集成管理技术研究与开发”(2006AA04A117)

作者简介: 马连博(1981-), 男, 助理研究员、硕士, 主研方向: RFID技术研究与开发; 张磊, 助理研究员、硕士; 胡琨元, 副研究员、博士; 苏卫星, 助理研究员、硕士; 金守义, 硕士

收稿日期: 2009-01-25 **E-mail:** malb@sia.cn

$$y(jT_b + t_0) = \sum_{k=-\infty}^{\infty} a_k h[(jT_b + t_0) - kT_b] + n_R(jT_b + t_0) = \sum_{k=-\infty}^{\infty} a_k h[(j-k)T_b + t_0] + n_R(jT_b + t_0) = a_j h(t_0) + \sum_{k \neq j} a_k h[(j-k)T_b + t_0] + n_R(jT_b + t_0)$$

其中, a_j 是输入码元 $\{a_j\}$ 的第 j 个码元; $h(n)$ 是系统模型的冲击响应; $n_R(t)$ 为加性噪声; $n(t)$ 通过接收滤波器特性函数后所产生的输出噪声, 抽样判决器对 $y(t)$ 进行抽样判决, 以确定所传输的数字信息序列 $\{a_k\}$ 。

由于随机性码间串扰和噪声的存在, 使抽样判决电路在判决时出现随机错误, 例如, 假设 a_j 的可能取值为 0 与 1, 判决电路的判决门限为 v_0 , 则这时的判决规则为: 若 $y(jT_b + t_0) > v_0$ 成立, 则判 a_j 为 1; 反之则判 a_j 为 0。显然, 只有当码间干扰和随机干扰很小时, 才能保证上述判决的正确; 当干扰及噪声严重时, 则判错的可能性就很大。由此可见, 为使基带脉冲传输获得足够小的误码率, 需要设计良好的编解码通信模块, 最大限度地减小码间串扰和随机噪声的影响^[2]。

3 基带通信IP核的设计

3.1 基带通信IP核的RTL总体设计

基于FPGA的基带编解码通信IP核的设计采用功能模块化设计思想, 构建成一个工程, 整个基带系统的RTL设计如图2所示。

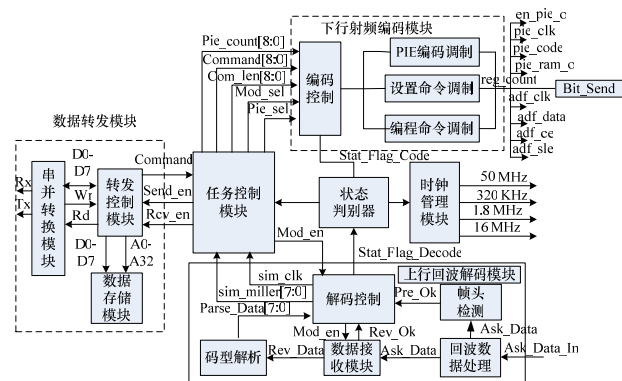


图2 基带通信IP核的RTL总体设计框图

整个编解码通信IP核的工作过程如下: 基于FPGA的基带系统接收上位机的控制命令, 任务控制模块将所收到的命令进行分析处理, 激活下行射频编码模块, 下行射频编码模块根据命令类型输出PIE编码调制信号或设置命令信号至射频模块。上行回波解析模块实时检测回波数据, 当检测到有效帧头时通知数据接收模块, 同时将数据送至Miller解码模块, 数据解码完成后, 上行回波处理也即完成。状态判别器检测各个模块的执行状态, 向任务控制模块提供反馈信息, 任务控制模块根据各个模块的执行状态进行状态转换, 当上行和下行数据处理完成后, 将最终数据结果存储至寄存器中并发送至上位机。

3.2 系统子模块的设计

(1)数据转发模块: 该模块包括串并转换子模块、数据存储子模块和转发控制子模块。

(2)串并转换子模块: 实现串口协议的串并转换, 转发控制模块控制根据内部状态机控制数据的转发处理, 并存储在数据存储模块中。

(3)任务控制模块: 负责整个系统的数据处理调度, 内部的状态机分为5个状态: 命令接收状态, 命令处理状态, 下行编码状态, 上行解码状态和数据上传状态, 根据各个子模块的执行状态结果, 进行状态迁移调度各个子模块的工作。

(4)下行射频编码模块: 包括编码控制模块和编码调制子模块, 参照EPC协议, 系统下行采用PIE编码方式, 这是种有记忆编码方式。其中, “0”编码为“10”, 为一个脉冲宽度; “1”编码为“1110”, 为2个脉冲宽度。这个由编码控制模块实现数字的PIE编码, 通过编码调制子模块将数字编码加上时钟脉冲发送出去, 同时这个模块也实现了对射频模块的时序配置。对应不同的采样频率, 通过调整该模块的时钟脉冲间隔得到任意速率PIE编码信号的输出。

(5)上行回波解码模块: 包括回波同步处理、数据接收、帧头检测、码型解析和解码控制模块, 实时检测总线数据, 帧头有效时接收数据, 并进行Miller码解码。其回波同步处理采用系统 50×10^6 同步时钟, 根据EPC协议, 解码模块首先寻找前同步码, 再进行数据解码。

(6)时钟管理模块: 整个系统需要稳定的同步时钟, 时钟管理模块调用Quartus II的ATLCLKLOCK锁相环实现 50×10^6 同步时钟^[3], 通过分频器实现需要的各种时钟频率。

(7)状态判别器: 系统的各模块执行状态需要进行集中管理, 状态判别器将实时向任务控制模块反馈各子模块的内部执行状态, 决定状态机的状态迁移条件。

4 系统仿真

4.1 基带IP核的功能仿真

根据RTL设计模块, 通过串行数据与Miller码回波仿真信号的输入, 借助Quartus II的仿真工具可以方便观察到编解码通道中各点信号的时间波形和频谱。图3为基带IP核编解码仿真波形。

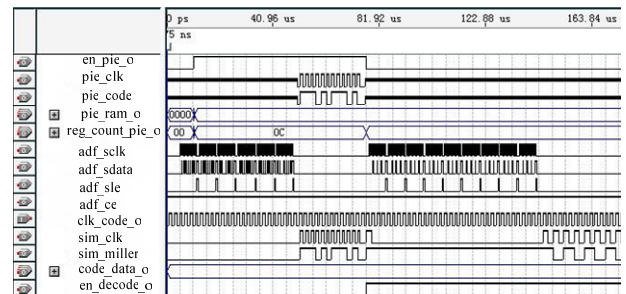


图3 基带IP核编解码仿真波形

在图3中, en_pie_o 为下行射频编码使能信号; pie_clk , pie_code 为PIE数据编码时钟和码型; pie_ram_o , $reg_count_pie_o$ 为PIE数据与编码计数器; 其他信号为配置射频模块时序信号。图中的 sim_miller 为仿真输入Miller码, $code_data_o$ 为解码后数据, 其他为时钟与使能信号。

4.2 基于IP核的基带传输模型仿真

仿真环境为Matlab 7.2和Simulink 6.4版本, 结合基带编解码通信IP核, 其单步仿真步长设定为0.001, 信号传输信道环境是在AWGN噪声作用下进行的, 噪声干扰从0~70 dB条件下逐渐变化, 如图4所示。从图中可以看出, 利用Matlab的Simulink工具搭建下行回波源产生模块, 将上述的IP核通过Quartus II导入Matlab库中^[4-5], 将PIE编码进行QAM调制, 送入AWGN噪声信道。IP核在接收到信号后, 进行信号回波处理, 进行回波码型的解码, 最终将译码结果和原始发送的二进制序列进行对比, 得出误码率。

(下转第 279 页)