

基于 H.264 的嵌入式视频编码器

刘恩虹^{1,2}, 周 兵^{1,2}, 葛宝珊³, 李晓丹^{1,2}

(1. 郑州大学河南省信息网络重点开放实验室, 郑州 450052; 2. 郑州大学信息工程学院, 郑州 450001;

3. 中国科学院自动化研究所, 北京 100085)

摘 要: 嵌入式视频服务器具有成本低、性能高、运行稳定的优点, 已成为视频监控行业的主流产品。以海思公司多媒体处理芯片 Hi3510 为核心, 提出一种新的视频编码器实现方案, 介绍该服务器的架构及其主要功能模块的硬件连接, 讨论并解决时序匹配问题和信号完整性问题。实验结果表明, 该服务器的关键技术指标满足应用要求。

关键词: 视频编码器; H.264 标准; 信号完整性

Embedded Video Encoder Based on H.264

LIU En-hong^{1,2}, ZHOU Bing^{1,2}, GE Bao-shan³, LI Xiao-dan^{1,2}

(1. Henan Provincial Key Lab on Information Network, Zhengzhou University, Zhengzhou 450052;

2. School of Information Engineering, Zhengzhou University, Zhengzhou 450001;

3. Institute of Automation, Chinese Academy of Sciences, Beijing 100085)

【Abstract】 With the advantages of low-cost, high-performance and steady operation, embedded video servers dominate the video surveillance market. This paper presents an architectural scheme of the video encoder based on the multi-media processor Hi3510. The architecture of this encoder and its main functional modules are introduced, and the solutions to timing matching and signal integrity are detailed. Experimental results show that this encoder meets practical requirements.

【Key words】 video encoder; H.264 standard; signal integrity

1 概述

嵌入式视频编码器以其可靠性高、速度快、成本低、体积小、功耗低、环境适应性强等优点, 成为视频监控的发展趋势^[1]。其主要作用是对采集的视频图像数据进行压缩, 在保证一定重构质量的前提下, 以尽量少的比特数表征视频信息^[2], 从而降低视频图像对传输带宽和存储容量的要求。目前常用嵌入式网络视频编码器的实现方案及其局限性描述如下: (1)视频采集芯片+DSP 处理器。在该方案中, 由视频采集芯片完成图像的预处理, 由 DSP 完成图像的存储、压缩、网络传输。由于 DSP 通常没有强大的操作系统, 因此其控制方式不灵活且功能单一, 不适用于系统控制。(2)视频采集芯片+图像压缩芯片+嵌入式处理器。该方案一般缺乏强大的图像处理能力, 且系统成本较高。(3)ARM 嵌入式处理器+DSP 处理器^[3-5]。由 ARM 芯片实现系统控制, DSP 完成图像压缩。因为采用 2 个处理器, 所以该方案的系统软件设计和调试较困难, 系统成本较高。可见, 有必要设计一种系统控制方便、能完成高性能图像压缩且价格低廉的嵌入式视频编码器, 以满足研究测试和网络视频监控等需要。

本文提出一种采用 Hi3510 芯片(内嵌 ARM 和 DSP 双内核)的嵌入式视频编码器设计方案, 完成音视频信号的采集、压缩和传输功能。

2 系统设计

为了研制灵活可靠、方便实用, 并能很好地适应各种恶劣环境的嵌入式视频编码器, 在系统设计时应从以下方面进行考虑:

(1)先进性。较强的视频编码能力, 能实现 4 通道 CIF、

2 通道 Half D1、1 通道 D1 等多种模式 H.264 实时编码。较强的视频处理性能, 同时编解码可以达 30 fps@CIF、最大支持 D1 分辨率。音频能实现 4 路音频 8 Kb~48 Kb 实时编解码。

(2)可行性。硬件上选择成熟、可信的先进芯片, 软件上采用先进的国际通用视频压缩标准 H.264。设计方案简单合理, 借鉴了笔者在视频编解码和多媒体方面的前期成果和经验。

(3)灵活性。访问方式灵活, 可以通过专门的 Client 软件、Web 浏览器、智能手机和 PDA 等移动设备进行访问。控制功能丰富, 用户可以实时控制视频的编码方式和质量、云台转动、摄像机的变焦和聚焦。

(4)可扩展性。可以方便地扩充各种图像分析处理算法和新的音视频编码算法, 或添加运动检测和报警模块。

2.1 视频编码器整体结构

视频编码器整体结构如图 1 所示。硬件设计以 Hi3510 为核心, 由存储模块、视频输入模块、视频输出模块、音频输入模块、音频输出模块、通信模块构成, 充分利用 Hi3510 的高速处理能力, 兼顾系统稳定性和可靠性。4 路视频信号以 CVBS 格式输入到视频控制器 TW2834 中, 经 TW2834 处理后, 形成基于 ITU-R BT656 标准、色差采样模式为 YCrCb 4:2:2 的数字信号, 并传输给处理器 Hi3510 进行 H.264 标准的编码^[6]。经压缩后的视频数据流通过局域网或因特网传输给用户, 用户可以利用 PC 或手机客户端软件接收音视频码

基金项目: 河南省高校杰出人才创新工程基金资助项目

作者简介: 刘恩虹(1983—), 男, 硕士研究生, 主研方向: 嵌入式系统开发; 周 兵, 教授; 葛宝珊, 副教授; 李晓丹, 硕士研究生

收稿日期: 2008-11-26 **E-mail:** liuenhong2005@163.com

流,进行解码并播放。考虑到进程监控等需要,可同时将数字视频信号直接输出到 LCD 等显示设备上。

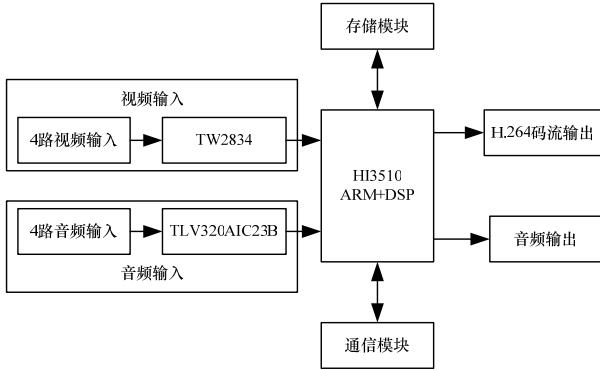


图1 视频编码器整体结构

2.2 视频编码器硬件结构

本文设计并实现的视频编码器系统由2块电路板,即核心板(Core Board)和 I/O 接口板构成。

2.2.1 核心板的硬件设计

核心板原理如图2所示,它是整个系统的运行核心,主要由 Hi3510 处理器及其外围 Memory 芯片组成。外围 Memory 包括 Flash, SDRAM 和 DDR SDRAM。

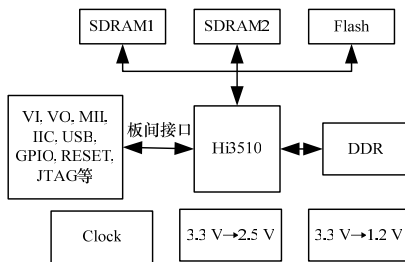


图2 核心板原理

Hi3510 完成对全部协议和各种业务应用的处理、音视频的编码或解码以及对平台其他模块的管理和驱动。海思公司的 Hi3510 芯片采用 ARM+DSP+硬件加速引擎的多核高集成度的 SOC 构架,其视频处理单元能支持 MPEG-4 AVC/H.264 Baseline 等多种协议的实时编解码,可以广泛应用于实时视频通信、数字图像监控等领域,具有国际领先性。

Hi3510 上的 VI,VO, SIO, MII, USB, UART, IIC, SSP, GPIO, JTAG, RESET 等信号和电源通过板间接口与 I/O 接口板相连。视频处理系统要求大容量的数据存储空间,由于 Hi3510 芯片内部只内嵌了 16 KB 指令紧耦合存储器 and 8 KB 数据紧耦合存储器,因此要在外部总线接口(EBI)上扩展存储空间。本系统采用 2 片 Micron 公司的 MT48LC16M16A 得到 64 MB 的动态存储空间(位宽 32 bit)。DDR 采用 64 MB 的 MT46V3216MTG(位宽 16 bit)。Flash 采用 Spansion 公司 32 MB 的 S29GL256N(位宽 16 bit)来存储操作系统和应用程序,24 根地址线通过 EBI 与 Hi3510 连接。核心板需要 3 种不同电压: 3.3 V, 2.5 V, 1.2 V。其中, 3.3 V 电压通过板间接口由 I/O 接口板传输上来; 2.5 V 和 1.2 V 电压分别通过核心板上的电压调节芯片 MIC29302 和 LP2996 转换得到。

2.2.2 I/O 接口板硬件设计

如图3所示, I/O 接口板作为系统的外围设备接口板,主要用于承载各种接口电路,包括 4 路视频信号汇聚电路、模拟视频信号 Encoder 电路、音频 Codec 电路、网络接口电路、RS232/485 接口电路、USB 接口电路、电源电路、复位

电路等。

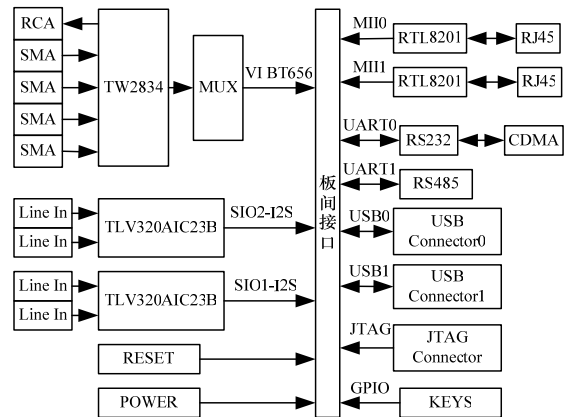


图3 I/O 接口板原理

4 通道的 QUAD 视频控制器 TW2834 与 Hi3510 的 VI 接口连接,完成 4 路视频信号的汇聚和模拟视频信号解码,并具备回放功能^[7]。系统采用 2 片 TLV320AIC23B 芯片分别与 Hi3510 的 SIO1, SIO2 接口连接,支持 4 路音频的编码,实现声音信号的 AD/DA 转换、输入输出放大等。通过 USB 接口可以实现与 U 盘、移动硬盘的连接。系统有 2 个 USB 接口,能同时与 2 个 USB 设备相连。在接口板上加载 USB 接口的无线通信模块后,智能手机等移动设备可以通过 GPRS 网络进行无线远程监控。当检测到监控区域有异常时,能将异常图像以彩信形式发送到用户手机,实现报警功能。

3 硬件设计中的关键技术

若工作频率大于等于 50 MHz 的数字逻辑电路占整个系统的 1/3 以上,则称该系统为高速电路系统^[8]。在高速电路系统中,不能忽略印刷电路板(Print Circuit Board, PCB)的线上延时和一些其他问题,例如,当信号在导线上高速传输时,如果始端阻抗与终端阻抗不匹配,就会出现电磁波反射现象。该现象会使信号失真,产生有害的干扰脉冲,导致整个系统运行受影响。随着电子系统中逻辑和系统时钟频率的迅速提高以及信号边沿不断变陡,PCB 的线迹互连对系统电气性能的影响会越来越大。因此,必须很好地解决延迟引起的时序匹配问题和信号完整性问题。

3.1 时序匹配问题及其解决方法

在 PCB 设计中,实际布线长度决定了信号的传播时间。如果过孔、器件管脚或网络上设置的约束较多,将导致时延增大。以 T_r 表示信号上升空间, T_{pd} 表示信号线传播延时。当 $4T_{pd} \leq T_r$ 时,信号落在安全区域。当 $2T_{pd} \leq T_r \leq 4T_{pd}$ 时,信号落在不确定区域。当 $T_r \leq 2T_{pd}$ 时,信号落在问题区域。当信号落在不确定区域或问题区域时,应该使用高速布线方法进行 PCB 设计。在设计时详细查阅信号上升时间的典型值,并仔细规划时钟信号线的分布。确定时钟信号线的布线方式后,控制线和数据线的布线长度应满足相应的约束要求。

3.2 信号完整性问题及其解决方法

信号完整性(Signal Integrity, SI)用于衡量信号线上的信号质量,它由多种因素决定,主要包括反射、串扰、振铃、地弹等。在高速电路系统中,信号完整性问题决定了系统能否正常可靠地工作。产生反射信号的主要原因是布线的几何形状、不正确的线端接、未被匹配的传输线、电源平面不连续等。当一根信号线上有信号通过时,电磁耦合会对相邻传输线产生不期望的电压或电流噪声干扰,称之为串扰。异步

信号和时钟信号容易产生串扰。过大的串扰可能引起电路的误触发,导致系统无法正常工作。PCB板层的参数、信号线间距、驱动端和接收端的电气特性和线端接方式都对串扰的大小有一定影响。

本系统采用如下方法改进信号完整性:

(1)在PCB布线时,使同步信号线尽量等长,以保证同步信号在一个时钟周期内基本同时到达;使控制分支线尽量短。

(2)加入适当的端接电阻,以减少信号反射。例如,SDRAM数据信号串接33Ω匹配电阻,地址信号串接22Ω匹配电阻,DDR时钟、地址、控制信号分别连接50Ω匹配电阻,数据信号连接33Ω匹配电阻。

(3)系统分成2块电路板实现,将高速器件与低速器件隔离,以减小低速器件对高速器件的影响。

(4)因为PCB板顶层、底层和中间层的阻抗不同,且传输时延不同,所以SDRAM、DDR的数据线和地址线都被设计在中间的2层。避免相邻层跨分割区走线,确保有一个完整的电源参考平面和地参考平面。

使用上述方法并用CADENCE公司的Allegro SPB 15.5软件对系统信号完整性进行仿真分析,经过多次布局、布线、调整端接电阻和仿真实验,得到了较理想的信号仿真波形,如图4~图6所示。

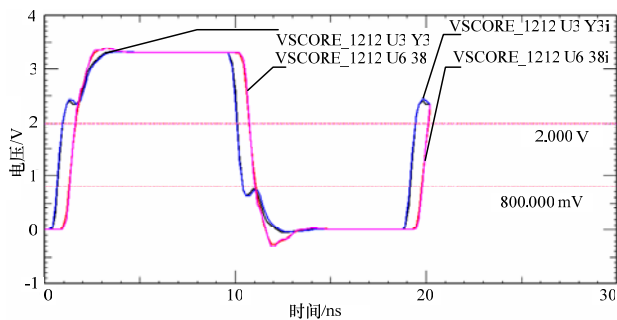


图4 时钟信号仿真波形

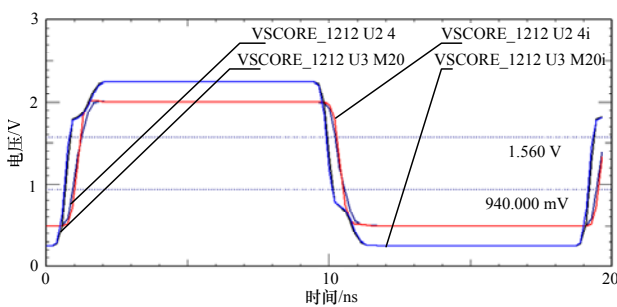


图5 DDR数据信号仿真波形

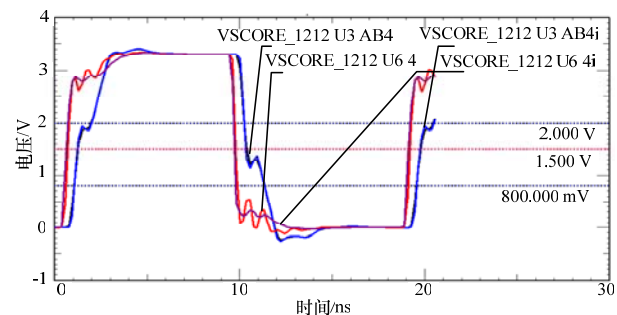


图6 SDRAM数据信号仿真波形

4 实验结果与分析

本系统已经设计完毕并实现,并在局域网上对各项功能进行了长时间测试,测试结果如表1所示。从实验结果可以看出,该系统设计合理、操作简便且运行正常稳定,可以实现多种分辨率图像的H.264编码。

在1路D1、2路Half D1和4路CIF模式下可以达到实时目的,取得了很好的编码效果。在2路D1和4路Half D1模式下,画面较流畅,但略有延迟,这是因为H.264的算法复杂程度差是MPEG-4的2倍左右,即需要2倍的处理器性能,才能处理相同帧率和分辨率的视频。下一步工作将针对多路高分辨率图像,对软件进行更多优化工作,以达到更好的编码效果。

表1 系统测试结果

模式	图像分辨率	帧率/(Fs ⁻¹)	信道码速率/(Kb·s ⁻¹)	是否实时
1路D1	720×576	25	2 097	是
2路D1	720×576	25	2 097×2	否
1路Half D1	720×288	25	1 048	是
2路Half D1	720×288	25	1 048×2	是
4路Half D1	720×288	25	1 048×4	否
1路CIF	352×288	25	512	是
2路CIF	352×288	25	512×2	是
4路CIF	352×288	25	512×4	是

5 结束语

本文基于H.264的嵌入式视频编码器具有体积小、成本低、稳定性高、可扩展性强等特点,可应用于视频监控、硬盘录像机、可视对讲等多种场合,具有广泛的应用前景。

参考文献

- [1] 李波,葛宝珊,李炜,等.基于通用DSP的多模式视频编码器[J].计算机学报,2004,27(12):1648-1656.
- [2] 沈兰荪,卓力,田栋,等.视频编码与低码率传输[M].北京:电子工业出版社,2001.
- [3] Lappalainen V. Performance of H.26L Video Encoder on General-purpose Processor[C]//Proceedings of the IEEE Int'l Conference on Consumer Electronics. [S. l.]: IEEE Press, 2001: 266-267.
- [4] 刘喜龙,石中锁.基于H.264的嵌入式视频服务器的设计[J].微计算机信息,2005,21(1):133-134.
- [5] 曹贝贞,李志康,薛松.基于无线网络技术的数字视频监控系統[J].计算机工程,2007,33(1):247-249.
- [6] Wiegand T, Sullivan G J, Bjontegaard G, et al. Overview of the H.264/AVC Video Coding Standard[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2003, 13(7): 560-576.
- [7] Techwell. TW2834 4 Channel Video QUAD/MUX Controller for Security Application[Z]. (2005-01-28). <http://www.techwellinc.com>.
- [8] 周润景,袁伟. Cadence 高速电路板设计与仿真[M].北京:电子工业出版社,2006.

编辑 陈晖