

SoC 测试中 IP 核透明路径的构建

王 飞¹, 谭 明², 何道君², 徐金甫¹

(1. 解放军信息工程大学电子技术学院, 郑州 450004; 2. 总参谋部第五十一研究所, 北京 100072)

摘 要: 大量 IP 核复用于 SoC 中, 给 IP 核的测试复用带来困难。该文给出一种基于透明路径的测试访问机制构建方法, 对 PARWAN 处理器构建透明路径。实验结果表明, 增加透明路径后的 PARWAN 处理器只增加少量占用的资源。将构建了透明路径的 PARWAN 处理器作为测试访问机制应用于 SoC 中, 对其他 IP 核进行测试, 能减少测试向量施加时间。

关键词: 测试访问机制; 透明路径; 扇出分支

Construction of Transparent Paths for IP Cores in SoC Test

WANG Fei¹, TAN Ming², HE Dao-jun², XU Jin-fu¹

(1. Institute of Electronic Technology, PLA Information Engineering University, Zhengzhou 450004;
2. The Fifty-first Graduate School of General Staff, Beijing 100072)

【Abstract】 The reuse of IP cores in SoC brings more difficulties in the test reuse of IP core. This paper proposes a method of constructing Test Access Mechanism(TAM) based transparent paths. Experiment is performed on PARWAN processor. Experimental results show that PARWAN after constructing transparent paths has lower area overhead, and test application time reduces obviously when PARWAN constructed transparent paths is applied in SoC as TAM.

【Key words】 Test Access Mechanism(TAM); transparent path; fanout branches

1 概述

随着集成电路规模的不断扩大, 系统芯片(SoC)已成为集成电路的发展趋势, 同时 IP 核的复用技术被广泛应用于 SoC 设计中, 加快了 SoC 的设计效率, 也为 SoC 的测试带来更大的难度^[1], IP 核的多数端口无法从芯片外部管脚访问, 如何对 SoC 内部的 IP 核施加测试向量已成为技术难点。

在基于 IP 核复用的 SoC 测试结构中, 测试访问机制(Test Access Mechanism, TAM)是不可缺少的组成部分, 它为测试激励的施加和测试响应的收集提供通路。目前, 常见的测试访问机制实现方法主要有: (1) 基于总线结构^[2]; (2) 边界扫描结构^[3-4]。前者需要专门的总线结构用于测试, 并且无法实现并行测试, 后者尽管可以复用 IEEE1149.1 结构传输测试数据, 但穿行的输入输出使得测试速度非常慢, 无法适应大规模的 SoC 芯片。

IP 核透明路径概念的提出为测试访问机制带来了另一种实现方法。本文对 IP 核中透明路径的构建进行研究, 并在 PARWAN 处理器上加以实践。该方法使芯片测试人员能利用芯片中 IP 核的透明路径充当测试访问机制, 芯片的面积增加很少而测试效率却很高, 同时能实现芯片的真速测试。

2 透明路径定义及构建方法分析

2.1 透明路径定义

设 $I(i)$ 表示输入端 I 的第 i 比特, $O(j)$ 表示输出端 O 的第 j 比特。

定义 1 如果 1 个 IP 核的输入 $I(i)$ 的逻辑值能直接从输出 $O(j)$ 观察到, 或输出 $O(j)$ 的逻辑值能直接被输入 $I(i)$ 所控制, 则称 $I(i)$ 和 $O(j)$ 之间是透明的。

定义 2 P 为透明度信号, P 的逻辑值既可以是 1, 也可以是 0, 但在电路状态相同且稳定的条件下, 取值一定。 P

可参与相应的逻辑运算:

$$P + 1 = 1, P + 0 = P, P + X = X, P + P = X$$

$$P \cdot 1 = P, P \cdot 0 = 0, P \cdot X = X, P \cdot P = X$$

定义 3 $I(i)$ 和 $O(j)$ 是透明的, 透明度信号 P 从 $I(i)$ 传播到 $O(j)$ 经过的所有节点构成的路径称为 $I(i)$ 到 $O(j)$ 的透明路径。

定义 4 1 个节点 N 与所属电路的任意输入端之间存在着多条通路, 每条通路经过的扇出分支(FB)的个数可能不同, 将最小的个数定义为这个节点的 FB -number。

计算 FB -number 有 3 条规则: (1) 输入节点的 FB -number 为 0; (2) 沿路径向输出端传输时每经过 1 个扇出分支, FB -number 加 1; (3) 门的输出节点的 FB -number 与该门的输入节点中最小的 FB -number 一致。

电路各节点的 FB -number 如图 1 所示。

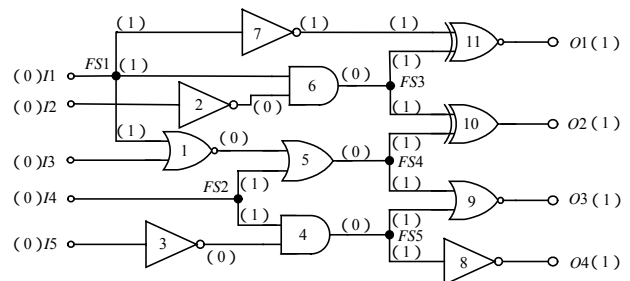


图 1 电路中各节点的 FB -number 标注

作者简介: 王 飞(1982 -), 女, 硕士研究生, 主研方向: 集成电路设计与开发, 芯片的可测性设计; 谭 明, 工程师; 何道君, 高级工程师; 徐金甫, 副教授、博士

收稿日期: 2008-05-12 **E-mail:** qierking007@163.com

2.2 透明路径的构建方法

透明路径方法是对 IP 核的门级电路插入简单控制单元进行改造,以保证测试数据安全地通过此 IP 核。安全是指测试数据在透明路径上传输时,取值不会被改变。

构建了透明路径的 IP 核有正常工作模式和透明模式,由控制单元的控制端进行控制。正常工作模式是 IP 核以系统时钟频率、按自身的逻辑功能工作;透明模式则指 IP 核此时被用来当作其他某个 IP 核的测试通道,用以传输测试向量和测试响应,2 种模式选择通过模式选择信号进行控制。

须插入的控制单元有 1-控制门、0-控制门和 2 选 1 多路选择器。1-控制门可通过与非门和或门来实现;0-控制门可以通过与门和或非门来实现。为了控制信号的统一,本文采用或门作为 1-控制门,或非门作为 0-控制门,以“高电平”作为测试模式即透明模式的有效信号,以“低电平”作为正常工作模式的有效信号。

本文以简单逻辑电路为例来说明如何构建透明路径。若一个逻辑电路有 m 个输入端、 n 个输出端的,则可构建 $\min\{m, n\}$ 条透明路径。具体步骤如下:

(1)确定透明度信号 P 、搜索路径。根据电路中各节点的 FB -number,将 FB -number 最小的 1 个输出节点 $O(j)$ (如有多个选取其中一个即可)确定为透明信号 P , P 沿路径向前搜索,遇到分支时选择 FB -number 较小的节点向前搜索,直至到达某个输入节点 $I(i)$,此时 $I(i)$ 和 $O(j)$ 之间构建了一条透明路径。将该路径上各个节点的 FB -number 置为 ∞ ,同时进行其他透明路径的构建,直至构建完所有可能构建的透明路径。

如果按上述规则,1 个输出节点向输入节点方向可构建多条路径,本文选择扇出分支和逻辑门较少的通路作为此输出节点搜索出的透明路径。

(2)处理扇出分支节点。搜索完透明路径之后,某些扇出分支节点可能会存在数据的冲突,如图 1 的 $FS1$ 、 $FS2$ 和 $FS4$ 处存在数据冲突: $FS1$ 节点的 1 个分支是透明信号 $P1$,连接门 6 的分支需要信号“1”,连接门 1 的分支需要信号“0”;同理, $FS2$ 的 2 个分支需要分别被设置为“1”和“0”, $FS4$ 的 1 个分支是透明信号而另一个分支需要信号“0”。因此,必须相关插入控制单元,以满足不同信号的需求。

(3)处理剩余的输入/输出节点。这不是每个电路构建透明路径时所必需的步骤,要视(1)中所构建的透明路径条数 K 而定。若 $K=\min\{m, n\}$,则跳过此步;若 $K<\min\{m, n\}$,则表明还可构建 $(\min\{m, n\}-K)$ 条透明路径,此时须插入多路选择器构建其余的透明路径。

按上述 3 个步骤为图 1 电路构建的透明电路如图 2 所示。

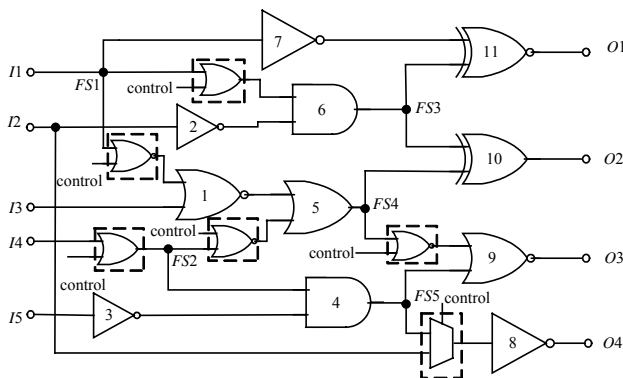
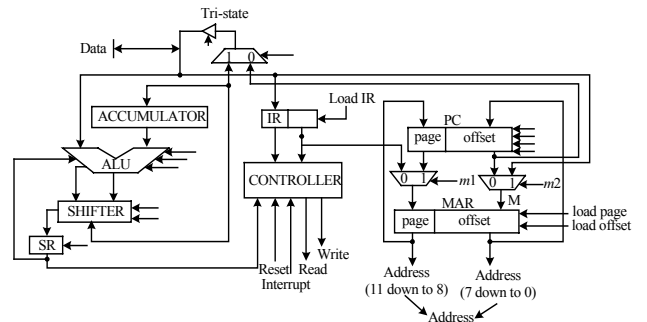


图 2 构建透明路径后的电路

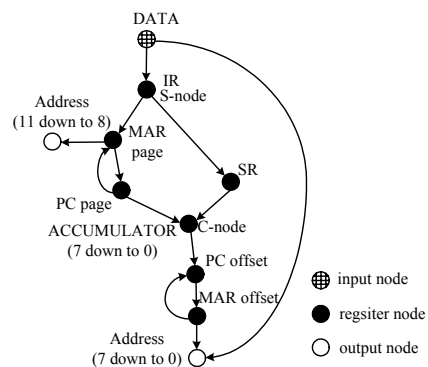
3 PARWAN 处理器核的透明路径构建及实验

3.1 PARWAN 处理器核的透明路径构建

假设构成 PARWAN 处理器核的每一个子模块都已构建了透明路径。对电路的结构提取“点边图”,将电路中的输入端口、输出端口及寄存器定义为节点,若 2 个节点之间直接连接或由多路选择器连接,则这 2 个节点之间存在一条“边”。图 3(a)所示电路的“点边图”如图 3(b)所示。将具有 1 个输入端口、2 个或 2 个以上输出端口的节点称为分割节点,记作 S-node,如图中的 IR;将具有 2 个或 2 以上输入端口、1 个输出端口的节点称为合并节点,记作 C-node,如图中的 ACCUMULATOR。



(a) PARWAN 处理器结构



(b) PARWAN 处理器的点边图

图 3 PARWAN 处理器结构及提取的点边图

对图 3(a)的 PARWAN 处理器构建透明路径,如图 4 所示,粗线所示路径为构建的透明路径,带阴影的门电路为增加的控制电路。

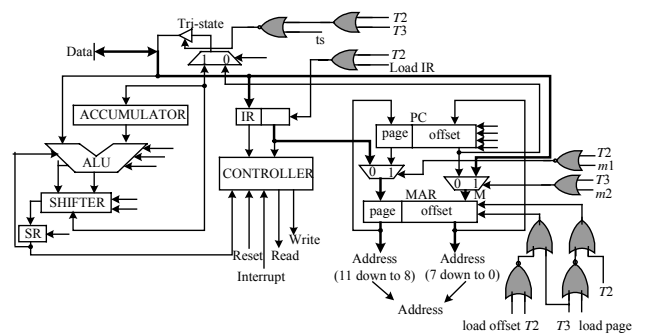


图 4 构建透明路径后的 PARWAN 处理器

对 PARWAN 处理器核构建透明路径时须注意:

(1)对 1 个寄存器节点,检查其输入端口的总数和输出端口的总数是否相等,不相等则增加相应端口、插入控制端口进行控制,以保证测试数据的传输。

(下转第 228 页)