

龙芯 2E 北桥的显示控制器设计及性能分析

郭学枫^{1,3}, 孙凯军^{2,3}, 张 斌^{2,3}, 胡明昌^{2,3}

(1. 长春理工大学光电工程学院, 长春 130022 ;2. 中国科学院计算技术研究所, 北京 100080 ;3. 江苏中科龙梦科技有限公司, 常熟 215500)

摘要: 为了以最优的资源、最少的带宽, 实现龙芯系统中可用的显示控制器, 介绍一种集成了显示控制器的龙芯 2E 北桥及显示控制器的设计和实现, 并讨论了测试数据分析和性能优化工作。测试结果表明, 集成了简单的显示控制器的龙芯 2E 系统完全能满足低端应用的要求。

关键词: 显示控制器; 北桥; 龙芯; Wishbone 总线

Design and Performance Analysis of Display Controller of Northbridge for Godson-2E

GUO Xue-feng^{1,3}, SUN Kai-jun^{2,3}, ZHANG Bin^{2,3}, HU Ming-chang^{2,3}

(1. School of Photo-electronic Engineering, Changchun University of Science and Technology, Changchun 130022; 2. Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080; 3. Jiangsu Lemote Tech. Co., Ltd., Changshu 215500)

【Abstract】 In order to use the best resources and the lowest bandwidth to achieve Godson system available display controller, this paper focuses on the integrated display controller of northbridge for Godson-2E and the design and realization of display controller, and discusses the test data analysis and the performance optimization work. Test results indicate that a simple display controller of the Godson-2E system fully meets the requirements of low-end application.

【Key words】 display controller; northbridge; Godson-processor; Wishbone bus

龙芯系列处理器的研制成功填补了我国高性能通用处理器的空白。龙芯 1 号处理器^[1]是我国自主研发的第一个通用处理器;龙芯 2 号处理器^[2-3]是我国第一个 64 位通用处理器, 采用了转移猜测、寄存器重命名、乱序执行、非阻塞的高速缓存、访存猜测执行等关键技术。龙芯 2E 北桥是专门为龙芯 2E 处理器设计配套的北桥芯片。本文的初衷是在北桥中集成显示控制器并将之应用在低端领域, 以此省去显示芯片, 降低龙芯系统的成本, 使之具有更高的性价比。

1 实验平台

本文使用的实验平台如下: 集成于龙芯 2E 北桥的显示控制器设计及验证采用了 Altera 公司的 CycloneII EP2K10K10F484C8 FPGA, 综合布局布线等工具均使用 Altera 公司的 QuartusII 6.0 软件; 处理器为龙芯 2 号增强型, 片内集成 64 KB 指令 cache、64 KB 数据 cache 和 512 KB 二级 cache, 处理器内部集成内存控制器, 其他设备的访存操作通过处理器完成; 南桥为 VIA 公司的 VT82C686B; 外部时钟频率 66 MHz, CPU 工作于 10 倍外频。

2 集成显示控制器的北桥和龙芯 2E 系统

集成显示控制器的北桥使用 Wishbone 总线^[4]交叉开关方式互连。使用 32 位地址总线和 64 位数据总线互连, 具有很高的传输带宽, 而且交叉开关的互连方式使得吞吐率和并行性提高, 整个系统也具有有良好的扩展性。

显示控制器包括 Wishbone 主设备和从设备。从设备负责 CPU 对显示控制器的寄存器访问, 主设备根据相关寄存器的信息从共享为显存的主内存取出显示数据, 并经过颜色和光标处理之后, 输出到显示接口。集成显示控制器之后的北桥

结构如图 1 所示。为了和原龙芯 2E 北桥^[5]对比, 修改部分背景为阴影。

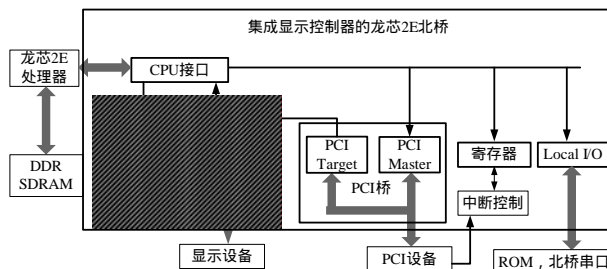


图 1 集成显示控制器的龙芯 2E 北桥

因为 CPU 要访问显示控制器里的寄存器, 所以必须在 CPU 地址空间为这些寄存器分配地址。在此设计中, 寄存器共需要 4 KB 地址。龙芯 2E 北桥 CPU 接口地址映射, 从 1fe0 0100 开始到 1fe8 0000 的接近 512 KB 地址空间里, 只有北桥内部寄存器使用了 256 B, 其他都是空闲的。从中选出 1fe0 1000 开始的 4 KB 地址分配给显示控制器的寄存器, 并相应地修改北桥的 CPU 地址译码逻辑。

基金项目: 国家“863”计划基金资助重点项目“低成本先进计算机单机”(2006AA010201); 江苏省成果转化专项基金资金项目“龙芯 CPU 产业化应用”(BA2004029)

作者简介: 郭学枫(1982-), 女, 硕士研究生, 主研方向: 现代测试计量技术与质量控制; 孙凯军、张 斌, 硕士研究生; 胡明昌, 高级工程师、博士

收稿日期: 2007-08-16 **E-mail:** snopy8236@163.com

显示控制器使用共享主存作为显存。在集成显示控制器之后,由于显示控制器和PCI桥都要通过CPU接口进行DMA操作,因此必须由仲裁逻辑决定CPU接口模块中的从设备响应哪个主设备的请求。仲裁逻辑必须兼顾公平和效率,保证优先级高的设备更容易获得访问权的同时,也必须保证优先级低的设备不会被饿死。在笔者的实现中,采用固定优先级,使显示控制器优先。这样做是考虑到显示控制器需要连续的数据流,必须满足它的数据需求才能够正常显示;而且它单位时间需要的数据流大小是固定的,不会出现负载高一直霸占总线的情况。

使用集成显示控制器的北桥的一种龙芯 2E 系统实现如图 2 所示。北桥作为 FPGA 实现只能是数字输出,可以直接驱动 TFT LCD 屏,或者通过 D/A 转换后驱动普通 VGA 接口的显示器。

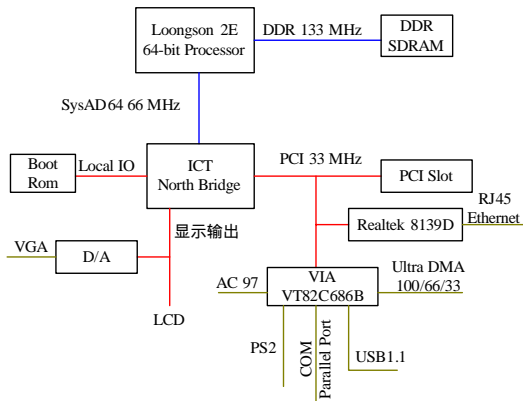


图 2 使用集成显示控制器北桥的龙芯 2E 系统

3 显示控制器的设计和实现

集成显示控制器模块的结构如图 3 所示。Wishbone Slave 负责 CPU 对显示控制器的寄存器访问,这些寄存器包括控制、状态信息、显示时序信息以及颜色查找表。Wishbone Master 根据相关寄存器的信息通过 DMA 从主存取出显示数据,并经过颜色和光标处理之后,输出到 RGB 输出队列。时序生成模块根据寄存器里的显示时序寄存器生成水平同步(行同步)、垂直同步(场同步)信号,并在可视区域处控制 RGB 队列输出。

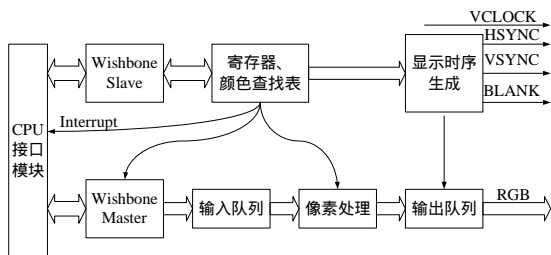


图 3 显示控制器模块结构

3.1 寄存器和颜色查找表

寄存器主要包括控制寄存器、状态寄存器、显示时序信息、基址寄存器和光标坐标寄存器。控制寄存器可设置时序控制信号的有效电平、色深和 DMA 的猝发式传输长度等。色深支持 8 位、16 位、24 位和 32 位。另外控制寄存器的最低位是显示模块使能控制,使能无效时显示模块复位,各寄存器和状态机恢复到默认状态,使能有效时模块正常工作。状态寄存器主要包含中断信息,产生中断的可能是行复位、刷新和输出队列空等。时序信息寄存器包括行列扫描需要设

置的参数。帧和光标基址寄存器里放置显示帧和光标在主存里存放的基址。

颜色查找表是一个 256×24 bit 的单端口 RAM,用于 8 位伪彩模式。此时 8 位输入对应 $2^8=256$ 个偏移地址,此偏移地址作为颜色查找表的索引值,从中取出 24 bit RGB 数据。

3.2 Wishbone Master 的 DMA 操作

Wishbone Master 从寄存器模块获得帧基址、光标基址、色深和分辨率。Master 从帧基址开始进行 DMA 读操作,每次操作请求数据的长度由控制寄存器里的 DMA 猝发式传输长度控制,DMA 地址递加。DMA 返回的数据写到输入队列,等待像素处理模块处理。在不同色深和分辨率时,每帧所需要的数据量不一样,Master 根据相应的色深和分辨率计算一帧数据是否取完。

当 CPU 占用访存接口或 SysAD 接口时,DMA 数据返回延迟加大。为避免此时出现显示控制器缓存队列被读空的情况,将输入队列 FIFO 深度设置得较大,为 $2^{10} \times 64$ bit,以保证不会因 FIFO 空导致显示问题。

每帧数据取完后,如果光标基址寄存器更新过,Wishbone Master 就开始通过 DMA 操作从主存读取光标数据,将数据存到光标寄存器堆。如果光标基址寄存器不更新,则 Master 不重取光标数据,而是直接开始下一帧数据的读取。因为光标通常只移动位置,形状保持不变,所以不必每次更新,直接使用光标寄存器堆里的数据即可。

3.3 像素处理

像素处理包括 2 个部分:颜色处理和光标处理。

颜色处理的工作是将数据分开成 RGB 信号。不同色深时这个处理过程不一样,支持的色深包括 8 位灰度、8 位伪彩和 16 位、24 位、32 位彩色。

光标处理的工作是根据光标坐标寄存器的值,将光标位置上原来的像素点数据替换为光标数据。光标支持 32×32 分辨率,每个光标数据为 16 bit。其中,低 15 位是颜色数据,RGB 分量各 5 bit;最高位表示是否使用光标数据,若为 0 则用光标数据替换原来像素点,否则使用原来的像素点数据。支持硬件光标的好处在于,移动光标时只需要更改显示控制器的光标坐标寄存器即可,不需要更新共享显存,可以节省 CPU 利用率和访存带宽。

经过颜色处理和光标处理之后的 RGB 数据写入到 RGB 输出队列,即是最后显示器上显示的信息。

3.4 时序生成和 RGB 输出

时序生成模块根据时序信息寄存器中 Thsync, Thlen 的值,生成 HSYNC 信号;根据 Tvsync, Tvlen 的值,生成 VSYNC 信号。

时序生成模块综合行列的同步脉冲时间、前后沿时间和总时间等信息,生成表示可视区域的 Gate 信号,并用于控制 RGB 输出队列的输出。RGB 输出队列是一个双端口的 RAM,实现了从 Wishbone 时钟域到像素时钟域的转换。BLANK 是 Gate 信号取反。

4 性能测试及分析

设计显示控制器除了保证功能正确性以外,带宽和性能也是设计要考虑的关键。一方面带宽和延时要保证显示输出的数据流不能中断,另一方面也要保证显示控制器占用的带宽不影响系统性能。

4.1 分辨率,刷新率和像素时钟

分辨率是指屏幕上水平和垂直方向各有多少个“点”,在

单位面积内点数越高,显示的图像就越清晰。常见如 640×480, 800×600 等。

刷新率是指屏幕每秒钟刷新的次数,这个值越大,屏幕的闪动就越轻微,一般为 60 Hz~75 Hz。

显示分辨率和刷新率确定之后,通用 VGA 模式下 $Thlen$ 和 $Tvlen$ 也即确定。一般可采取如下的估算方法:

$$Thlen = thgate \times 1.3$$

$$Tvlen = Tvgate \times 1.05$$

为满足分辨率和刷新率的要求,有行扫描频率和像素时钟满足:

$$f_{line} = Tvlen \times Refresh_Rate$$

$$VCLOCK = Thlen \times Tvlen \times Refresh_Rate$$

这只是估算结果,可能需要根据显示器实际情况进行微调,才可达到最好的显示效果。尽管如此,它对 VCLOCK 频率的选择具有实际的指导意义。对于特定的分辨率、刷新率,行扫描频率和 VCLOCK 频率估算结果如表 1 所示。

表 1 VCLOCK 频率估算

分辨率	刷新率/Hz	行扫描率/kHz	需要的 VCLOCK 频率/MHz
640×480	60	30.24	25.16
640×480	72	36.29	30.19
800×600	56	35.28	36.69
800×600	60	37.80	39.31
800×600	72	45.36	47.17

VCLOCK 可由 FPGA 的锁相环产生。锁相环输入时钟即主板给北桥的外频时钟 66 MHz,可根据表 1 的估算结果调整锁相环的倍频和分频系数。静态时序分析结果显示,此时钟域可工作在 114.6 MHz,满足 VCLOCK 的要求。

4.2 带宽

显示控制器需要的数据带宽可通过下式计算:

$$BW = Thgate \times Tvgate \times Refresh_Rate \times Color_Depth$$

其中, $Thgate$, $Tvgate$ 和 $Refresh_Rate$ 的含义已在上文描述; $Color_Depth$ 指色彩深度。表 2 显示了在几种不同分辨率、刷新率和色深组合下,根据上式计算得到的数据带宽。

表 2 显示数据占用带宽

分辨率	刷新率/Hz	色深/bit	需要的数据带宽/(MB·s ⁻¹)
640×480	60	16	36.86
640×480	72	16	44.24
800×600	56	16	53.76
800×600	60	16	57.60
800×600	72	16	69.12

在实际系统中,统计一段时间中显示控制器占用 Wishbone 总线的拍数,即可得到显示控制器对 CPU 接口模块 Wishbone Slave 接口总线的实际占用率,占用率可通过下式计算:

$$\text{实际占用率} = \frac{\text{显示控制器占用总线拍数}}{\text{总时钟拍数}}$$

由此得到不同分辨率、刷新率和色深时的实际占用率如表 3 所示。对于工控等场合,分辨率 800×600、16 位色深、刷新率 60 Hz 足够,此时集成显示控制器可满足要求。若考虑实际占用率的另一表示:

$$\text{实际占用率} = \frac{\text{显示控制器占用带宽}}{\text{实际带宽}}$$

则可根据表 2 的显示控制器占用带宽和表 3 的实际占用率计算得到 CPU 接口模块的 Wishbone Slave 接口实际带宽约为 110 MB/s。

表 3 显示控制器对 Wishbone 总线的实际占用率

分辨率	刷新率/Hz	色深/bit	Wishbone 总线占用率
640×480	60	16	0.324
640×480	72	16	0.399
640×480	56	16	0.481
800×600	60	16	0.518
800×600	72	16	0.614

4.3 色深和像素处理速度

DMA 访存得到的数据流经过颜色处理和光标处理之后,通过显示输出队列输出。为保证显示输出正常,显示输出队列不能为空,这要求对显示输出队列写入的速度高于读出的速度,即数据处理的速度要满足输出的需要。

向输出队列写入的时钟即北桥主时钟,为 66 MHz。像素处理模块向显示输出对列写入数据的速度和色深有关。色深为 8 时,每 5 拍写入 4 个数据;色深为 16 时,每 3 拍写入 2 个数据;色深为 24 时,每 7 拍写入 4 个数据;色深为 32 时,每 2 拍可写入 1 个数据。在每帧的可视区域中,显示输出每个 VCLOCK 时钟周期读出一个数据。由此得到

$$f_{VCLOCK} = f_{nb} \times Pixel_Gen_Rate$$

其中, $Pixel_Gen_Rate$ 即像素处理模块对显示队列的写入速度。计算得到在不同色深时,可以支持的最大 VCLOCK 如表 4 所示。根据 VCLOCK 和分辨率、刷新率的关系,得到不同色深时可支持的典型分辨率和刷新率。

表 4 色深和支持的最大 VCLOCK

色深/bit	支持的最大 VCLOCK/MHz	支持的典型分辨率、刷新率
8	52.80	800×600, 72 Hz
16	44.00	800×600, 60 Hz
24	37.71	800×600, 56 Hz
32	33.00	640×480, 72 Hz

4.4 综合性能分析

综合考虑像素时钟、带宽和像素处理速度的影响,并经实际系统测试,得到集成显示控制器可支持的分辨率、刷新率和色深如表 5 所示。

表 5 集成显示控制器可支持的分辨率、刷新率和色深

分辨率	刷新率/Hz	色深/bit
640×480	60	8, 16, 24, 32
640×480	72	8, 16, 24
800×600	56	8, 16, 24
800×600	60	8, 16
800×600	72	8

5 结束语

本文介绍了北桥中集成简单显示控制器的实现和性能分析结果。性能分析和实际测试结果表明,北桥中集成简单显示控制器的龙芯 2E 系统完全能付诸于低端的应用。

参考文献

- [1] 胡伟武,唐志敏. 龙芯 1 号处理器结构设计[J]. 计算机学报, 2003, 26(4): 385-396.
- [2] 胡伟武,张福新,李祖松. 龙芯 2 号处理器设计和性能分析[J]. 计算机研究与发展, 2006, 43(6): 959-966.
- [3] Hu Weiwu, Zhang Fuxin, Li Zusong. Micro-architecture of the Godson-2 Processor[J]. Journal of Computer Science and Technology, 2005, 20(2): 243-249.
- [4] Wishbone System-on-Chip(SOC) Interconnection Architecture for Portable IP Cores Revision B3[Z]. Silicore Corporation, 2001-11.
- [5] 张 斌. 龙芯 2E 北桥的设计和優化[D]. 北京: 中国科学院计算技术研究所, 2007.