

嵌入式 GPS 接收机系统的 FPGA 配置方法研究

王尔申, 张淑芳, 胡青

WANG Er-shen, ZHANG Shu-fang, HU Qing

大连海事大学 信息工程学院, 辽宁 大连 116026

Information Engineering College, Dalian Maritime University, Dalian, Liaoning 116026, China

E-mail: wes2016@126.com

WANG Er-shen, ZHANG Shu-fang, HU Qing. Research of FPGA configuration methods of embedded GPS receiver system. *Computer Engineering and Applications*, 2009, 45(4): 86-88.

Abstract: An overall design of an embedded GPS receiver system which focuses on different FPGA configuration is proposed in this paper. Using CPLD, Platform Flash, SPI Flash and Intel NOR Flash, different methods of FPGA configuration have been discussed respectively. Each detailed analysis of characteristics and specific hardware circuit design are figured out. Especially, the flow and notes of BPI configuration by Intel NOR Flash are emphasized here, and these kinds of configurations have been applied in the research of embedded GPS receiver system successfully. Moreover, it is also applicable to other similar systems.

Key words: Global Positioning System (GPS); Field Programmable Gate Array (FPGA); Byte-wide Peripheral Interface Configuration; Complex Programmable Logic Device (CPLD); Flash

摘要: 给出了嵌入式 GPS 接收机系统的整体设计, 重点研究了系统中 FPGA 的不同配置方法, 提出了利用 CPLD 和 Platform Flash, SPI Flash, Intel NOR Flash 实现对 FPGA 进行不同配置的方法, 详细分析了每种配置方法的特点, 给出具体的硬件电路设计, 并重点研究了利用 Intel NOR Flash 进行 BPI 配置的流程以及配置时应注意的问题。这些配置方式在研究的嵌入式 GPS 接收机系统中得到了成功的应用, 而且也适用于其他的类似系统。

关键词: 全球定位系统; 现场可编程门阵列; BPI 配置; 复杂可编程逻辑器件; Flash

DOI: 10.3778/j.issn.1002-8331.2009.04.024 文章编号: 1002-8331(2009)04-0086-03 文献标识码: A 中图分类号: TP332

1 前言

GPS(全球定位系统)以全天候、高精度、自动化、高效率等显著特点及其所独具的定位导航、授时校频、精密测量等多方面的强大功能,使其用途越来越广泛。目前,卫星导航的应用已经遍及军事、航海、航空、测量、交通、勘测等几乎一切与位置、速度、时间有关的人类活动中。在各种全球定位系统不断发展的同时, GPS 用户端设备也处于不断升级和发展之中。随着 VLSI(超大规模集成电路)和 FPGA(现场可编程门阵列)技术的发展, GPS 接收机也正朝着小型化、高度集成化的方向发展。FPGA 具有集成度高、逻辑功能强等特点,应用 FPGA 进行数字电路设计,不但能减小电路的体积,提高系统运行的可靠性,而且其先进的开发工具可使电路设计和系统调试周期大大缩短。FPGA 可无限次重复擦写,可使数字系统在线重新配置^[1],设计更加灵活,功能更加强大,且易于更改和升级。更为重要的是,目前, Spartan3E 系列 FPGA 中可以嵌入 32 位的 MicroBlaze 软核处理器^[2]。因此,利用 FPGA 完成 GPS 接收机的中频采集和相关部分处理,由 MicroBlaze 软核处理器完成捕获、微调、跟踪的控制以及导航解算的工作,使得整个 GPS 接收机设计在一

个 FPGA 芯片内完成^[3],不仅提高了系统的抗干扰性能,而且为系统将来的 ASIC 设计提供基础。在整个嵌入式 GPS 接收机系统设计中,如何保证其在掉电后再次上电能自动可靠地恢复配置加载程序,是整个系统设计的关键问题之一。本文针对嵌入式 GPS 接收机系统 FPGA 数据配置方法和配置电路的设计进行了详细的研究,给出了各种配置模式的详细设计和配置方法。

2 嵌入式 GPS 接收机系统的整体设计

嵌入式 GPS 接收机的硬件系统如图 1 所示,主要由射频模块、基带处理模块、flash 模块、系统时钟模块、电源模块组成。其结构图如图 1 所示。其中,射频模块选用的是 NERIMIX 公司的射频芯片 NJ1006A^[4],完成 GPS 射频模拟信号的接收,并进行下变频处理,使之成为中频模拟信号,再由内部集成的 AGC 电路进行信号处理,送给射频芯片内部的 ADC 进行采样,变为 2 bit 的数字信号,以供后续基带信号处理器进行处理。基带处理模块选用的是 Xilinx^[5]公司的 Spartan-3E 系列 FPGA XC3S500E,该 FPGA 内部可以嵌入 32 位的 MicroBlaze 软

基金项目:国家自然科学基金(the National Natural Science Foundation of China under Grant No.60572116)。

作者简介:王尔申(1980-),男,博士生,研究方向为 GPS 接收机的设计与开发;张淑芳(1955-),女,教授,博导,研究方向为全球定位系统的理论与应用;胡青(1978-),男,博士研究生,讲师,研究方向为智能交通信息系统研究与开发。

收稿日期:2008-01-14 修回日期:2008-03-28

核处理器。因此,它完成对射频输出的 2 bit 历书、星历数据进行捕获、跟踪、锁定处理,并对锁定后的数据完成解算、导航数据输出等功能。Flash 模块由 Xilinx 公司的 Platform Flash PROM,ST 公司的 MX25P16 以及 Intel NOR Flash 构成,主要是用来存储 FPGA 的配置信息、MicroBlaze 软核处理器运行的程序以及一些导航历书等信息。系统时钟模块的功能主要是为系统提供准确的时钟,并为处理器提供稳定的时钟信号。电源模块为整个系统提供各种工作电压。

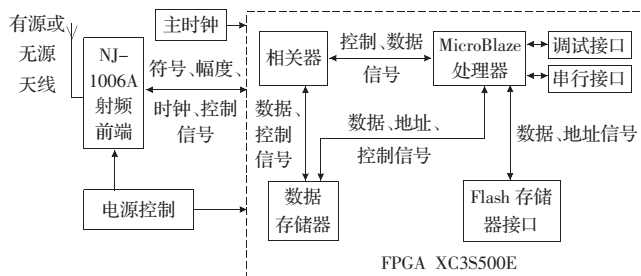


图 1 GPS 定位信号接收机结构框图

3 FPGA 数据配置的总体设计

Xilinx 公司为其 FPGA 系列产品提供了多种数据配置方式^[7-8],主要有以下四种方式,即 JTAG 方式加载,主串方式加载,从串方式加载,并行方式加载。在进行嵌入式 GPS 接收机系统设计时,选用的是 Spartan-3E 系列 XC3S500E,它支持多种配置方式,本文主要讨论主动串行加载,SPI 加载和 BPI 加载。设计时利用 CPLD 和 Platform Flash,SPI Flash,Intel NOR Flash 实现对 FPGA 进行不同配置,系统的配置连接框图如图 2 所示。

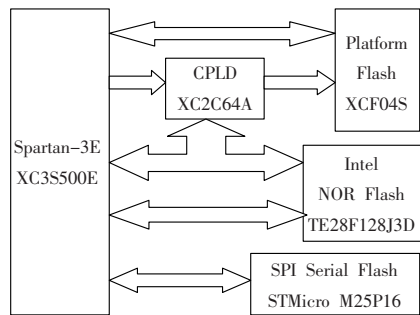


图 2 FPGA 系统的配置框图

3.1 FPGA 的主动串行配置

利用这种方式对 FPGA 进行配置,需要将 Spartan-3E 的 3 个模式控制引脚 M[2:0]的状态设置为[0 0 0],整个配置电路由 XC3S500E、CPLD 和 Platform Flash 共同完成,系统的连接电路图如图 3 所示,这种配置方式可以直接通过 USB 电缆及 ISE 集成的 Impact 编程软件对 Platform Flash XCF04S 直接编程。这种方式电路实现较为简单,但该配置方式必须使用 Xilinx 公司生产的专用 PROM,应用不灵活。

图 3 中,FPGA 输出的配置时钟信号 CCLK 与 Platform Flash 的 CLK 相连,在每个 CCLK 的上升沿接收 Platform Flash 提供的串行比特流数据。CPLD 通过对模式选择引脚 M0、M1、M2 的译码,完成对 Platform Flash 的片选功能。在上电后配置过程中各个信号的状态为:

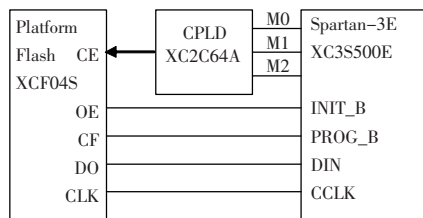


图 3 FPGA 主动串行配置连接

(1)模式选择引脚 M[2:0]在 FPGA 的 INIT_B 引脚输出为高时被采样,而且要求采样时的电平必须为低。

(2)在配置完成后,FPGA 的 DONE 输出变成高电平,表示配置成功。

(3)INIT_B 信号:初始化指示,低电平有效。在对存储器进行初始化清除过程中低电平,在存储器初始化完毕后,释放为高电平。

(4)PROG_B 信号:低电平有效,当产生 300 ns 低电平或更长时,迫使 FPGA 重新进行配置,配置过程中复位 DONE 和 INIT_B 引脚。

3.2 FPGA 的 SPI Serial Flash 配置

在 SPI 配置模式中,M[2:0]=[0 0 1],Spartan-3E 的配置数据来自于与之相连的具有工业标准的 SPI 串行 Flash PROM 如图 4 所示。尽管 SPI 是一个标准的四线接口,但是不同的 SPI Flash PROM 使用不同的命令协议。本系统使用的是 ST 公司 M25P16 作为 SPI 配置存储器,它的存储容量为 16 Mbit (2 Mbit×8),自身具有先进的写保护机制,在对 FPGA 进行配置时对写保护引脚的状态没有要求,但当对其进行编程擦除 SPI 存储器时需要将其拉高,本设计利用 FPGA 的一个用户 I/O 引脚来控制。利用 SPI Flash 配置 FPGA 也比较灵活,可以直接利用 Xilinx ISE 工具中集成的 Impact 实现对 M25P16 的在系统编程。

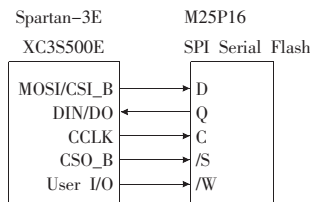


图 4 FPGA 的 SPI 配置接口

3.3 FPGA 的 BPI 配置

Spartan-3E 支持字节宽度的外设接口对其进行配置,这种并行方式加载数据方法是通过并行读取通用 Flash 存储介质中的数据,实现 FPGA 的在线配置的。由于采用并行方式,8 位数据可同时被写入 FPGA,数据配置速度最快。支持的主要是 NOR Flash 系列存储器^[9],如 ST 公司的 M29w,Atmel AT29/AT49,Spansion (AMD,Fujitsu)的 Am29/S29 系列,Intel Strata-Flash 以及 Macronix MX29 系列的 Flash 存储器,不能直接从 NAND Flash 存储器中进行配置。

在本设计中选用的是 Intel NOR Flash 128 Mbit(16 MByte)的并行 NOR Flash 来加载程序。利用该配置方法,在 Strata-Flash PROM 可以存储一个单独的 FPGA 配置信息,也可以存储两个不同的 FPGA 配置数据,并可以使用 Spartan-3E 的多启动特性在二者之间进行动态切换。由于在 Spartan-3E 系列中

的 XC3S500E 可以嵌入软核处理器 MicroBlaze, 在进行实际配置时, 可以在 StrataFlash PROM 中存储并执行 MicroBlaze 处理器代码。另外, 也可以把存储的代码映射到系统外接的 DDR 存储器中, 在 DDR 中执行程序。FPGA 与 Intel NOR Flash 的连接图如图 5 所示。

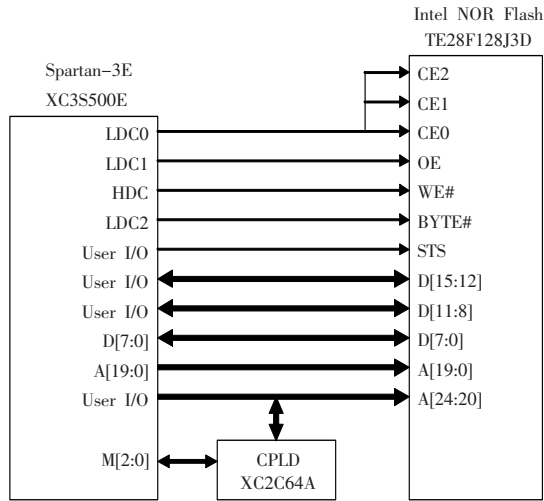


图 5 BPI 模式配置接口

BPI 配置模式有两种, 一种称为 BPI Up, 另一种称为 BPI Down。在配置期间, M0 模式的值决定了 FPGA 的 BPI 模式。当 M0=0 时, FPGA 的配置模式为 BPI Up, 此时, FPGA 产生的地址从 0 开始, 在每个时钟 CCLK 的下降沿增加地址。相反, 当 M0=1 时, FPGA 的配置模式为 BPI Down, FPGA 产生地址从 0xFF_FFFF 开始, 在每个时钟 CCLK 的下降沿进行减地址。本设计采用的是 BPI Up 模式。

图 5 中, LDC2 信号用来控制 Intel NOR Flash 的数据宽度, 当 LDC2 为低电平时, 访问的数据宽度为 8 位, 当 LDC2 为高电平时, 访问的数据宽度为 16 位。但是, XC3S500E 在配置期间只支持字节宽度的数据, 在配置完成后, 可以支持 8 位或者 16 位数据接口, 在使用 16 位数据接口时, 高 8 位的数据接口由 FPGA 的用户 I/O 来完成。

3.4 FPGA 的 BPI 模式配置的实现

相对于前面所述的 Platform Flash PROM 配置和 SPI Serial Flash 配置方式, 利用 BPI 对 FPGA 进行配置要相对复杂一些。下面以一个实例来说明如何利用 Intel NOR Flash 实现对 FPGA XC3S500E 进行 BPI 配置。本实例通过建立一个 Flash 测试程序, 将编译生成的程序代码烧写到 Intel NOR Flash 中, 在系统重新上电后, 如果程序从外部 Flash 对 FPGA 配置成功, 则被执行的程序将从串口输出测试信息, 实现 BPI 模式配置 FPGA 的测试。整个过程具体描述如下:

第一步, 在进行 BPI 模式配置时, 需要利用嵌入式处理器 MicroBlaze 的集成开发环境 EDK, 利用 XPS 的设计向导在 MicroBlaze 的 OPB 总线上添加 OPB EMC、OPB_BRAM_IF_CNTLR 以及 OPB_UARTLITE 外设, 建立如图 6 所示的系统硬件总线连接。

第二步, 编写应用测试程序, 编译无误后, 将生成的 bit 流下载到 FPGA 中, 通过串口助手或者是超级终端来查看测试程序是否输出正确的值。

第三步, 如果第二步测试成功, 通过 EDK 中的编程菜单将生成的可执行装载格式文件 .elf 文件烧写到 FLASH 中。注意,

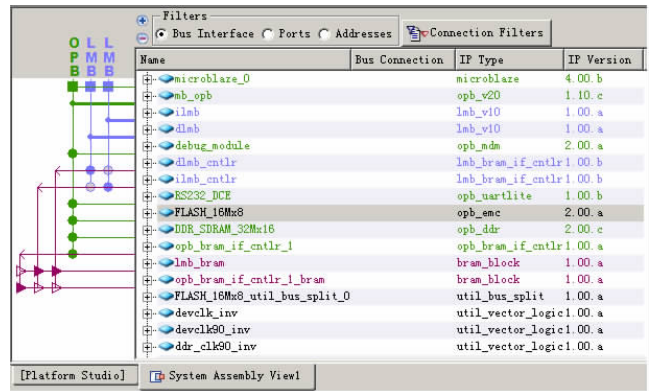


图 6 BPI 配置系统硬件连接

一定要设置足够大的地址偏移, 用于存放程序。

第四步, 利用开发环境集成的 EDK Shell 将生成的 download.bit 文件转换成 .bin 文件。

最后, 将生成的 .bin 文件利用 Program Flash 烧写到 Flash 中, 重新上电。注意, 要将配置模式更改成 BPI 配置模式, 即 M0=0, M1=1, M2=0, 在串口终端上会看到与将程序直接下载到 FPGA 中相同的输出。

4 FPGA 器件配置时应注意的问题

在进行 FPGA 器件配置时, 有时会出现配置不成功的情况, 将实际调试本系统中遇到的问题和解决方法总结如下:

(1) 必须选择正确的模式, 主要是通过电路板上的跳线设置 M0、M1、M2 的电平。

(2) FPGA 的配置过程由 CCLK 配置时钟来控制。因此, CCLK 的信号完整性是十分重要的。在 PCB 设计时布线要控制传输线的阻抗, 不要在 CCLK 上有分支, 不要使用星型拓扑结构, 线长要尽量短。

(3) 电路中的 DONE 引脚用来标识配置成功与否, 如果 DONE 引脚始终为低, 即指示灯始终处于灭的状态。考虑检查该引脚的负载是否太重, 处理办法可以改变上拉电阻的大小。

(4) 在配置完成后, 器件重新上电后, 有时能够配置成功, 有时不能成功。出现这种情况时, 考虑器件的复位未完成, 就开始出现数据流。可以通过加大复位时间, 即延长 PROG_B 信号的低电平时间。

(5) 当无法进行正常配置时, 考虑配置时钟信号 CCLK 或 JTAG 时钟信号 TCK 是否存在干扰信号或过冲, 可以通过增加滤波电路和匹配网络来改善信号的质量。

(6) DONE 脚已经变高, 但 FPGA 无法正常工作, 考虑程序设计是否正确, 可以通过直接下载到 FPGA 中 SRAM 来测试, 如果测试通过, 检查配置数据启动模式是否正确。另外, 参考配置流程进行校正。

(7) 在采用 BPI 模式进行配置时, 需要先将 bit 流下载到 FPGA 中, 然后, 装载 bootloader 程序, 否则, USB 下载线无法连接系统板。

(8) 为了验证配置成功与否, 在设计中可以添加串口设备, 利用超级终端来观察结果, 有利于提高调试效率。

5 结论

本文结合嵌入式 GPS 系统设计实例, 给出了嵌入式 GPS 接

(下转 129 页)