

# 一种集成“龙芯 1 号”IP 核的 SoC 的体系结构

陈 杰<sup>1,2</sup>, 章 军<sup>1</sup>

CHEN Jie<sup>1,2</sup>, ZHANG Jun<sup>1</sup>

1.中国科学院 计算技术研究所,北京 100080

2.中国科学院 研究生院,北京 100080

1.Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080, China

2.Graduate University, Chinese Academy of Sciences, Beijing 100080, China

E-mail: chenjie04@gmail.com

**CHEN Jie, ZHANG Jun. Architecture of SoC integrated with GODSON-1 IP core. Computer Engineering and Applications, 2007, 43(19): 111-114.**

**Abstract:** The architecture of a SoC integrated GODSON-1 RISC CPU with other twelve IP cores is presented and its performance is analyzed in this paper. In addition, the main features of this SoC are compared with those of the same type chips in the market. In summary, the design goal of this SoC is aiming at 32-bit embedded applications which are concerned with low cost, low power consumption, high stability and security.

**Key words:** System on Chip (SoC); GODSON-1; IP core; performance analysis

**摘 要:** 提出了一种集成“龙芯 1 号”RISC CPU 以及其它 12 种 IP 核的 SoC 的体系结构, 并对其性能进行了分析。此外, 还将该 SoC 与目前市场上存在的同类 SoC 的主要特征进行了对比, 该 SoC 的设计目标定位在低成本、低功耗、高稳定性与安全性的 32 位嵌入式应用。

**关键词:** 片上系统; 龙芯 1 号; IP 核; 性能分析

**文章编号:** 1002-8331(2007)19-0111-04 **文献标识码:** A **中图分类号:** TP33

## 1 引言

随着微电子工艺的发展, 单一芯片上能够容纳更多的逻辑单元, 片上系统 (System on Chip, SoC), 成为芯片设计发展的必然趋势<sup>[1]</sup>。相对于传统的芯片设计方法, SoC 具有许多显著的优势, 例如模块之间的信号传输延迟降低, 系统可以运行在更高的频率之上。此外, SoC 的高集成度大大缩小了产品的尺寸, 降低了产品的功耗与成本, 并提高了产品的可靠性。目前, SoC 在嵌入式应用中逐渐成为主流。

本文介绍了一种集成“龙芯 1 号”RISC CPU 以及其它 12 种 IP 核的 SoC 的体系结构, 分析了其性能, 并将其与目前市场上存在的同类 SoC 的主要特征进行了对比, 得出了其优缺点。该 SoC 的设计目标定位在低成本、低功耗、高稳定性与安全性的 32 位中低端嵌入式应用。目前, 该 SoC 芯片主要应用于税控收款机 (Fiscal Cash Register, FCR), 所以本文又称该 SoC 为税控 SoC 或 FCR\_SOC。此外, 该 SoC 还可用于 PoS 机与工业控制等领域。

## 2 体系结构介绍

体系结构的设计, 不但影响系统的性能, 还决定了硬件实

现的工作量。本章分 5 个部分来介绍税控 SoC 的体系结构。

### 2.1 芯片的系统结构框图

税控 SoC 专用芯片以“龙芯 1 号”RISC CPU 作为片上微控制器, 采用 ARM 公司的 AMBA 2.0 规范中的 AHB 与 APB 为片上总线, 整个 SoC 的系统结构如图 1 所示。

### 2.2 片上总线结构

由于 SoC 中集成了大量的 IP 核, 设计的关键在于如何实现各 IP 模块之间的互连。目前, SoC 中 IP 核的互连一般采用总线结构。如果使用自定义的总线, 可能会获得较优的性能, 但很难与第三方提供的 IP 核互连, 也很难发挥 IP 核的可重用性。因此 SoC 设计中应尽量采用工业界使用较为广泛的标准总线协议。目前, 典型的标准总线协议有 ARM 公司的 AMBA 总线协议<sup>[2]</sup>、IBM 公司的 CoreConnect 总线协议<sup>[3]</sup>与 OCP-IP 组织的 OCP 总线协议<sup>[4]</sup>。CoreConnect 总线协议文档完备, 一般用于高性能系统, 也可以适用于未来较庞大、复杂的系统; OCP 协议完全免费, 对系统要求较低, 适合较简单的应用, 但目前的实际应用还不是很多; AMBA 协议能够支持较复杂的应用, 操作协议简单, 拥有广泛的第三方的支持。由于 FCR\_SOC 定位在中低端嵌入式应用, 综合考虑各种因素, 选用 AMBA 2.0 总线协议来

**基金项目:** 江苏省科技成果转化专项资金项目 (No.BA2004029)。

**作者简介:** 陈杰 (1981-), 男, 硕士研究生, 主要研究方向为嵌入式系统与片上系统; 章军 (1971-), 男, 副研究员, 主要研究方向为嵌入式系统与片上系统 (SoC)、信息安全等。

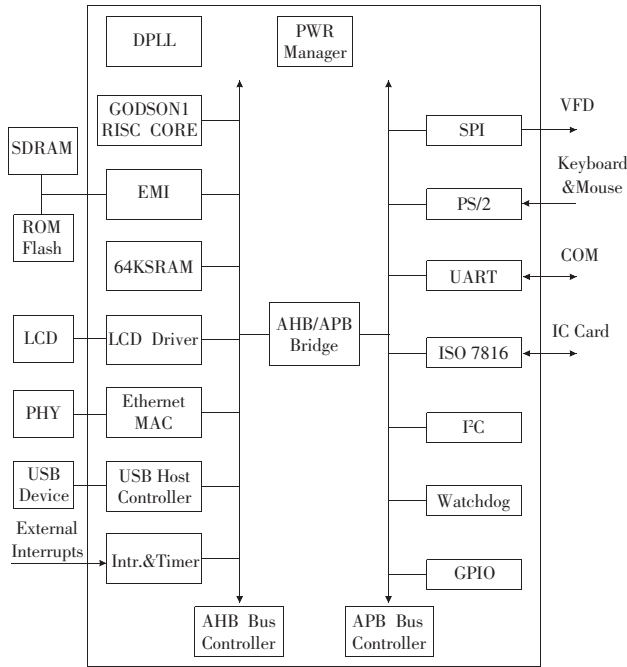


图1 税控 SoC 体系结构

互连各 IP 核。

在具体实现时,FCR\_SOC 采用了 AHB 加 APB 的两级总线结构,采用完全同步设计,不支持三态总线,采用分开、单向的读写数据总线。集成的 IP 核如表 1 所示。

表 1 税控 SoC 中集成的 IP 模块

No.	IP	Bus I/F
1	GODSON-1	
2	EMI	
3	LCD Controller	AHB
4	10/100 Mbps MAC	
5	USB 1.1	
6	SPI	
7	PS/2	
8	UART	
9	ISO7816	
10	I <sup>2</sup> C	APB
11	Watchdog	
12	Interrupt controller	
13	GPIO	

AHB 总线用来支持高速设备,地址总线宽度为 32 位,数据总线宽度支持 8、16、32 位;支持多主从设备。多个主设备之间通过仲裁机制来保证同一时刻只有一个主设备占用总线。仲裁采用 2 级优先级机制,同优先级用轮转的方式来实现公平的总线仲裁原则,避免单个主设备长时间占用总线。从设备通过地址译码机制被选中,并响应主设备发起的总线事务。AHB 总线支持定长、递增与回绕的猝发式数据传输。

APB 用来支持基于寄存器访问的低速设备。地址总线宽度为 12 位,寻址空间为 4 K,数据总线宽度为 8 位;除了总线桥外,其余的 IP 核均为从设备;只支持单字节访问。

AHB 与 APB 两条总线通过总线桥连接在一起,实现两条总线之间的协议转换。

### 2.3 各 IP 核在系统中的功能

如表 1 所示,税控 SoC 芯片中的各 IP 核的功能描述如下:

“龙芯 1 号”CPU 核:作为 SoC 的中央微处理器负责控制

其余 IP 核与管理整个系统;

外部存储接口(EMI):支持 SDRAM 作为系统主存,支持 E2PROM,NOR/NAND FLASH 作为系统的非易失性存储介质;支持片外 SRAM 作为系统的外围高速存储;

LCD 控制器:用来驱动液晶显示屏,在税控应用中用来支持营业员显示屏;

10/100 Mbps MAC:用来支持网络连接,在税控应用中用来支持网络报税;

USB1.1:用来支持 USB 设备,在税控应用中可用来支持电子扫描枪与电子秤,或者 USB 键盘,鼠标等;

SPI 控制器:用来支持 VFD 屏,在税控应用中用来支持客户屏;

PS/2 控制器:用来支持 PS/2 接口的键盘与鼠标;

UART:用来支持串口设备。在税控 SoC 中设置了 3 个 UART 接口,其中 2 个为简单功能的 UART,另外 1 个为全功能 UART。对于税控应用,全功能 UART 可以外接 Modem,支持电话拨号报税;

ISO 7816 控制器:用来支持智能卡,在税控应用中支持税控/用户/税务管理 IC 卡;

I<sup>2</sup>C 控制器:用来支持 I<sup>2</sup>C 设备,如 Maxim 6900 实时时钟 RTC;

Watchdog:软件需在预定的时间内访问相应的寄存器,否则硬件将产生内部信号自动复位 FRC\_SOC;

中断控制器:用来支持系统内部与外部中断控制,如中断电平/边沿触发、中断电平极性与中断使能等;

GPIO 控制器:用来支持扩展外设,如税控应用中的矩阵键盘与打印机。为了支持税控打印机,某些管腿可以产生连续或单个的预设的脉冲宽度(PWM)。

在 FCR\_SOC 中,SPI、PS/2、UART、ISO 7816 和 I<sup>2</sup>C 的 I/O 管腿都可以复用为 GPIO,也就是说,如果这些 IP 的功能被禁止,相应的 I/O 管腿都可以复用为 GPIO 管腿。目前,该 SoC 中专用 GPIO 管腿只有 20 根,而可以用作 GPIO 的管腿达到了 70 根,这对非税控应用来说是非常有意义的,也极大地拓宽了该 SoC 的使用范围。

### 2.4 其余一些关键问题的考虑

由于 FCR\_SOC 中集成了十多个 IP 模块,在目前的 FCR\_SOC 设计中共存在 7 个时钟域,分别是“龙芯 1 号”CPU 时钟域、AHB 总线时钟域、APB 总线时钟域、LCD 时钟域、MAC 数据接收时钟域、MAC 数据发送时钟域、USB 时钟域。各时钟域之间通过异步握手方式解决信号在不同时钟域之间的传输问题。

在 FCR\_SOC 设计中,还考虑了可测性设计(DFT)问题。FCR\_SOC 总共设计了 27 条寄存器扫描链,其中“龙芯 1 号”IP 核内部有 12 条,其它 IP 核 15 条,扫描链的输入和输出端口与 EMI 外部管腿复用。由于 FCR\_SOC 中使用了 6 种不同大小和宽度的 RAM,为了测试方便,集成了 6 种内建自测试(BIST)模块,并使用了 6 个内建自测试控制器。此外,遵循 IEEE 1149.1 标准(JTAG<sup>[2]</sup>)设计了 JTAG 方案,共使用了 6 个外部管脚,边界扫描包括输入输出端口各 384 个。

### 2.5 FCR\_SOC 性能分析

系统性能在硬件方面主要受芯片工作频率、片上 CPU 性能、主设备访问从设备延迟这几个因素的影响。

从工作频率上说,AHB总线频率设计可达166 MHz,CPU内部工作频率可达266 MHz,MAC接收和发送数据的频率均为25 MHz,USB工作频率为48 MHz。

片上CPU采用的是精简的“龙芯1号”IP核,这不是本文讨论的重点,故没有对其性能进行分析。

主设备访问从设备的延迟主要表现为不同存储介质的访存的延迟。不同存储介质的访存延迟时钟(AHB总线时钟)周期数如表2所示。“n”表示可以根据器件厂家性能参数而编程。

表2 不同存储介质的访存延迟

Memory type	Read cycles	Write cycles
REGISTER	1	1
ON CHIP SRAM	1	1
SDRAM	$n$	1
NOR FLASH	$n$	$>n*4$
NAND FLASH	$>n*6$	$>n*7$
E2PROM	$n$	N/A

由表2,访问片上SRAM与访问寄存器在读写周期上相同。在实际应用中,把一些常用的数据存放在SRAM中,可以大大提高程序运行的速度。对于片上SRAM,由于支持CACHE行访问(猝发式传输),在实际应用中可以作为CPU的2级CACHE,提高系统整体性能。

在读SDRAM时,延迟的值可以根据厂家提供的性能参数设置。写SDRAM时,由于SDRAM控制器内部设置了8个32位的寄存器作为缓冲区,对SDRAM写时,总线上的数据首先写入缓冲区,同时SDRAM控制器将缓冲区中的数据真正地写入到SDRAM,这样在总线看来,SDRAM写操作只需要一个周期的延时。访问SDRAM时,实际设计中采用的是猝发式数据传输的方式,即一个时钟拍可以读写一个数据。

访问NOR FLASH时,对NOR FLASH的读写由一系列操作序列组成,单个操作需要 $n$ 个时钟周期, $n$ 是由厂家提供的NOR FLASH器件数据手册计算得到。对于读访问,只需要一次操作即可,所以读操作仅需要 $n$ 个时钟周期;对于写访问,在此之前需要先擦除,这个擦除时间与NOR FLASH器件性能相关,故在性能分析中不做考虑,由于NOR FLASH在写前要发送3个命令字,才能写数据,所以写需要的时间要略大于 $n*4$ 。

访问NAND FLASH时,对NAND FLASH的读写功能亦由一系列操作序列组成。对NAND FLASH的一个操作需要 $n$ 个周期, $n$ 是由厂家提供的NOR FLASH器件数据手册计算得到。对于读,需经过:发读命令、连续发3个读地址、至少读一次状态字、读数据这些操作,所以写需要的时间要略大于 $n*6$ 。NAND FLASH的数据准备时间由于只与器件性能相关,在此不做分析;对于写,同样不考虑只与器件性能相关的擦除时间,由于写由:发写命令、连续发3个写地址、发数据、发确认、至少读一次状态字这些操作完成,所以写需要的时间要略大于 $n*7$ 。

E2PROM读1个字由串行读4个字节完成,读一个字需要的时钟周期数取决于器件的性能和器件工作频率。

### 3 与同类芯片的比较

目前,市场上同类SoC芯片中比较典型的有方舟的GT2000<sup>[5]</sup>,苏州国芯的CCM3118DQ<sup>[6]</sup>,Winbond的W90N740<sup>[7]</sup>。本章将分析它们的主要特征,得出其适用的场合。

#### 3.1 同类芯片主要特征分类比较

四款芯片的总线类型如表3所示。FCR\_SOC使用AMBA 2.0协议中的AHB与APB总线,相对于GT2000和CCM3118DQ使用了公司自定义的总线协议而言,FCR\_SOC有利于与第三方的IP核的互连,有利于提高SoC中开发的IP核的可重用性。

表3 芯片的总线类型

SoC	On-chip bus
GT2000	OCS+OCB
CCM3118DQ	C*BUS+IPBus
W90N740	AHB+APB
FCR_SOC	AHB+APB

四款芯片所使用的片上CPU核如表4所示。其中FCR\_SOC使用了自主知识产权的“龙芯1号”精简核,在性能上能够满足一般的嵌入式应用;对比之下,CCM3118DQ使用了Motorola的CPU核,W90N740使用了ARM7 TDMI核,均非自主知识产权,此外,由于它们没有MMU,也不能很好地支持多任务的处理。

表4 芯片使用的CPU核

SoC	CPU core	Technical features
GT2000	Arca2	330 MHz~400 MHz frequency,5 stage pipeline,with MMU and TLB support,8 KB I/D cache,hardware debug capability through JTAG port
CCM3118DQ	C310S	60 MHz frequency,32-bit RISC,4 stage pipeline,16 bit IS,On-chip emulation support,full static design for minimal power consumption
W90N740	ARM7 TDMI	>80 MHz frequency,16/32-bit RISC,3 stage pipeline,8 KB instruction and 2 KB data cache,extensive debug tools,low power consumption
FCR_SOC	GODSON-1 core	66MHz~266 MHz frequency,32-bit RISC,5 stage pipeline,8 KB instruction/data cache,48 entries instruction/data TLB,on-line JTAG debug

四款芯片的存储接口如表5所示。与GT2000、W90N740相比,FCR\_SOC集成了片上64 K SRAM,合理地利用它可以提高系统的整体性能。由于CCM3118DQ不支持廉价的SDRAM,不太方便支持较大的软件系统。

表5 芯片的存储接口

SoC	Memory I/F
GT2000	support ROM,SRAM,FLASH directly through static memory controller,support SDRAM through SDRAM controller
CCM3118DQ	Support 2 KB ROM,64 KB SRAM on the chip,support asynchronous RAM,ROM,FLASH through external memory I/F
W90N740	support SDRAM,ROM,FLASH,RAM through external bus I/F
FCR_SOC	Support SDRAM,E2PROM,NOR/NAND FLASH,SRAM,through external memory I/F

四款芯片的显示接口如表6所示。可知,GT2000没有集成LCD控制器,需要额外芯片支持LCD,增加了应用成本;与

W90N740 相比,W90N740 只能支持 LCM 屏,不具备图像显示的功能。总之,FCR\_SOC 不仅集成了 STN LCD 控制器,还可通过 GPIO 支持 LCM 屏和 VFD 屏,FCR\_SOC 芯片的显示接口方案成本较低,选择余地多。

表 6 芯片的显示接口

SoC	Display I/F
GT2000	support the LCD by additional chip through external memory I/F,support VFD through GPIO
CCM3118DQ	integrate LCD driver on the C*BUS, support STN LCD panel,use SRAM as video memory,support the burst transfer of 16,support auto refresh of the screen support 8-bit display by LCM controller on the external bus I/F, support the VFD through SPI
W90N740	Integrate STN LCD controller,support VFD display through SPI controller; support LCM display through GPIO

四款芯片对 USB 和 MAC 的支持如表 7 所示。“Y”表示集成了对应的接口,“-”表示不支持。CCM3118DQ 由于没有集成 USB 和 MAC 控制器,降低了其通用性。FCR\_SOC 集成了符合 USB1.1 规范的 USB 控制器和 USB PHY 接口,此外还集成了 10/100 M 自适应的 MAC,用来支持网络互连。

表 7 USB 和 MAC 的接口

SoC	USB1.1	MAC 10/100 M
GT2000	Y	Y
CCM3118DQ	-	-
W90N740	Y	Y
FCR_SOC	Y	Y

四款芯片对 IC 卡、UART、PS/2 与 PRINTER 接口的支持如表 8 所示。“N”表示没有集成,但通过外接芯片支持,GT2000 需要增加额外的芯片来支持 PS/2 接口。CCM3118DQ 不支持 UART,软件调试不方便,W90N740 支持 IC 卡、PS/2 设备、打印机时需要增加额外的芯片,提高了应用成本。FCR\_SOC 集成了 IC、UART、PS/2 与 PRINTER,集成的 3 个 UART 中的一个支持全功能的 MODEM,可用来支持电话拨号报税。

表 8 IC、UART、PS/2 与 PRINTER 接口

SoC	IC	UART	PS/2	PRINTER
GT2000	Y	Y	N	Y
CCM3118DQ	Y	-	Y	Y
W90N740	N	Y	N	N
FCR_SOC	Y	Y	Y	Y

四款芯片的封装和功耗的比较如表 9 所示。对于 GT2000,由于管脚众多,使用了 PBGA304 封装,成本较高;同时,在功耗

上,GT2000 和 W90N740 都比较高,较不适合用于低功耗应用。

表 9 封装类型和功耗

SoC	Package	Power consumption
GT2000	PBGA304	360 mW
CCM3118DQ	LQFP144/176	24 mW(0.4 mW/MHz)
W90N740	LQFP144/176	400 mW(5 mW/MHz)
FCR_SOC	LQFP	N/A

### 3.2 同类芯片适合的应用范围分析

GT2000 在同类芯片中性能较高,但相比之下功耗较大,管脚较多,不得不采用了昂贵的封装方法,增加了芯片的成本,同时由于没有集成 LCD 控制器和 PS/2 键盘鼠标控制器,需要额外芯片支持,增加了产品的成本。由于受成本和功耗的制约,它并不适合于中低端的嵌入式应用。

CCM3118DQ 使用的片上 CPU 性能不高,不支持 SDRAM,没有 USB 和 MAC 接口,不能支持 Linux 等较复杂的操作系统,但它的功耗很低,一般适用于要求功耗低,控制简单的场合。

W90N740 采用没有自主知识产权的 ARM7 TDMI CPU 核作为微控制器。同时,对 IC 卡、PS/2 与打印机支持都必须通过额外芯片,增加了产品的应用成本。由于集成了 MAC、NAT 加速器等,适应于嵌入式的网络处理上。

FCR\_SOC 采用了自主知识产权的 GODSON-1 核,集成了 LCD 控制器、USB1.1、MAC 10/100 M 控制器等广泛的 IP 核,集成度比较高,性能上满足要求,成本、预计功耗都较低。此外,由于采用的是自主知识产权的 CPU 核,在安全性上面也能得到保证。FCR\_SOC 针对税控应用定制,相比之下,在税控应用上,它是较适合的。

## 4 结束语

本文给出了一种集成了“龙芯 1 号”CPU 的百万门级 SoC 体系结构。目前该 SoC 已通过 FPGA 原型验证,FPGA 原型机工作在 33 MHz 频率时可以稳定,流畅的运行  $\mu$ COS/2, Linux 操作系统,物理设计采用 SMIC 的 0.18  $\mu$ m 工艺库,总线工作频率可达 166 MHz,即将进入流片阶段。(收稿日期:2006 年 11 月)

## 参考文献:

- [1] Grant Martin and Henry Chang.Tutorial 2 System-on-Chip design [C]//Cadence Design Systems Inc,San Jose,CA,ASIC,Proceedings 4th International Conference,2001:12-17.
- [2] The AMBA specification(Rev2.0).ARM Corp,1999.
- [3] The CoreConnect bus architecture(Rev1.0).IBM Corp,1999.
- [4] OCP specification(Rev 2.0).OCP-IP,2004.
- [5] GT2000 arca general terminal series SOC user manual(Rev1.0).ARCA Technology Corporation,2003.
- [6] CCM3118DQ advance information(Rev1.0).China-Core.Ltd,2003.
- [7] W90N740 Data Sheet(Rev1.0).Winbond Electronics Corp,2005.

(上接 91 页)

## 参考文献:

- [1] Crane D,Pascarello E,James D.Ajax 实战[M].北京:人民邮电出版社,2006.
- [2] 张元馨,赵仲孟,沈钧毅.一种基于向量空间模型的个性化搜索引擎研究[J].微电子学与计算机,2003(11):52-55.

- [3] 周国民,秋耘,郑彦妍,等.基于 SDD 算法的特定网页采集技术[C]//第一届全国信息检索与内容安全学术会议论文集,上海,2004:87-91.
- [4] 樊景超,周国民.SDD 算法在中文农业网页信息检索的应用[J].农业网络信息,2005(11):129-131.
- [5] Kolda T G,O'Leary D P.A semidiscrete decomposition for latent semantic indexing in information retrieval[J].ACM Trans Inf Syst,1998,16:322-346.