

# 数字信号处理器的讨论和研究

王令名\*

(中国科学院上海技术物理研究所, 上海, 200083)

数字信号处理 (Digital Signal Processing) 和数字信号处理器 (Digital Signal Processor) 的简称都是 DSP, 然而其内涵却不同。数字信号处理是指将模拟信号通过采集进行数字化后的信号进行分析、处理, 它侧重于理论、算法及软件实现。数字信号处理有一些典型算法, 如大家所熟知的快速傅立叶变换 (FFT), 这一算法已经成为衡量 DSP 处理器运算速度的一个指标。要实现这些算法, 特别是要实时地完成某些算法就需要有特殊的硬件支持, 这就是数字信号处理器。数字信号处理技术能够得到广泛的普及和应用, 在很大程度上得益于数字信号处理器性能的提高和价格的下降。

## 1 DSP 器件的发展概述

早期的 DSP 器件是 1979 年 Intel 公司开发的 2920 和 AMI 公司的 S2811, 但典型的 DSP 还是 1980 年 NEC 公司开发的  $\mu$ PD 7720 和 Bell 研究所开发的 DSP 20。由于 DSP 器件在数字信号处理中显示了独特的优点, 1982 年日立公司和 TI 公司相继开发了 61810 和 TMS 32010 等 DSP 器件。这个时期开发的 DSP 器件, 称为第一代 DSP。

1985 年 TI 公司开发的 TMS 32020 和 1986 年 NEC 公司开发的  $\mu$ PD 77230 等通用

DSP, 与第一代 DSP 相比在功能上、速度上及内存方面都取得了划时代的突破。例如, 其机器周期由 250 ns 减少到 100 ns, 运算能力达到 8 ~ 40 MFLOPS; 能支持 32 位浮点运算, 运算精度更高; 在片的数据存储器和程序存储器的容量增大, 并大大扩展了外部存储空间; 指令功能和寻址方式得到了强化和改善。

1987 年 TI 公司开发出高速、高性能、高内存并且可使用高级语言的第三代数字信号处理器 TMS320C30, 1991 年又推出了支持 32 位浮点运算, 速度为 275 MIPS, 具有 340 MB/S 数据传输能力的真正支持并行操作的 TMS320C40。

经过十几年的发展, DSP 器件在高速、可编程、小型化等方面都有了长足的发展, 生产 DSP 器件的厂家也不断壮大, 如 Analog Devices、Lucent Inc、Motorola、Texas Instrument 等都是著名的 DSP 器件生产厂家。为了满足不同层次的需要, DSP 也朝着两个方向分化。一是专用型, 即一种芯片仅完成一种算法, 这类器件多出现在工业及消费类电子行业。比如 VCD 机的处理核心就是一组 DSP 芯片, 它们完成的功能就是解码。二是通用型, 这类芯片具有较丰富的硬件和很强的可编程性, 适用于开发和研究。

\* 98 级硕士研究生

## 2 DSP 器件的结构特点

### 2.1 多总线的结构

世界上最早的微处理器是基于冯·诺曼 (Von-Neumann) 结构的。在这种结构中, 指令、数据、地址存储在同一存储器中, 统一编址, 靠指令计数器提供的地址来区别取出的是数据、地址还是指令。由于取指令和取数据都是通过一条总线访问同一个存储器空间, 因而必须分时进行, 严重制约了数据吞吐率。在高速运算时, 往往在传输通道上出现瓶颈效应。

DSP 内部一般采用的是哈佛 (Harvard) 体系结构。它将数据和程序分别存储在不同的存储器中, 即程序存储器 (PM) 和数据存储器 (DM) 各自独立。单独编址,

独立访问。与此相对应, 系统中设置了至少四套总线: 程序的数据总线、程序的地址总线、数据的数据总线和数据的地址总线。这种分离的程序总线和地址总线, 可允许同时获取指令字 (来自程序存储器) 和操作数 (来自数据存储器), 而互不干扰, 这意味着在一个机器周期内可以同时准备好指令和操作数, 使数据吞吐率大大提高。

有的 DSP 芯片内部还包含有其它总线, 如 DMA (Direct Memory Access) 总线等, 可实现单周期内完成更多的工作。这种多总线结构就好象在 DSP 内部架起了四通八达的高速通道, 保障运算单元及时地取得需要的数据, 提高运算速度。因此, 对 DSP 来说, 内部总线是个资源, 总线越多, 可以完成的功能就越复杂。

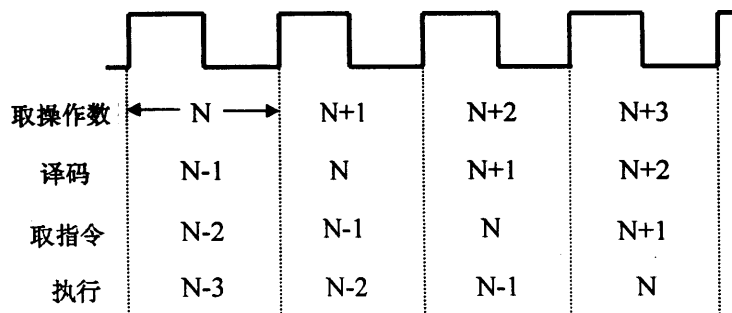


图 1

### 2.2 多处理单元

DSP 内部一般都包括多个处理单元, 如硬件乘法器 (MUL)、累加器 (ACC)、算术逻辑单元 (ALU)、辅助算术单元 (ARAU) 以及 DMA 控制器等。它们都可以在一个独立的指令周期内执行完计算任务, 并且这种运算往往是同时完成的。例如, 当完成一个乘法和累加的同时, 辅助算术单元已经完成了下一个地址的寻址工作, 为下一次的运算做好了充分的准备。因此, DSP 可以完成连续的乘加运算, 而每一次的运

算都是单周期的。这种结构特别适用于滤波器的设计, 如 IIR 和 FIR。DSP 的这种多处理单元结构还表现在将一些特殊算法做成硬件以提高速度, 如典型的 FFT 的位反转寻址, 语音的 A 律、 $\mu$  律算法等。

### 2.3 流水线结构

要执行一条 DSP 指令, 需要通过取指令, 译码, 取操作数和执行等几个阶段。DSP 的流水线操作是指它的这几个阶段在程序执行过程中是重叠的, 即在执行本条指令的同时, 下面的三条指令已依次完成

了取操作数、译码、取指令的操作(如图 1 所示)。这样就将指令周期的时间降低到了最小值。正是利用这种流水线机制,保证 DSP 的乘法、加法及乘加运算可以在一个单周期内完成。这对提高 DSP 算法的速度具有重要的意义。特别是当设计的算法需要连续的乘加运算时,这种结构的优越性就可得到充分的体现。也正是这种结构,决定了 DSP 的指令基本上都是单周期指令,衡量一个 DSP 的速度也基本上以单周期指令时间为标准,其倒数就是为人熟知的 MIPS(兆次指令每秒)。

#### 2.4 硬件乘法器

几乎所有的 DSP 内部都有硬件乘法器。硬件乘法器的功能是在单周期内完成一次乘法运算,是 DSP 实现快速运算的重要保障。然而,并不是有了硬件乘法器就可以认为它是一个 DSP,目前,已有一些 MCU(Micro Control Unit) 厂商将乘法器集成在其内部,但要真正实现类似 DSP 的高速性能,还需要内部的上述其它几个特征相配合。

#### 2.5 片内外两级存储体系

由于 DSP 采用多个独立存储器,其难以在片外实现,故早期的 DSP 只有片内存储器,限制了它的处理能力。随着芯片技术的提高, DSP 有了片外存储器的访问能力,采用片内外两级存储体系构成了 DSP 的又一结构特点。片内存储器的特点是速度快,可以多个存储块并行访问,但其容量有限。片外存储器容量大,但由于要通过总线交换数据,因此速度不能太快。一般将常用的数据和正在运行的程序放在片内存储器中,而将大量暂时不用的数据和程序放在片外存储器中,从而提高了整体的运行效率。

片内存储器的速度接近于寄存器的速度,因而在 DSP 的指令系统中,采用存储器

访问指令取代寄存器-寄存器访问指令,而且可采用双操作数或三操作数指令来完成多个存储器的同时访问,使指令系统更加优化。

### 3 DSP 的应用

应该说,在 70 年代末和 80 年代初, DSP 还是个令人费解的词,仅在大学和军用航天部门才能偶尔听到。然而经过二十年的发展, DSP 已成为通信、计算机、网络、工业控制以及家用电器等电子产品中不可或缺的基础器件。

例如,在通信产业中, DSP 强大的计算能力使沉寂多年甚至被认为有了光纤通信毋需再要移动通信的蜂窝电话重新崛起。 DSP 给传统的无线电注入了新的活力,从而创造了一批诸如 GSM(欧洲的 TDMA 标准), IS-54(美国的 TDMA 标准)及 IS-95(美韩的 CDMA 标准)等全数字蜂窝电话网。例如,国内外研发者利用 TI 公司推出的 TMS320C54x 芯片完成语音编码,误差修正,信道编解码,均衡,解调和校验等多种功能。

DSP 在图像处理,多媒体视频处理的应用上也极为广泛。例如, TI 公司的 TMS320C80,这种单片 32 位 DSP 在一块芯片上集成了一个 RISC(精简指令计算机)处理器和 4 个浮点 DSP,通常被称为 MVP(多媒体视频处理器)。

TMS320C80 的可编程能力表现为可支持 MPEG、JPEG、H.261、G.728 等各种图像压缩规格,并支持所有的算法。清华大学用 C80 芯片实现了视频图像压缩编解码器,完成了包括运动预测和 DCT 变换在内的信号处理。其运算量超过每秒十亿次。中科院声学所用 AD 公司推出的 ADSP21020 完成了视听多媒体桌面通信系统中的图像

压缩编码, 图像解码还原, 后处理和图像显示列队等信号处理。为了开拓更为广泛的市场, 各家 DSP 厂家还相继推出了一系列 DSP 低端产品, 如 TMS320C2xx、TMS320C240、ADSP2186 等, 这类芯片的价格往往低于 0.12\$/MIPS。因而, DSP 取代 MCU 和单片机是指日可待的。

#### 4 TMS320C6x 和 ADSP2106x

目前, DSP 及其应用迅速发展, 新型器件不断涌现。这里以并行图像处理系统应用为背景, 通过典型实例器件进一步说明 DSP 性能、结构特点、适用性以及在选择 DSP 过程中应当考虑的一些问题。

##### 4.1 TMS320C62x 处理器

TMS320C6201 是 32 位定点 DSP, 50 MHz 或 100 MHz 的工作频率, 经内部倍频后升至 200 MHz。8×32 bit = 256 bit 的超长指令字 (VLIW) 处理能力使其每周期能命令 8 个处理单元执行 8 条指令, 即 1600 MIPS 或 400MMAC (MMAC 为每秒百万次乘加)。

TMS320C6201 的 8 个处理单元分为两组, 每组包括一个乘法器 ( $M_n$ ) 和三个算术逻辑单元 ( $D_n$ ,  $S_n$ ,  $L_n$ )。  $M_n$  进行 16×16 bit 的乘法运算,  $D_n$  进行 32 bit 算术逻辑运算、线性和环性地址计算,  $L_n$  和  $S_n$  都能作 32/48 bit 的算术逻辑运算。另外它们还有各自的特点,  $L_n$  可进行 32/48 bit 的归一化操作。  $S_n$  负责跳转和控制寄存器的数据传输。因为输入输出端口相互独立, 所以 8 个运算单元可实现并行处理。每组运算单元对应一条数据路径, 每条数据路径包含一个寄存器文件 (A 或 B), 提供 16 个 32bit 的寄存器 ( $A_n$  或  $B_n$ )。这些寄存器可以由运算单元操作, 也可以作为通用寄存器。每个寄存器文件有一条 32

bit 的取数据路径 ( $LD_n$ ) 和一条 32 bit 的存数据路径 ( $ST_n$ ), 负责寄存器与存储器间的数据存取。由  $D_n$  产生的数据地址可通过路径  $DA_n$  支持另一个寄存器文件的数据存取使用。

TMS320C6201 的外围设备包括 DMA 控制器、主机接口 (HPI)、中断选择等。DMA 控制器允许数据传输在 CPU 操作的后台进行, 因此 C6201 可与外部的低速设备接口连接而不降低 CPU 的吞吐量。C6201 的 DMA 控制器有 4 个独立的可编程通道。可以进行 4 个不同的 DMA 操作, 每个通道可根据需要传输 8 位、16 位和 32 位的数据。此外, 还有一个辅助通道允许 DMA 控制器响应具有地址产生能力的外设请求。主机接口使主机设备能够直接访问 CPU 的存储空间。

TMS320C6201 可通过引脚 BOOT MODE[4:0] 设置多种 BOOT 方式, 例如直接执行方式, 或从外部 EPROM、主机等设备装载程序。C6201 允许 14 个中断, 包括 Reset 不可屏蔽中断、串行口中断、定时器中断和外部中断。

TMS320C6201 有两个多通道带缓存的串行口, 支持全双工通信, 双缓存数据寄存器结构支持连续数据发送, 收发始终独立等特点。C6201 有两个 32 位的定时器, 主要用于时钟中断、DMA 控制器同步、事件记数等。它可以由外部或内部提供时钟。

##### 4.2 ADSP2106x 处理器

ADSP2106x 采用超级哈佛 (SHARC) 结构, 有 4 套独立总线, 分别用于双数据存取, 指令存取和输入/输出接口, 十分有效地将数字信号处理系统的主要功能集成在一片芯片上。它包括: 一个运算控制单元 — 处理器核、大容量双端口静态存储器、程序/数据外部总线及多处理器接

口、输入/输出控制器。运算控制单元可以完成 32bit 定点运算或 32/48bit 浮点运算。包括乘法器、加法器、移位器在内的运动单元,具有 120MFLOPS 的峰值运算能力。配合以高速指令缓存 ADSP2106x 可以在单周期内带条件判断地执行一次乘、一次加、一次减和一次跳转。片内大容量静态存储器 (SRAM) 分为两块,一块用来存储程序指令及数据,称为程序存储区 (PM); 另一块可以用来专门存放数据,称为数据存储区 (DM)。这样,指令位于缓存,就可以在单周期内执行乘、加、减运算的同时,分别对 PM 和 DM 区的数据进行一次存取操作。除标准 32 为字宽外,片内存储区可以灵活地设置成 16 位字宽,以倍增片内存储空间。ADSP2106x 有多种外部接口,首先是外部地址、程序/数据总线,它可以 40 MHz 全速工作,输入输出控制器还提供了六套链路口和两个串行通讯口。

ADSP2160x 的内部功能可总结如下:

- 符合 IEEE 浮点数据格式的 32 位浮点运算单元,包括乘法器、算术逻辑单元、移位器,这些元素单元也可以完成定点运算;

- 数据寄存器堆 R0 ~ R15 (用于浮点运算时称 F0 ~ F15);

- 数据地址产生器 (DAG1, DAG2);

- 程序控制器及指令缓冲 (32 级);

- 内部定时器 (32 bit);

- 4/2/1 Mbit (60/62/61) 双端口 SRAM;

- 外部存储器接口, 32 位地址, 48 位数据;

- 主机和多处理器接口;

- 两套串行口;

- 六套 4 bit 链路口, 每个带宽 40 Mb/s;

- JTAG 测试仿真口。

## 5 结束语

应该说,单从速度上来看, TMS320C62xx 胜过 ADSP2160x, 但由于 TMS320C6201 的乘法器是 16 bit 的, 而且它不支持浮点运算, 因而在进行 32 bit 数据格式的运算时, 速度下降很多, 例如, 在做 32 位基 4 的 1024 点复数 FFT 时, C6201 需要  $0.7 \mu s$ , 而 ADSP2106x 需要  $0.46 \mu s$ 。其次, ADSP2106x 片内有容量的双端口 SRAM, 这样在多数情况下无需外带存储器。它的优点是: 1. 片内存储器的访问速度远快于片外存储器, 系统的综合处理速度相对提高; 2. 系统的集成度好, 面积小, 成本低。再有, ADSP2106x 提供了必要的控制握手信号线, 使 6 片 ADSP2106x 可以直接连接组成一个紧耦合的多处理器系统。同时利用 ADSP2106x 提供的带宽为 40 Mb/s 的链路口, 可以将大量的 ADSP2106x 构成一个松耦合并行处理系统。在封装和功耗方面, TMS320C62xx 为 352 脚 BGA 封装, 功耗 7 W, 而 ADSP2106x 为 240 脚 QFP 封装, 功耗 1.5 W。因而 ADSP2106x 在开发难易度和功耗方面都占有优势。更适宜构成并行图像处理系统。

## 参考文献

- [1] 《ADSP2106x SHARC User's Guide》 Analog Devices Inc. 1995.
- [2] 《TMS320C62x/67x CPU and Instruction Set Reference Guide》 Texas Instruments 1998.
- [3] 苏涛, 吴顺君, 廖晓群, 《高性能数字信号处理器与高速实时信号处理》。
- [4] “TMS320C6201 数字信号处理器在图像处理中的应用”, 《电子技术应用》, 1999 年第 1 期。
- [5] “DSP 技术的现状及发展”, 《电子技术应用》, 1999 年第 3 期。