

文章编号: 1672-8785(2007)12-0001-05

模拟红外焦平面探测器读出时序的系统设计

秦金明, 陈宝国, 王明昌

(中国空空导弹研究院, 河南洛阳 471009)

摘 要: 高精度红外焦平面探测器的昂贵价格在一定程度上限制了红外导引系统的开发与应用, 然而低成本的焦平面探测器读出时序的模拟系统为红外导引系统的开发带来了新的契机。文中提出了一种适合于工程应用的焦平面探测器读出时序的模拟系统的结构与方案, 并给出了仿真分析和实验数据。应用表明, 该系统提高了红外导引系统的开发速度和可靠性, 降低了研制成本。

关键词: 红外焦平面探测器; 读出时序; FPGA; Verilog HDL

中图分类号: TN710/79 **文献标识码:** A

Design of A System for Simulating Readout Sequence of Infrared Focal Plane Array Detector

QIN Jin-ming, CHEN Bao-guo, WANG Ming-chang

(China Airborne Missile Academy, Luoyang 471009, China)

Abstract: Because of the high cost of high-precision infrared focal plane array detectors, the development and application of infrared guidance systems are limited to some extent. However, the low cost system for simulating the readout sequence of focal plane array detectors has made an new opportunity to develop infrared guidance systems. In this paper, the structure and scheme of a system for simulating the readout sequence of focal plane array detectors in engineering applications is proposed and its simulation and experimental data are given. The application shows that the development speed, manufacture cost and reliability of infrared guidance systems can be improved by using this system.

Key words: infrared focal plane array detector; readout sequence; field programmable gate array; verilog hardware description language

1 引言

由于高精度红外焦平面阵列探测器的高昂成本, 红外导引系统的开发和应用受到了一定的限制, 尤其是在前期预研阶段。探测器的读出时序是一个很复杂的过程, 而且要求低噪声。读出电路是一种模数混合型、集成度很高的半导体集成电路, 它的内部一般包含有移位寄存器及成百上千个独立单元, 每个独立单元内都有探测器信号放大器和多路开关, 这些单元分别与探测器阵列中的光敏元一一对应相连。读出

电路的功能就是对探测器的光电信号进行放大处理, 然后把它们转变为串行信号输出到焦平面外部。迄今为止, 国内外还没有关于红外焦平面阵列探测器读出时序的模拟系统的工程化文献。

针对红外导引系统研制费用高、周期长等特点, 本文提出了一种适合于工程应用的低成本红外焦平面阵列探测器读出时序的模拟系统的结构与方案, 设计了应用样机, 并对样机进行了多种红外图像的实验验证。

收稿日期: 2007-07-05

作者简介: 秦金明(1979—), 男, 河南信阳人, 助理工程师, 主要从事成像及预处理技术研究。

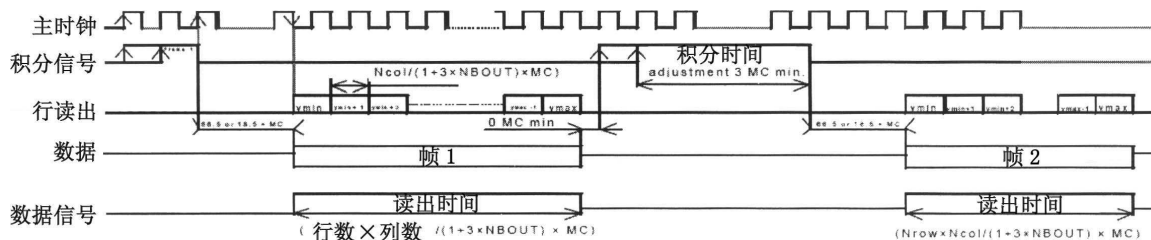


图 1 探测器信号读出时序图

2 系统结构与方案

2.1 读出时序

焦平面阵列的读出电路内有一序列信号发生器,该序列发生器根据外部的时钟和控制信号产生正确的内部信号,这些内部信号用于读出电路的操作。读出电路的操作都是同步的,内部产生的所有脉冲都是主时钟周期的整数倍。MC 信号是探测器的主要工作时钟;INT 信号为积分时间控制信号,当它高时,探测器进行积分;DATAVALID 为探测器输出数据有效的指示信号,当它高时,表示 OUTPUT 开始输出模拟信号。根据时序图,积分时间等于外部的 INT 信号的高电平保持时间,INT 信号的下降沿与 MC 信号的上升沿对齐,积分时间和读出时间无关;Ncol 为列数, Nrow 为行数。探测器信号读出时序见图 1。

2.2 系统结构

该系统是通过把高速 FPGA 和高速 D/A 转换器结合起来而实现的,存储模块选用了 FLASH 和 SRAM。FPGA 采用 Xilinx 公司的 Spartan- II 系列产品,型号为 XC2S200-5PO208I。SRAM 采用 IDT 公司的 IDT71V416S10-PH,速度级别为 10ns。FLASH 采用 Intel 公司的 28F010,最大读取时间为 65ns。D/A 转换器采用 AD 公司的 DAC8413,为 12bit 四通道。系统结构见图 2。

整个系统包括两个数据通路,第一个数据通路是 FLASH 内的图像数据经 FPGA 到 SRAM;第二个数据通路是 SRAM 内的图像数据经 FPGA 到 D/A。计算机系统与 FPGA 是通过串口 RS422 来传递图像数据和相关信息的。

3 模块建立

根据读出时序和系统结构,将系统的处理流程恰当地划分并映射为 FPGA 的电路功能模块,包括图像转移模块 (FLASHtoSRAM)、图像缓冲模块 (SRAMtofifo)、读出时序模块 (fifo_to_DA) 三个主要模块。同时还包括图像下载模块、时钟管理模块等模块。时钟管理模块为各个模块分配时钟。

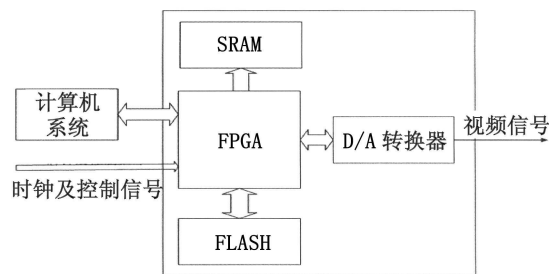


图 2 系统结构

因为 SRAM 的数据读出延时比 FLASH 小,所以在模拟探测器读出时序正常工作前把 FLASH 存储的图像数据转移到 SRAM 是有必要的。系统功能模块见图 3(a)、图 3(b)、图 3(c)。

根据探测器的读出时序图,每个像素的读出是在外部时钟驱动下进行的。从图 1 可知,像素是在主工作时钟的下降沿输出的。INT 和 DATAVALID 信号也是在主工作时钟的上升沿或下降沿工作,因此在 SRAM 与 D/A 转换器之间需用异步 FIFO。加入 FIFO 后,即实现探测器的读出时序,同时也起到了数据缓冲的作用。

模块设计采用 Verilog HDL 语言,利用 Active-HDL 7.1 软件来进行整个系统的设计。在分别对各个模块进行设计、仿真之后,再把各个分模块组合以完成整个系统设计。

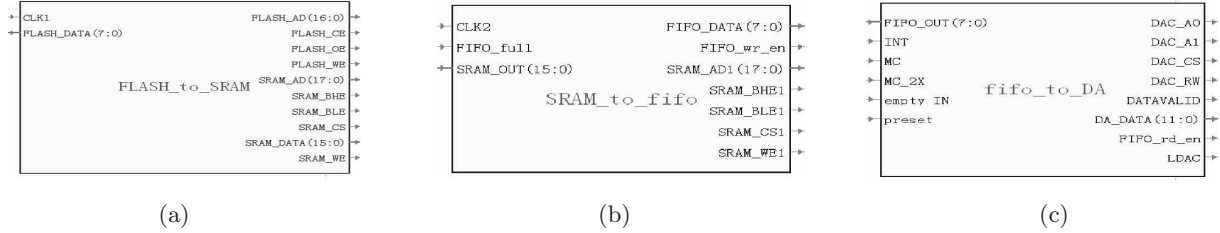


图 3 系统功能模块

4 仿真分析

为了检验设计模块功能的正确性, 常常需要将一系列的信号输入到已设计的模块, 并检查已设计模块的输出, 看它们是否符合设计要求。在这里我们采用测试基准 (Testbench) 来对设计进行验证。用 Verilog HDL 写一个测试模型发生器, 提供输入信号, 通过仿真软件 Active HDL7.1 观察验证设计的输出信号和时序是否与设计要求的输出一致。FLASH_to_SRAM 模块仿真波形见图 4。仿真波形给出 FLASH 的读信号和 SRAM 的写时序。

SRAM_to_fifo 模块的仿真波形见图 5。仿真波形给出 SRAM 的读信号和 FIFO 的写时序。CLK2 为异步 FIFO 的写时钟, FIFO_wr_en 为异步 FIFO 的写使能。

读出时序的仿真波形见图 6。仿真波形给出 FIFO 的读信号和 D/A 的写时序。MC 为异步

FIFO 的读时钟, FIFO_rd_en 为异步 FIFO 的读使能。MC_2X 用于 D/A 的写时序操作。其中给 D/A 的数据以模拟类型给出。为了显示的需要, 图像数据的有效时间设置为 30 个时钟周期。由仿真波形可知, 像素是在主工作时钟的下降沿输出的, INT 和 DATAVALID 信号也在主工作时钟的上升沿或下降沿工作。像素是从像素值的存储队 FIFO 读出的, 因此 DATAVALID 和 FIFO_rd_en 的时序是一样的。

积分时间控制信号 (INT) 从高到低的跳变到数据输出有效的的时间间隔由计数器 counter1 来控制。探测器输出数据有效的指示信号 (DATAVALID) 的宽度, 即图像帧长度, 由计数器 counter2 来控制, 通过该计数器可以设置不同空间分辨率的图像。INT 与 DATAVALID 信号仿真分析见图 7。

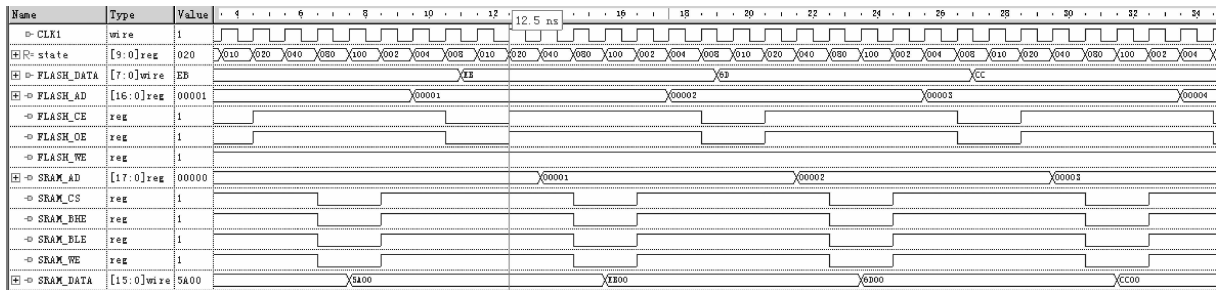


图 4 FLASH_to_SRAM 模块仿真波形

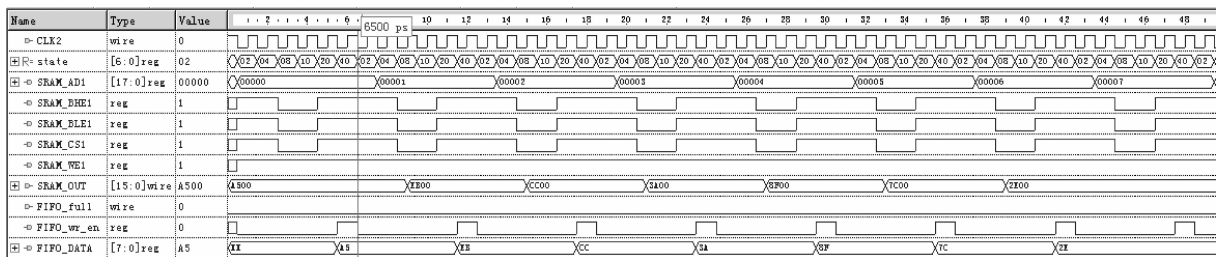


图 5 SRAM_to_fifo 模块仿真波形

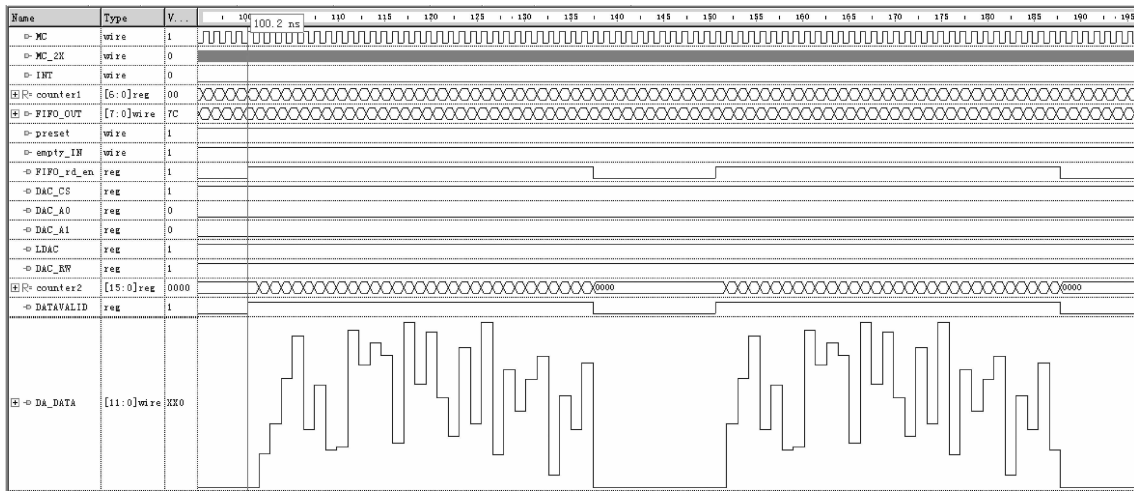


图 6 读出时序仿真波形

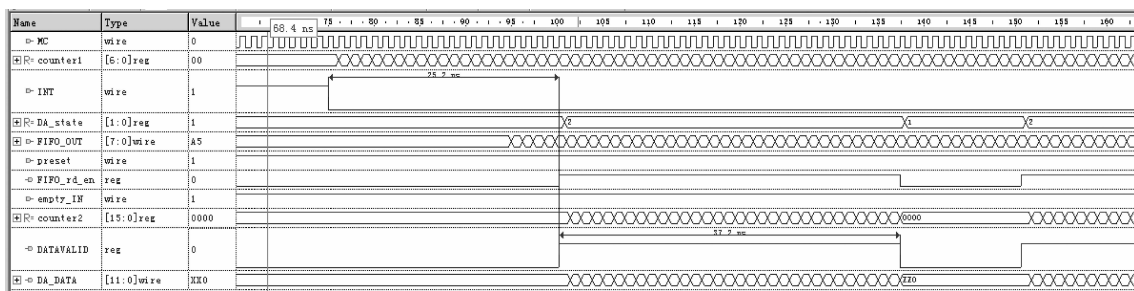
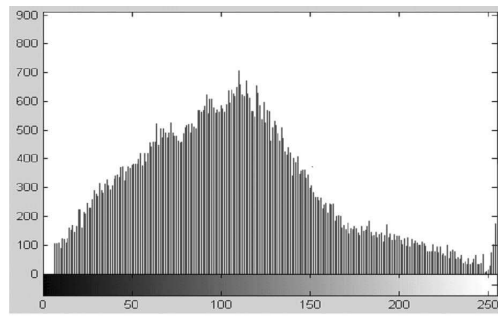


图 7 INT 与 DATAVALID 信号仿真分析



(a)

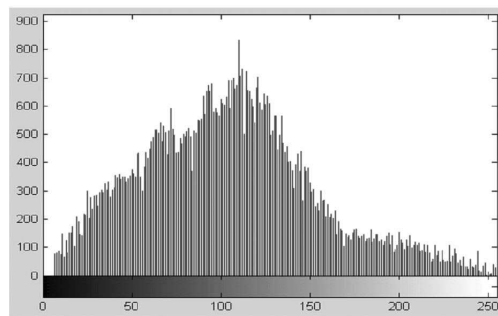


(b)

图 8 原始图像及其直方图



(a)



(b)

图 9 模拟系统生成的图像及其直方图

5 实验验证及结果分析

实验验证采用的原始图像是城市地面红外图像, 大小为 320×256 像素, 灰度级为 8bit。原始图像是实际红外焦平面阵列探测器获得的, 其红外系统结构包括: 红外焦平面阵列探测器 (320×256 元)、信号调理、信号采集 (14bit)、非均匀两点校正。图 8(a) 为原始图像。验证方法就是把红外系统结构的红外焦平面阵列探测器换成红外焦平面阵列探测器读出时序的模拟系统, 其他结构和非均匀校正方法不变。图 9(a) 是模拟系统生成的图像。

图 8(b) 是原始图像直方图。图 9(b) 为模拟系统生成的图像直方图。由原始图像和模拟系统生成的图像的直方图可看出, 该红外焦平面阵列探测器读出时序的模拟系统生成的图像和原始图像相差很小。两个直方图的成分覆盖范围基本相同, 像素的分布均匀性相差不大, 只有少量垂线高低相差较大。这些是由系统的随机噪声和 D/A 的误差造成的。

6 结论

该模拟系统可配置不同的空间分辨率, 也即阵列规格可设置为 128×128 元、 256×256 元、 256×320 元等规格。同时, 像素输出速率也可任意改变, 可以模拟多种不同的探测器像素输出速率。通过对模拟系统进行的仿真分析和相应的数据处理分析, 验证了低成本红外焦平面阵列探测

器读出时序的模拟系统的可行性。后期的实际应用表明, 该系统具有极高的工程实用价值, 在红外导引系统的研制开发方面发挥了极大作用。

参考文献

- [1] 孙维国, 黄水安, 等. 空空导弹光电探测器设计 [M]. 北京: 国防工业出版社, 2006.
- [2] 袁俊泉, 孙敏琪, 曹瑞. Verilog HDL 数字系统设计及其应用 [M]. 西安: 西安电子科技大学出版社, 2002.
- [3] 夏宇闻. Verilog HDL 数字系统设计教程 [M]. 北京: 北京航空航天大学出版社. 2002.
- [4] IEEE Standard Hardware Description Language Based on the Verilog Hardware Description Language [C]. IEEE Std, 1364-1995. IEEE, 1995.
- [5] J Bhasker. Verilog HDL Synthesis A Practical Primer [M]. Allentown (PA): Star Galaxy Press, 1997.
- [6] WILIAMS O M. Dynamic infrared scene projection: a review [J]. Infrared Physics & Technology, 1998, 39(7): 473-486.
- [7] 李卓. 红外动态图像生成技术 [J]. 红外与激光工程, 2006, 35(4): 388-391.
- [8] 赵勋杰, 李成金. 红外半实物仿真系统的关键技术 [J]. 红外与激光工程, 2007, 36(3): 326-328.
- [9] 徐向晏, 叶振华, 李志峰, 等. 中波双色光伏型 HgCdTe 红外探测器模拟研究 [J]. 红外与毫米波学报, 2007, 26(3): 164-169.
- [10] 葛炜, 王君, 梁列国. 576×6 红外焦平面阵列驱动电路的设计与实现 [J]. 激光与红外, 2007, 37(6): 530-533.

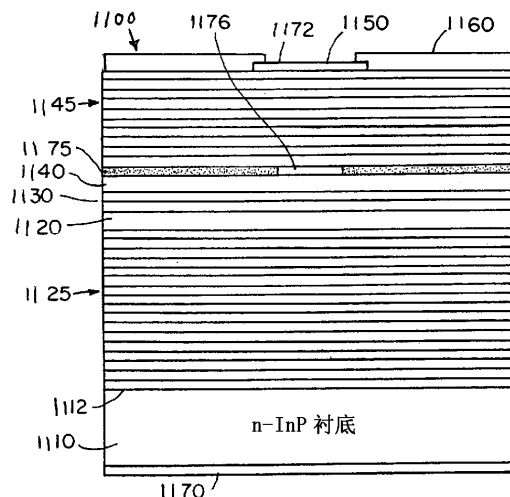
国外专利介绍

II 型量子阱中红外光电子器件

美国专利 US7256417
(2007 年 8 月 14 日授权)

本发明提供一种 II 型量子阱中红外光电子器件。该器件做在 InP 衬底上, InP 衬底上有一个激活区, 激活区中有一层 InAsN 或 InGaAsN 电子量子阱层和一层 GaAsSb 或 InGaAsSb 空穴量子阱层, 它们共同构成了一个 II 型量子阱。这种激活区可以用在以相对比较长的波长发射光辐射的各种器件中, 如发光二极管、放大器、表面发射激光器以及边缘发射激光器等。

本专利说明书共 16 页, 其中有 3 张插图。



高 编译