

文章编号: 1672-8785(2006)04-0005-05

# 双口 RAM 在 DSP 与红外干涉仪 通信系统中的应用

黄 焯, 方勇华, 熊 伟, 董大明

(中国科学院安徽光学精密机械研究所, 合肥, 230031)

**摘 要:** 提出了利用双口 RAM 实现 DSP 与红外干涉仪并行接口的设计方案, 以使双方进行高速通信。介绍了双口 RAM 器件 IDT7024 的原理与使用规则, 并针对设计方案给出了接口电路和软件流程。最后, 针对二者交换数据的仲裁方式, 提出了三种解决冲突争端的方法。

**关键词:** 双口 RAM; DSP; IDT7024; 干涉仪

**中图分类号:** TP334 **文献标识码:** A

## Application of Dual Port RAM in Communication System between DSP and Interferometer

HUANG Ye, FANG Yong-hua, XIONG Wei, Dong Da-ming

(Anhui Institute of Optics and Fine Mechanics, Chinese Academy of Sciences, Hefei 230031, China)

**Abstract:** A design method of dual-port RAM used in the interface between Digital Signal Processors (DSP) and an interferometer is presented, in order to enable the DSP to communicate with the interferometer at a high speed. The principle and operation rule of the IDT7024 are described. According to the design, the interface circuit and flow chart are also presented. Finally, three methods are proposed to prevent the conflict of two systems according to the arbitrated access to the data exchanged between both sides.

**Key words:** dual-port RAM; DSP; IDT7024; interferometer

### 1 引言

红外干涉仪作为一种数据采集仪器, 具有采集数据量大, 采集速率高的特点。为了与干涉仪进行实时通信和及时处理干涉仪采集到的信息, 作为实时信息处理器件的 DSP 系统必须与干涉仪采取一种高速的并行接口方案, 而常用的串口通信远远不能达到要求。USB 口通信模式比较复杂, 在 DSP 系统中常用的 FIFO 存储器不能满足双向读取的需求。在实际的双机通信系统中, 通过双口 RAM 实现并口通信是比较常见的。双口 RAM 具有以下优越的性能特点:

1. 两套完全独立的数据线、地址线、读 / 写控制线, 允许两个 CPU 同时对双端口存储器的同一单元进行存取;
2. 有两套完全独立的中断逻辑, 可实现两个 CPU 之间的握手控制信号;
3. 具有两套独立的“忙”逻辑, 可保证两个 CPU 同时对同一单元进行读 / 写操作的正确性;
4. 兼容性强, 读 / 写时序与普通单端口存储器完全一样, 存取速度几乎可以满足各种 CPU 的要求。

因此, 我们采用了双口 RAM 来实现 DSP 系

**收稿日期:** 2005-10-20

**作者简介:** 黄焯 (1972 —), 男, 现为中科院安徽光学精密机械研究所研究生, 主要从事傅里叶变换红外信号处理及硬件平台开发的研究。

统与干涉仪的高速通信。

## 2 双口 RAM 器件 IDT7024 的介绍

### 2.1 器件简介

IDT7024 是美国 IDT 公司采用高性能 CMOS 工艺生产的高速  $4k \times 16\text{bit}$  双端口静态 RAM，典型功耗为  $550\text{mW}$ ；最大存取时间为  $15\text{ns}$ ；工作环境为  $0^\circ\text{C} \sim 70^\circ\text{C}$ ；工作电压为  $5\text{V} \pm 10\%$ 。它可以作为 16 位双口 RAM 单独使用，也可以进行位扩展，将数据线扩展到 32 位，甚至更宽。这

样组成的双口 RAM 系统可以全速运行，而且无须任何额外的附加逻辑。IDT7024 提供了地址线，控制线以及 I/O 线是完全独立的两个接口，支持对器件的任何存储空间进行完全异步的读写操作。图 1 所示是 IDT7024 的结构框图。

### 2.2 器件使用

在单独使用一片 IDT7024 即不进行位扩展的情况下，IDT7024 的真值表如表 1 所示。

## 3 接口电路设计

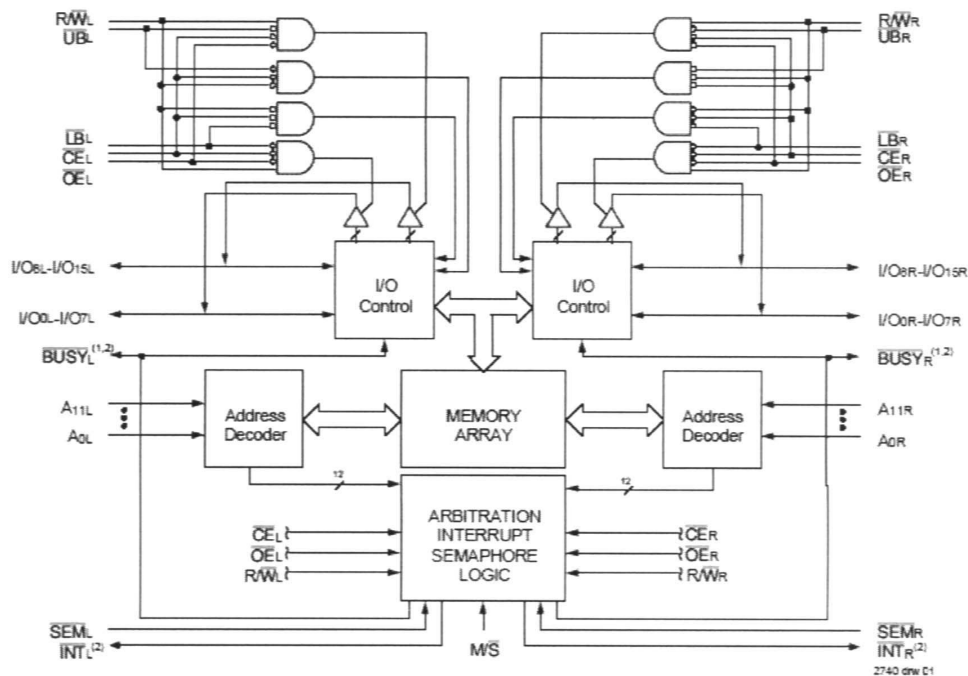


图 1 IDT7024 的结构原理框图

表 1 IDT7024 真值表

输入						输出		状态
CE#	R/W#	OE#	UB#	LB#	SEM#	I/O <sub>8~15</sub>	I/O <sub>0~7</sub>	
H	X	X	X	X	H	High-Z	High-Z	省电模式
X	X	X	H	H	H	High-Z	High-Z	端口禁止
L	L	X	L	H	H	DATA <sub>IN</sub>	High-Z	对高字节写操作
L	L	X	H	L	H	High-Z	DATA <sub>IN</sub>	对低字节写操作
L	L	X	L	L	H	DATA <sub>IN</sub>	DATA <sub>IN</sub>	对高低字节写操作
L	H	L	L	H	H	DATA <sub>OUT</sub>	High-Z	对高字节读操作
L	H	L	H	L	H	High-Z	DATA <sub>OUT</sub>	对低字节读操作
L	H	L	L	L	H	DATA <sub>OUT</sub>	DATA <sub>OUT</sub>	对高低字节读操作
X	X	H	X	X	X	High-Z	High-Z	高阻态

X：无关；H：逻辑高；L：逻辑低。

在我们设计的系统中, 干涉仪子系统负责数据采集, DSP 子系统负责信息处理。干涉仪采集干涉图数据, 将数据写入到双口 RAM 的指定存储单元。DSP 系统再将双口 RAM 中的数据转移入内存存储器, 进行 FFT 变换以及其他运算。

在双口 RAM 与 DSP 芯片之间, 我们采取 16 位数据线的接口宽度, 地址线 12 位, 可寻址空间应为  $4k \times 16\text{bit}$ , 即采用一片 IDT7024, 未进行任何总线扩展。理论上数据传输速率可以达到  $133\text{M byte/s}$ 。

在信息处理系统与干涉仪之间, 干涉仪系统通过一条数据线与信息处理系统上的扩展接插板相连。二者之间的接口信号定义如表 2 所示。

图 2 为两者之间的电路框图。

如图 2 所示, 双口 RAM 的左端与 DSP 相连, 作为 DSP 系统的扩展存储器。它们共同构成了信息处理系统。双口 RAM 的右端, 与干涉仪系统相连, 也可以认为是干涉仪系统的一个外存储器。为了保护干涉仪的处理器, 我们在双口

RAM 和干涉仪之间加了用于对信号进行隔离与调理电平的总线收发器 SN74LVTH16245。

#### 4 信息处理系统与干涉仪交换数据的仲裁方式

对于我们的系统来说, 两个子系统之间合适的仲裁方式是极为重要的。处理不好数据交换的仲裁, 就会使两个系统之间发生冲突。比如, 当 DSP 系统对双口 RAM 的一个存储单元进行写操作时, 如果干涉仪系统也对这个单元写入数据, 就必然导致写操作的错误。抑或是当干涉仪系统对双口 RAM 的某一存储单元进行读取时, 如果 DSP 也对这个单元进行读操作, 就会造成读数据的错误。我们采取了三种有效的仲裁方式, 用于解决两个系统之间的通信争端:

(1) 中断方式: 双口 RAM 提供了一种特殊的中断方式, 有别于其他芯片的中断。

IDT7024 左右两端各提供一个中断信号。存储阵列中的 FFEH 和 FFFH 单元被用做通信的信令字和中断源, 左端口向 FFFH 写入访问的同

表 2 信息处理系统与干涉仪的接口信号定义

总线名称	描述	总线名称	描述
D[15 ~ 0]	数据信号	CE#	片选信号
A[11 ~ 0]	地址信号	OE#	输出许可信号
LINT#	DSP 给干涉仪中断信号	RINT#	干涉仪给 DSP 中断信号
BUSY#	输入输出忙信号(同步)	R/W#	读写信号
GND	共地信号		

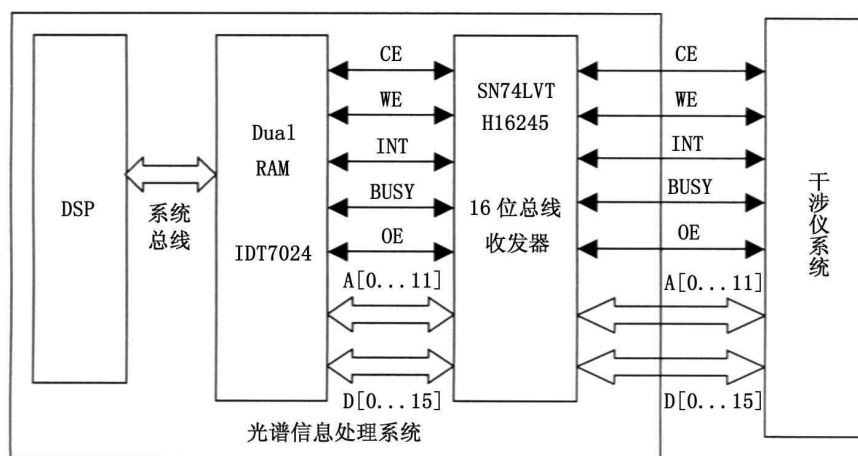


图 2 DSP 与干涉仪的接口框图

时，右端口的中断标志被设置，直到右端口进行读取 FFFH 时清除，右端给左端的中断方式与此类似。这样就可以有效地协调通信双方的读写操作。图 3 为双方接口的中断逻辑。

(2) 忙逻辑：当双口 RAM 的两个端口同时对某一个存储单元进行操作时，IDT7024 的忙逻辑 (BUSY) 将会有有一个硬件的指示，允许对其中的一个端口进行操作，将另一个端口置于等待状态。如果在接到 BUSY 信号时已经进行写操作，那么 IDT7024 的内部机制可以阻止写操作继续进行。

在我们的系统中，为了提高系统的稳定性，保证通信数据的正确，我们对 IDT7024 原有的忙逻辑进行了修改。硬件方面将双口 RAM 原有的两个 BUSY 信号求逻辑或，这个结果再与中断信号 INT 求逻辑或。这样，只要通信双方同时读写

同一个存储单元，系统就认为读写非法，同时中断双方的读写操作。这样可以提高双方交换数据的正确性。

图 4 为通信双方接口的 BUSY 逻辑时序。

(3) 软件协调：对于任何一个双机系统来讲，双方的软件设计都是避免争端冲突的重要环节。下一节将详细介绍软件方案。

### 5 软件设计方案

在我们的系统中，干涉仪 (右方) 主要负责发送数据，信息处理系统 (左方) 主要负责接受数据。信息处理系统的软件基于 TI 的 TMS320C6713，用 C 语言与线性汇编语言进行编程。通信部分的软件主要包括了两方面的内容：

(1) 系统自检，即右方向信令字单元 0xFFFFH 写入“5AH”，左方接到中断后，到 0xFFFFH 中读

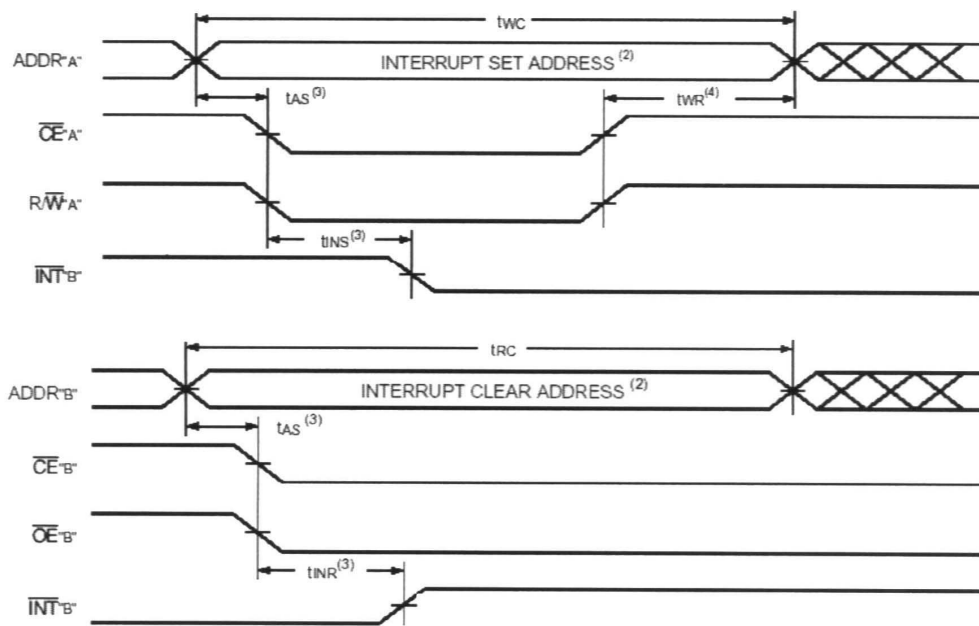


图 3 DSP 系统与干涉仪的接口的中断逻辑

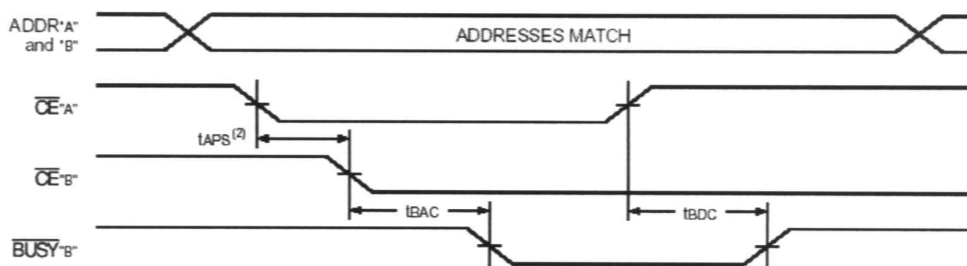


图 4 DSP 系统与干涉仪的接口的 BUSY 逻辑

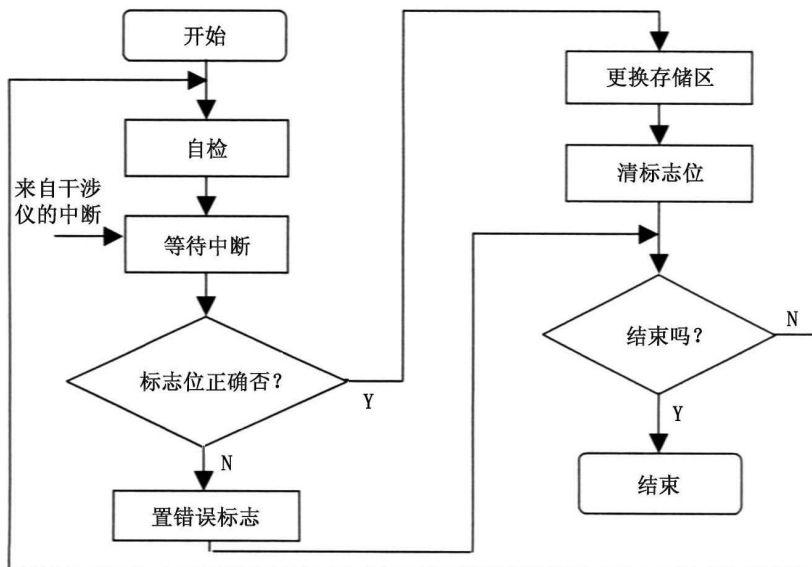


图 5 DSP 与干涉仪的通信流程

取数据, 如果是“5AH”, 说明通信正常, 反之亦然。(2) 传输数据, 右方向信令字单元 FFFH 写入 ‘A5H’, 在左方产生中断后, 左方读信令字单元 FFFH, 如果是 ‘A5H’, 说明在传输数据, 读完数据后, 向信令字单元 FFEH 写入 ‘AAH’, 表示读完。右方接到中断后, 读信令字单元 FFEH, 如果是 ‘AAH’, 表示传数据成功。

图 5 为基于 DSP 的通信程序流程图。

## 6 结论

用双口 RAM 芯片 IDT7024 实现的 DSP 系统与干涉仪的并行接口设计方案, 实现了干涉仪和信息处理系统的高速通信, 保证了整体系统

的实时性。设计中提到的中断、忙逻辑、软件协调三种模式, 有效地解决了两个系统之间的通信争端。整体系统已经通过调试, 信息处理系统与干涉仪可以良好地协调工作。整个系统运行稳定, 构成合理, 对相关系统设计有一定的参考价值。

## 参考文献

- [1] 李方慧, 等. TMS320C6000 系列 DSPs 原理与应用 [M]. 北京: 电子工业出版社, 2003.
- [2] 朱欣华. 多机系统中双口 RAM 的构成方法及应用 [J]. 测控技术, 1996, 15-2.
- [3] 熊伟. 基于 DSP 的红外实时信号处理软件设计 [D]. 中国科学院研究生院硕士学位论文, 2003, 7.

## 简 讯

### 双色红外导弹告警敏感器

目前飞机上使用的导弹告警敏感器大多在紫外波段工作, 它们主要是用来探测短程的肩扛式地对空导弹的, 其探测距离与威胁距离差不多, 为 3km ~ 5km。然而, 这个距离只有在具有带明亮排气火焰的较老式的导弹的情况下才能达到。现代导弹已开始使用可产生低强度火舌的新型推进剂。现有的紫外告警敏感器必须在非常短的距离内才能探测到这些威胁物, 这使得它的反应时间必须非常短。与紫外敏感器相比, 红外敏感器的探测距离却要远得多, 但它必须从复杂的背景中将目标提

取出来, 因而其虚警率非常高, 这也是迄今阻碍红外敏感器在导弹告警系统中部署的主要原因。降低虚警率的一种办法是利用导弹火舌与背景之间的光谱差别。通过仔细选择两个波段, 可以使导弹火舌与背景之间的反差达到最大化。

在 2005 年 5 月召开的“机载智能、监视、侦察系统与应用 II”的 SPIE 专题会议上, 荷兰 TNO 国防、保密与安全研究机构的研究人员介绍了一种在中波红外范围寻求两个波段的最佳组合的方法。该方法不但可以提高红外敏感器的探测距离, 而且还可以使红外敏感器能应付各种导弹推进剂。

□ 高国龙