

基于工业以太网的 H.264 煤矿视频监控系统

孙彦景, 钱建生, 张 徽, 吕巧艳

(中国矿业大学信电学院, 徐州 221008)

摘要: 在分析视频监控系统网络化趋势和实时性要求的基础上, 采用 DSP TMS320C6416 和 ARM 微控制器, 设计并实现了支持煤矿井下工业以太网传输的嵌入式 H.264 视频编码器。给出了系统结构原理及硬件设计, 实现了 DSP 编码算法和面向 RTP/UDP/IP 的 NAL 接口。测试表明, 系统能够进行高质量的视频网络化传输。

关键词: H.264/AVC; 嵌入式系统; 视频监控; 工业以太网

H.264 Video Monitoring System Based on Industrial Ethernet in Mine Coal

SUN Yanjing, QIAN Jiansheng, ZHANG Zheng, LV Qiaoyan

(School of Information and Electronics, China University of Mining and Technology, Xuzhou 221008)

【Abstract】 Depending on the analysis of the networking trend and the real-time demand of video monitoring system, DSP TMS320C6416 and ARM micro-controller are used to implement an embedded video encoder with industrial Ethernet interface. This paper presents the principle of system structure and hardware design, while finishes DSP encoding algorithm and NAL interface for RTP/UDP/IP. The test shows that the platform can support transmitting video flows in a high quality via Ethernet networks.

【Key words】 H.264/AVC; Embedded system; Video monitoring; Industrial ethernet

目前, 在煤矿使用模拟视频信号的煤矿工业电视监控系统已经不能满足煤矿综合自动化的技术发展, 新型的视频监控系统应在确保视频采集和压缩的实时性的同时, 支持视频流在工业以太网上的 IP 传输, 实现全矿信息化的数字化和网络化。

H.264/AVC 作为最新的视频编码标准, 定义了视频编码层(VCL)和网络提取层(NAL)。从框架结构上将 NAL 与 VCL 分离, 主要实现两个目的: (1)可以定义 VCL 视频压缩处理与 NAL 网络传输机制的接口, 这样允许视频编码层 VCL 的设计可以在不同的处理器平台进行移植, 而与 NAL 层的数据封装格式无关; (2)VCL 和 NAL 都被设计成工作于不同的传输环境, 异构的网络环境并不需要对 VCL 比特流进行重构和重编码。从 H.264 在 VCL 和 NAL 上优点来说, 它对于复杂多样的嵌入式应用环境是非常适用的, 提高了网络适应性, 从而保证了视频传输的 QoS。

基于以上分析, 本文提出了一种综合运用 DSP 和嵌入式 ARM 微控制器的嵌入式实时网络化视频方案。该方案采用全嵌入式设计, 具有可靠性高、体积小、环境适应性强的优点, 符合 IEEE802.3u 规范, 在保证图像质量的同时支持数字化视频流在煤矿工业以太网上直接传输。

1 基于工业以太网的视频监控系统

如图 1, 使用自行开发的 KJJ 系列隔爆型工业以太网交换机 1、2、3, 构成基于光纤传输介质的 100Mbps 单环冗余工业以太网, H.264 编码器设备使用 RJ45 双绞线连接到交换机, 速率 10/100Mbps 自适应。环网通过交换机 4 连接至矿区 Intranet 或地面监控主机。因此, 嵌入式视频编码器是视频监控系统实现的关键。

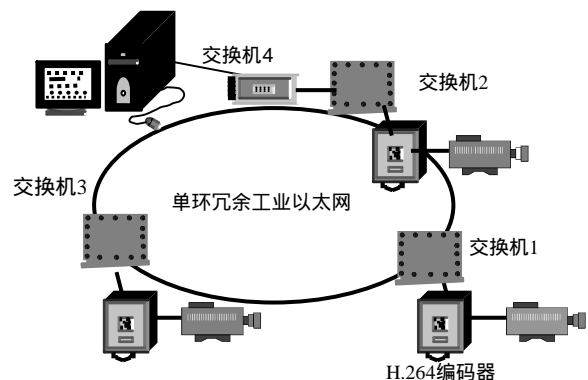


图1 基于工业以太网的视频监控系统

2 H.264 编码器系统设计

结合煤矿应用环境的特点, 其系统结构设计摒弃了传统的计算机扩展插卡的设计形式, 采用全嵌入式网络化设计。如图 2 所示, 以 TI 公司的高性能 C6416 系列定点 DSP 芯片和 Samsung 公司的嵌入式 ARM-S3C4510B 芯片为基础, 构建嵌入式视频编码器系统硬件平台, 支持通过嵌入式文件系统实现系统软件的在线升级。

系统主要由视频采集、视频缓冲、视频处理和视频传输 4 部分组成。CCD 摄像头获得的模拟视频信号经 A/D 转换为数字视频信号后, 视频信号通过高速 DSP 压缩成所需的数据

基金项目: 中国矿业大学校青年科研基金资助项目(OC4463)

作者简介: 孙彦景(1977—), 男, 博士生, 主研方向: 监测监控系统, 嵌入式系统, 网络优化; 钱建生, 教授、博导; 张 徽、吕巧艳, 硕士生

收稿日期: 2005-10-26 **E-mail:** yanjingsun@sohu.com

码流。视频压缩后的数据流由 S3C4510B 从 DSP 的数据接口 HPI32 读出,在嵌入式操作系统的 UDP/IP 协议栈,将数据打包,并运行 Web Server 服务器,等待客户端通过网络访问数据流,从而实现基于 Web 的嵌入式视频压缩编码系统。

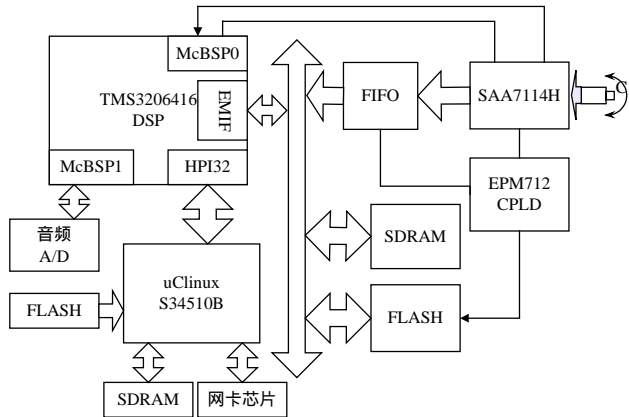


图2 系统结构原理

2.1 C6416 与 S3C4510B 接口模块

DSP 与微控制器的接口是通过 C6416 的主机接口 HPI32 实现的,为了确保数据吞吐量,使用 32 位总线,C6416 的主机接口和 PCI 总线引脚共用,设置 PCI_EN = 0,配置为 HPI 模式。这样做的优点是充分利用 DSP 的带宽资源,减少总线上的冲突,减轻 EMIF 总线压力。因为 DSP 为高速器件,S3C4510B 为低速器件,接口 DSP 采用异步从模式,即 DSP(slave),S3C4510B(master),这样 DSP 工作在从模式下,无须加入共享存储器模块,节省了开发的成本,同时也降低了开发的难度,其他相关控制信号线连接如图 3。因为 S3C4510B 有自己的地址和数据总线,所以地址选通信号 /HAS 接高电平,S3C4510B 通过内存分区(BANK)RCS5 访问 C6416 来传递数据。S3C4510B 配置了 64M SDRAM 在 RAM 分区 0,引导 BootROM 2MB 和文件系统 Intel Flash ROM 8MB 分别放在 ROM 分区 0 和 1。在 S3C4510B 上运行 VxWorks 实时操作系统,包括 TrueFFS 文件系统和嵌入式 Web 服务器。

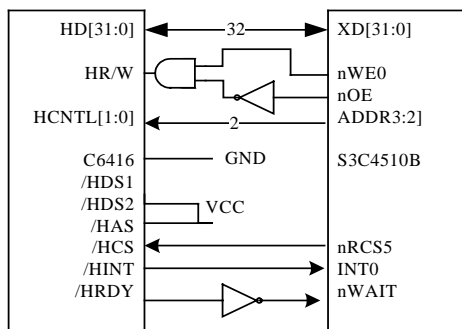


图3 C6416 和 S3C4510 接口

2.2 视频采集

该模块的主要功能是将 CCD 摄像头输入的模拟视频信号转换为数字信号。如图 4 所示,普通 CCD 摄像头的输出是 NTSC 制式(或 PAL 制式)的复合全电视信号 CVBS 或是 S-Video 信号,二者均为模拟信号。通过 Philips 公司的 TV 解码芯片 SAA7114H 将模拟 TV 信号解码并且模数转换为符合 CCIR.601 标准的数字视频信号,并且存储到 AVERLOGIC(凌泰)专用的视频帧 FIFO 芯片 AL4V8M440(8Mb)中,等待 DSP 处理。帧 FIFO 配置在 C6416 的 CE2 空间,CPLD 通过 SAA7114H 的输出状态信号以及 C6416 DSP 的相应输出控制

信号生成 FIFO AL4V8M440 的控制信号。通过检测 SAA7114H 输出的同步信号来生成 DSP 中断,通知 DSP 读取视频 FIFO 中已满的一场图像数据。

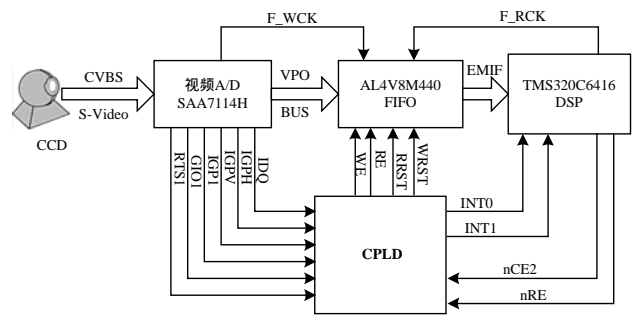


图4 视频采集模块

由于 H.264 的视频格式主要为 QCIF 和 CIF, QCIF 的 Y 信号规定为 176 点/行、144 行/帧,其色度信号 Cb 和 Cr 的规定为 88 点/行、72 行/帧,每个像素用 12 位表示; CIF 的 Y 信号的规定为 352 点/行、288 行/帧,其色度信号 Cb 和 Cr 的规定为 176 点/行、144 行/帧,每个像素用 12 位表示。H.264 标准中默认的输入位流为 4:2:0 形式,所以要对采集来的视频数据进行存储格式转换,即通过存储转换使视频流在 FIFO 中以 4:2:0 的 QCIF 或者 CIF 格式进行存放,这里称之为视频格式转换。

2.3 主处理器模块

TMS320C6416 是德州仪器(TI)公司最新推出的高性能定点 DSP,其时钟频率可达 600 MHz,最高处理能力为 4 800MIPS,该 DSP 具有 Viterbi 译码协处理器(VCP)和 Turbo 译码协处理器(TCP)。采用两级缓存结构:一级缓存(L1)由 128 kb 的程序缓存和 128kb 的数据缓存组成,二级缓存(L2)为 8Mb。有 2 个扩展存储器接口(EMIF),可以与异步(SRAM,EPROM)/同步存储器(SDRAM、SBSRAM、ZBTSRAM、FIFO)无缝连接,最大可寻址范围为 1 280MB;主机接口(HPI)总线宽度可由用户配置(32/16b)。由于需要处理的图像数据量非常大(对于 720*576 的图像需要 829 440B),而且系统频繁的转移数据,采用 64 位数据宽度的 SDRAM 对提高整体效率非常有用,所以配置 64 位宽 128 MB 的 SDRAM 在 A 总线 EMIFA 上,使用分区 CE0。FLASH ROM 用于存放程序,连接在分区 CE1,使用 16 位宽 B 总线 EMIFB,共 8MB。帧 FIFO 配置在分区 CE2,用于存放 A/D 采集的像素,由 CPLD 控制写入,DSP 读出数据进行压缩处理,具体流程如图 5 所示。

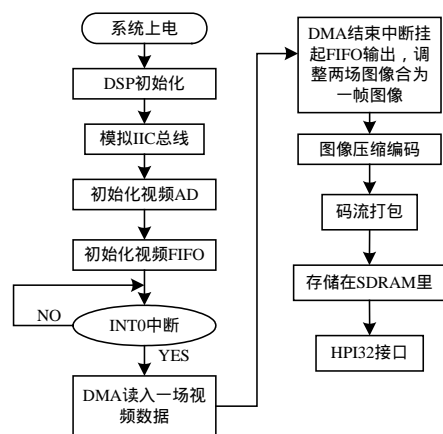


图5 系统工作流程

