

高性能通用并行信号处理模块的设计与实现

胡善清, 刘峰, 龙腾

(北京理工大学电子工程系, 北京 100081)

摘要: 为满足信号处理领域不断增长的任务需求并适应不同的应用场合, 设计高性能通用并行信号处理模块, 进而构建各类信号处理系统是一种趋势。基于对共享总线和分布式两种并行结构的理论分析, 结合信号处理系统的特点, 设计了一种高性能通用并行信号处理模块, 它具有标准化、模块化、可扩展、可重构、混合并行模式、多层次互联的特性, 通过构建典型信号处理系统验证了这些特性。

关键词: 信号处理; 并行处理; TS201; FPGA

Design and Realization of High-performance Universal Parallel Signal Processing Module

HU Shanqing, LIU Feng, LONG Teng

(Department of Electronic Engineering, Beijing Institute of Technology, Beijing 100081)

【Abstract】 In order to satisfy the increasing task needs in signal processing field and to deal with different application occasion, it becomes one tendency to design high-performance universal parallel signal processing module and further to set up series of signal processing systems. Based on the theoretical analysis about shared bus parallel architecture and distributed one, combining with the characteristics of signal processing system, one kind of high-performance universal parallel signal processing module is designed. The module has the characteristics of standardization, modularization, scalability, restructure, hybrid parallel processing pattern, and multi-layer interconnection. These characteristics are validated through constructing the typical signal processing system.

【Key words】 Signal processing; Parallel processing; TS201; FPGA

随着技术的发展, 在雷达、通信等领域, 所需处理的任务规模越来越大。虽然随着VLSI技术的发展, 已产生了运算能力达每秒几十亿次的处理器, 但还远远不能满足这些领域的需求。而VLSI技术的发展已受到其开关速度的限制, 进一步提高处理器的主频所遇到的困难越来越大。为此, 把用于大型计算机的并行处理技术应用到信号处理中来, 在信号处理系统中引入并行多处理器技术是必然趋势^[1]。传统信号处理系统设计一般针对特定场合, 先确定算法, 再根据算法确定系统结构, 由于系统结构与算法严格相关, 因此通用性较差。随着一些标准技术(标准板型、接口、互联协议等)在信号处理系统中的应用, 设计标准化、模块化的通用型处理模块成为了可行。而且所设计的处理模块还要可扩展、可重构, 进而根据不同的应用场合和算法来构建各种信号处理系统。

1 并行处理结构模型

普遍的两并行处理结构如图1所示, 一种是共享总线结构, 另一种是分布式并行结构。其中, P(Processor): 处理器, M(Memory): 存储器, MB(Memory Bus): 存储器总线, NIC(Network Interface Circuitry): 网络接口电路。共享总线结构中多个处理器P经由高速总线连向共享存储器, 每个处理器等同地访问共享存储器、I/O设备和操作系统服务。分布式并行结构中多个处理节点通过高通信带宽、低延迟的定制网络互联, 每个处理节点都有物理上的分布存储器, 节点间通过消息传递相互作用^[2]。

并行处理的目的是采用多个处理器同时对任务处理从而

减小任务执行时间, 它主要反映在加速比(S)和并行效率(E)上。加速比是指对于一个特定应用, 并行算法的执行速度相对串行算法加快了多少倍。效率则是针对每个处理器来衡量的。依据并行处理的可扩展性(Scalability)评测中的等效效率度量标准可从理论上评测这两种结构。

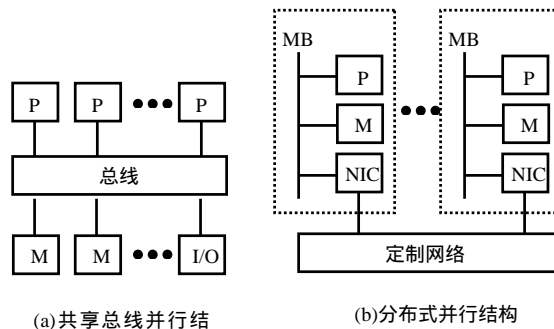


图1 并行处理结构模型

首先考虑共享总线结构。设 t_o^i 和 t_o^i 分别是并行系统上第 i 个处理器的有用处理时间和额外开销时间。设每个处理器上子任务的运算量和通信量之比为 r , 即平均 r 次运算中有一个数据需要交换。总线被 p 个处理器轮流访问, t_{io} 是处理器完

基金项目: 国家部委预研基金资助项目(41307050601)

作者简介: 胡善清(1980-), 男, 博士生, 主研方向: 高速实时信号处理系统; 刘峰, 讲师; 龙腾, 教授

收稿日期: 2006-05-18 **E-mail:** hushanqing@bit.edu.cn

成一次总线存取所需的相对时间，等效为处理器运算能力和总线访问能力之比。

一般情况下，总的处理时间和额外开销时间如下：

$$T_e = \sum_{i=0}^{p-1} t_e^i, T_o = \sum_{i=0}^{p-1} t_o^i$$

假设任务均匀分成 p 部分，就有： $T_e = p t_e$ 。

在最坏情况下，p 个处理器总是同时访问总线，考虑最后得到总线访问权的处理器：

$$T_o = \max(T_o^i) = p \frac{t_e}{r} t_o$$

T_p 是每个处理器上并行算法运行时间，在最坏情况下：

$$T_p = t_e + T_o$$

设问题规模 W 为最佳串行算法完成的计算量，即 $W = T_e$ ，

则有加速比：

$$S = \frac{T_e}{T_p} = \frac{p}{1 + \frac{T_o}{t_e}} = \frac{p}{1 + p \frac{t_o}{r}}$$

效率为

$$E = \frac{S}{p} = \frac{1}{1 + p \frac{t_o}{r}}$$

显而易见，共享总线系统的并行效率随着处理器数目 p 的增大而下降。

而在分布式并行系统中，理想情况下任一时刻都可有两个处理器通过其通信口相互交换数据，设一个通信口传送一个数据的相对时间为 t_{comm} ，等效为处理器运算能力和通信口传输能力之比。同时，假设每次交换还需对本地存储器访问。

这样就有通信开销：

$$T_o = \frac{t_e}{r} (t_{io} + 2t_{comm})$$

加速比为

$$S = \frac{p}{1 + \frac{t_{io} + 2t_{comm}}{r}}$$

效率为

$$E = \frac{1}{1 + \frac{t_{io} + 2t_{comm}}{r}}$$

加速比和处理规模 p 成线性关系，并行效率与 p 无关。

以上所讨论的是假设任意两个处理器之间可以直接进行数据交换，而在实际情况下，尤其是处理器数目 p 多于处理器的通信口数量时，两个非直接相连的处理器之间的数据交换所需开销与其经过的路径成正比关系。但这并不影响以上讨论的公式。因为在规则网络拓扑结构中最大或平均路径是一个定值 n，那么这时，分布式并行系统的加速比公式为

$$S = \frac{p}{1 + \frac{t_{io} + 2nt_{comm}}{r}}$$

可见，分布式并行系统在这种情况下同样能获得线性加速比。

由以上的理论分析可知，共享总线并行结构适合共享存储编程模型，进行细粒度的并行处理，但其扩展性能较差，处理器的数目有限，单机处理性能有限；分布式并行结构采用消息传递的机制，适合进行粗粒度的并行处理，便于大规模的系统扩展，提供强大的整体性能。

2 处理模块的设计实现

由于信号处理算法的复杂性，信号处理系统具有复杂多样的并行处理模式，如基于空间的数据并行处理、基于时间

的流水并行处理等。另外，信号处理系统具有多种类型的数据流，如原始数据流（AD 采集之后的数据流）、中间数据流（各处理节点之间传递的数据流）、定时同步信号以及控制数据流等。这些不同的数据流的传输带宽不同，因此系统中要有与这些不同数据流相匹配的互连网络。

高性能通用并行处理模块是构建信号处理系统的基础。它除了选用高性能的处理器外，为了具有通用性，还要具有标准化、模块化、可扩展、可重构的特点，以便构建各类信号处理系统。同时为了适应信号处理系统复杂并行处理模式和多种数据流的特点，它要具有混合的并行模式和多层次的互连网络。基于这些要求和上文中对并行处理结构模型的理论分析，笔者选用当前业界最高性能的浮点 DSP 芯片 TS201 和大规模 FPGA，设计了一个标准化、模块化、可扩展、可重构、混合并行模式、多层次互联的高性能通用并行处理模块。图 2 是其结构框图。该处理模块选用标准 cPCI 6U 板型，板内集成了两个处理节点，同时可承载两个 PMC 子板。

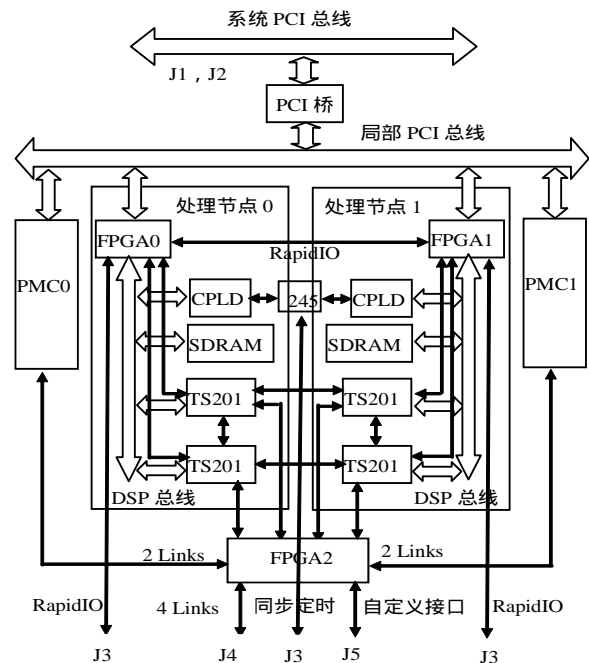


图 2 处理模块结构

2.1 DSP + FPGA 共享总线型处理节点

信号处理系统中，低层的信号处理算法处理的数据量大，对处理速度要求高，但运算结构相对简单，适于用 FPGA 实现，这样能同时兼顾速度及灵活性。高层处理算法处理的数据量较低层算法少，但算法的控制结构复杂，适于用运算速度高、寻址方式灵活、通信机制强大的 DSP 来实现^[3]。

为此，笔者所设计的处理模块主要包括 DSP、FPGA、SDRAM 和 CPLD。DSP 主要实现数据的高层算法处理，FPGA 实现对外的接口，并可对输入输出的数据进行低层算法预处理，SDRAM 用来缓存数据，CPLD 用来实现一些辅助逻辑。

选用的 DSP 芯片是 ADI 公司的 TS201，单片处理能力 3.6GFLOPs，内核时钟频率 600MHz，片内存 24Mbit，125MHz/64bit 片外总线，具有 1GB 的 SDRAM 访问能力，还有 4 个 Link 口，每个 Link 口收发独立，最高带宽 1.2GB/s^[4]。所有特点都使得 TS201 适合多片扩展，构成一个大规模高性能的信号处理系统。

选用的 FPGA 芯片为 Xilinx 公司的 Virtex II pro 系列

XC2VP20, 它的规模约 200 万门, 内部集成了 1 584Kbit 的 RAM, 88 个 18×18 bit 的乘法器, 8 个传输速率可达 3.125Gbps 的 RocketIO 高速通道^[5], 这些特点使得该 FPGA 适合实现数据的传输和预处理。而且它的管脚兼容 XC2VP30/40, 可实现 FPGA 规模的进一步扩展。

每个处理节点包括两片 TS201, 一片 FPGA, 最高 4GB 的 SDRAM, 以及一片 CPLD, 并共享总线。之所以只用两片 TS201, 是考虑到总线上设备太多, 会使得总线时钟频率降低, 带宽变小, 并行度和效率都不高。两片 TS201 共享总线充分发挥了处理能力、传输能力、存储能力的匹配性。TS201 总线上的 SDRAM 最高支持 1GB 的空间, 通过 CPLD 进行逻辑控制, 可使 SDRAM 扩展到 4GB, 增加了存储能力, 适应大容量存储应用的场合。

2.2 多层次互连网络

互连网络是构建一个并行处理系统的关键。本处理模块利用系统 PCI 总线, TS201 的 Link 口, 基于 FPGA 的 RocketIO 物理通道实现的串行 RapidIO 协议, 以及利用 CPLD 实现的同步定时总线, 构成了不同层次的互连网络, 以便适应信号处理系统中不同类型的数据流传输。

cPCI 标准通过 J1、J2 连接 64bit 系统 PCI 总线, PCI 桥把系统 PCI 总线转换为局部 PCI 总线。每个处理节点通过 FPGA (FPGA0 和 FPGA1) 实现 PCI 接口, 两个处理节点和两个 PMC 子板共享局部 PCI 总线, 并通过 PCI 桥与系统 PCI 总线连接在一起。这使得系统主控模块可以通过 PCI 总线实现对每个处理节点以及 PMC 子板的控制。同时各个节点之间也可通过 PCI 总线交换数据。但由于总线的限制, 只能实现一些低速、非实时的数据交换。

TS201 具有 4 个高速 Link 口, 可实现多片 TS201 之间的高速数据传输。对于板内的 4 片 TS201, 利用各自两个 Link 口构成一个环形 Link 连接, 使得板内 4 片 TS201 紧密耦合在一起。另外, 每片 TS201 的一个 Link 口共 4 个 Link 口连到 FPGA2 (称之为 Link Switch) 上, 同时每个 PMC 的 PJ4 上也定义两个 Link 口, 板卡的 J4 上定义 4 个 Link 口, 所有这些 Link 口都连到 FPGA2 上。通过 FPGA2, 可以灵活地配置板内、板内与 PMC 子板、板间不同节点构成不同的 Link 互连网络。并且利用 FPGA 的动态加载功能, 可以动态地配置不同的 Link 互连网络结构。FPGA2 同时还与 J5 上的 32bit 自定义接口连接, 可实现一些用户自定义接口。同时每个处理节点内的两片 TS201 还有一个 Link 口都连到了节点内总线上的 FPGA (FPGA0 和 FPGA1), 与该 FPGA 对外的串行 RapidIO 接口相配合, 实现外部串行 RapidIO 数据流和 TS201 内部数据的交换。Link 口具有大带宽、低延时的特点, 因此适合用来传输原始数据流和一些带宽大、实时性强的中间数据流。

串行 RapidIO 是基于包交换的第三代互联协议。相比 TS201 的 Link 协议它具有更为完善的分层协议定义 (包括逻辑层、传输层和物理层), 该协议使得模块具有更强的通用性, 不仅可以与同类型的各模块互联, 还可以与任何具有串行 RapidIO 接口的异构模块互联。利用 FPGA 的 RocketIO 物理通道, 通过 FPGA 编程可实现串行 RapidIO 协议。FPGA0 和 FPGA1 通过 4 个 RocketIO 通道直接相连, 可实现二者之间 4 个 $1 \times$ 模式或 1 个 $4 \times$ 模式的串行 RapidIO 接口。同时 FPGA0 和 FPGA1 还各自通过 4 个 RocketIO 与 J3 相连, 这样通过 J3, 处理模块就可以以 8 个 $1 \times$ 模式或 2 个 $4 \times$ 模式的串行 RapidIO 接口与其他模块互联, 构成多个模块之间的串行

RapidIO 互连网络。串行 RapidIO 网络也具有大带宽的特性, 而且相比 Link 口具有更为完善的协议控制, 但正是由于复杂的协议控制使得它的传输延时相比 Link 口更大。因此它可与 Link 网络形成很好的互补, 用来传输大带宽、延时要求不高的数据流。

在 J3 上定义了 8bit 同步定时信号, 用来实现各个节点之间的同步定时控制。这些信号通过 245 驱动后与每个节点内部的 CPLD 相连。每片 TS201 可通过中断或读写寄存器等方式对节点内的 CPLD 进行操作, 进而通过 CPLD 内部逻辑产生相应的同步定时信号进行各个节点之间的同步。245 的双向性使得每个节点既可以发出同步信号, 也可以接收同步信号, 更加灵活。

该模块所有对外的互连接口都是通过 J1 ~ J5 插插件连接, 这样就可以在底板上把各个模块之间的各个接口连接起来。而且既可以使用固定拓扑结构的无源底板, 也可以使用带有交换芯片的有源底板或专门的交换板, 灵活构建各类互连网络。

3 应用验证

该处理模块具有通用化、可扩展、可重构的特点。可根据不同的需求, 通过增减处理模块来改变处理能力, 通过改变各模块之间的互连形式来适应不同的算法。下面以基于该处理模块构建数据并行的相控阵雷达信号处理系统来验证这些特点。

图 3 是以该处理模块构建的某相控阵雷达信号处理系统结构框图。该系统采用光纤与相控阵天线阵列之间传输数据, 把光纤接口板做成标准 PMC 板型, 可以集成在处理模块中。每个处理模块集成两个光纤接口板, 一个光纤接口板接收一个子阵的回波数据, 并通过处理模块上每个 PMC 板卡的 PJ4 上定义的 Link 口, 经 Link Switch 把数据传给每个处理节点。每个处理节点对数据进行波束形成, 然后再把形成的子阵波束通过 J3 定义的串行 RapidIO 接口传给进行子阵级波束形成的处理模块。该模块进行子阵级波束的形成以及其他雷达信号的处理, 并承载 PMC 板型同步定时模块, 由其产生系统中各个模块的同步定时信号, 使各个模块同步工作。该处理系统采用数据并行的处理模式, 每个节点处理一个子阵的回波, 可以通过增减处理节点来灵活适应天线阵列的增减。

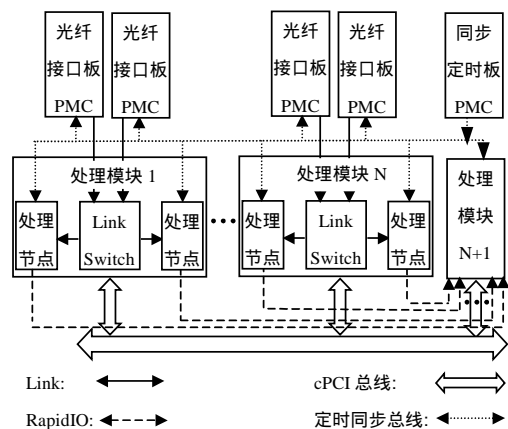


图3 某相控阵雷达信号处理系统

4 总结

并行处理是解决信号处理领域任务规模不断增大、问题不断复杂的关键技术, 本文在分析了共享总线和分布式并行 (下转第 257 页)