

含存储器数字电路系统的自动测试生成

成本茂, 杨士元, 王 红, 鞠艳秋

(清华大学自动化系, 北京 100084)

摘要:已有的数字电路自动测试生成(ATPG)软件没有存储器的结构模型,不支持对存储器电路的自动测试生成。该文分析了2类存储器的功能特征,提出了面向测试的ROM和RAM结构模型的建立方法,其中,ROM根据所储存的数据等效成组合电路模型, RAM利用新建立的RAMBIT基元等效成利于测试的时序电路模型。将其应用于ATPG软件中,解决了含存储器数字电路的自动测试生成问题。

关键词:存储器;结构模型;自动测试生成;故障仿真

ATPG for Digital Circuits with Memory Chips

CHENG Ben-mao, YANG Shi-yuan, WANG Hong, JU Yan-qiu

(Automation Department, Tsinghua University, Beijing 100084)

【Abstract】 Two new structural models of ROM and RAM for testing are given, which can be used as testing primitives in the digital automatic test pattern generation(ATPG) systems. Test patterns for circuits with ROM chips are generated automatically after ROM's converting to a combinational model, while the ATPG problems for circuits with RAM chips are also resolved after RAM is equivalent to a sequential model.

【Key words】 memory; structural model; automatic test pattern generation(ATPG); fault simulation

1 概述

在数字电路规模不断增大的同时,对于电路易维护性和易检测性的要求也在日益增长,使得数字电路测试和诊断自动化显得越来越重要^[1]。为了满足数字电路系统的测试和诊断需求,笔者曾经开发了一套数字电路系统故障诊断测试集的自动生成软件Octopus100^[2]。该系统根据电路的结构信息自动生成测试向量并进行故障定位,免去了人工开发测试集的繁琐程序,提高了数字电路测试和诊断的效率。Octopus100系统测试开发的流程主要包括3个环节:(1)根据算法的需要获取电路的结构信息;(2)根据电路的特点选择核心算法(组合或时序电路的测试生成算法),针对故障产生测试向量;(3)通过故障仿真形成故障字典,并转换成IEEE1445标准^[3]格式文件供ATE使用。系统开发的第1个环节中,须获取的电路结构信息有网表信息和基本的元件信息,而电路中的各个元件作为测试生成的基元,在测试生成时都应该以系统所识别的元件模型存在,以便测试生成前对电路进行预处理。目前该系统可以识别以LASAR结构模型语言 Modcom格式^[4]描述的器件模型,元件种类几乎涵盖了通用的74/54系列和CMOS 4000系列的芯片。但是一些规模较大、集成度较高的芯片,如存储器ROM、RAM,在原来开发的数字电路故障诊断测试集自动生成系统的元件库中没有与之对应的模块,因此,含有存储器芯片的数字电路无法自动生成故障诊断测试集。

为解决含有存储器数字电路的自动测试生成问题,必须建立存储器模块的结构模型。由于模块嵌入在系统中,无法对模块直接测试访问^[5],因此所建立的模型除了功能与原模块等效外,还必须有利于系统的测试生成,即模型必须同时利于故障的激活和传播。本文在充分分析2类存储器功能特征的基础上,从面向测试的角度提出了ROM和RAM结构模型的建立方法。该模型符合Modcom的描述格式,从而可以利用

原有的数字电路故障诊断自动测试生成平台,对含存储器的数字电路系统进行自动测试生成。

2 ROM 结构模型

ROM作为只读存储器,其存储的数据是不随时间变化的,即对一片特定的ROM输入一个地址,必会有确定的数据与之对应,数据(输出)与地址(输入)之间的对应关系不会在不同的时钟发生变化,这正是组合电路的特征,因此,可以考虑将ROM地址与数据的对应关系转化为组合电路输入和输出的逻辑关系。基于这种思路,本文开发了针对ROM所存数据的自动综合工具,用以建立ROM面向测试的器件模型。

2.1 模型的建立

ROM模型的建立由笔者开发的ROMgen工具完成,包括以下3个步骤:

(1)读入ROM封装信息(芯片的名称、地址线和数据线的引脚号,控制线的引脚号以及有效电平)和ROM中的数据(用户直接输入或者读取存有ROM中数据的文本文件);

(2)对ROM中的数据进行综合;

(3)输出符合Modcom描述格式的标准las文件(该文件可以被Octopus100识别)。ROM建模的核心是根据ROM的封装信息对ROM中的数据进行综合。

以ROM芯片AM27S29为例,这是一个 $2^9 \times 8$ 的ROM,假定其存储的数据如表1所示(未列出的地址空间其所存的数据缺省为0000 0000)。

基金项目:国家“973”计划基金资助项目(2005CB321604)

作者简介:成本茂(1968-),男,博士研究生,主研方向:VLSI测试与可测性设计;杨士元,教授、博士生导师;王 红,讲师、博士;鞠艳秋,硕士研究生

收稿日期:2007-01-10 **E-mail:** zchengbm03@mails.tsinghua.edu.cn

表 1 ROM 中所存数据

地址	数据
00111111	10111111
01011110	11000000

取地址 00111111 对应的数据, 有 $D_7 = 1$, 产生与门 $d_{7-1} = \bar{A}_8 \bar{A}_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$ 。 $D_5 \sim D_0$ 均为 1, 因此产生 6 个同样的与门, 输出分别为 $D_5 \sim D_0$ 。 对应地址 01011110, 分别产生与门

$$D_{7-2} = \bar{A}_8 A_7 \bar{A}_6 A_5 A_4 A_3 A_2 A_1 \bar{A}_0$$

和

$$D_6 = \bar{A}_8 A_7 \bar{A}_6 A_5 A_4 A_3 A_2 A_1 \bar{A}_0$$

D_7 对应的 2 个与门 D_{7-1} 和 D_{7-2} 相或。 最后输出的结构模型文件如下:

```

MODEL;
100:NA/CE_/;208:NA/A8/;207:NA/A7/;
206:NA/A6/;205:NA/A5/;204:NA/A4/;
203:NA/A3/;202:NA/A2/;201:NA/A1/;200:NA/A0/;
D7-1:AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
D7-2:AN/208,A7,206,A5,A4,A3,A2,A1,200,100/;
D7: OR/D7-1,D7-2/;
D6: AN/208,A7,206,A5,A4,A3,A2,A1,200,100/;
D5: AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
D4: AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
D3: AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
D2: AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
D1: AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
D0: AN/208,207,A6,A5,A4,A3,A2,A1,A0,100/;
INPUTS:A8=19, A7=18, A6=17, A5=16, A4=5, A3=4, A2=3,
A1=2, A0=1, CE_=15;
OUTPUTS:D7=14,D6=13,D5=12,D4=11,D3=9,D2=8,D1=7,D0=6;
ENDMODEL;
    
```

其中, $A_0 \sim A_8$ 为地址线; $D_0 \sim D_7$ 为数据线; $CE_$ 为使能端; $AN/OR/NA$ 为“与/或/非”门类型关键字; 200~208 为中间节点; $INPUTS$ 和 $OUTPUTS$ 中等式右边的数字均表示在芯片中该引脚的标号。

ROM 中数据综合的流程如图 1 所示。

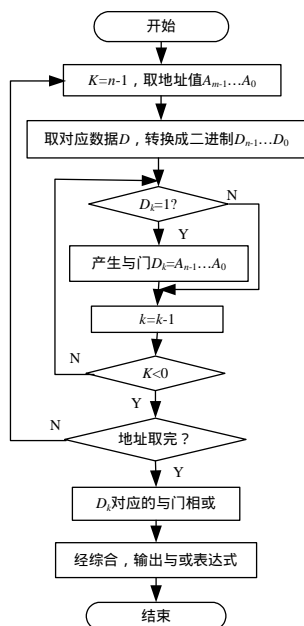


图 1 ROM 综合流程

2.2 模型的功能验证

ROM 模型的功能验证主要验证单元所存储的数据是否与建模时获得的实际数据相符, 由此确保模型的正确性。 本文选择第三方软件 LASAR^[4] 验证模型的正确性。 LASAR 是由 Digitest 公司与 Teradyne 公司合作开发的数字电路功能测试和故障诊断的仿真分析软件, 主要用于电路板及元器件的设计验证、测试向量生成、集成电路故障诊断等工作。 LASAR 软件以其精确的电路仿真能力、高效的测试激励分析能力、完善的电路建模功能、客观的测试激励评价能力和标准的数据格式, 成为数字测试程序开发的国防工业标准, 是目前美国军方验收数字电路测试程序集 (TPS) 开发的主要评测依据。 功能验证原理框图见图 2。

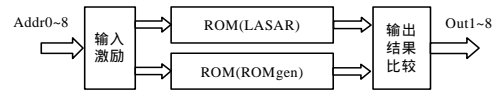


图 2 ROM 结构模型功能验证

验证中利用 ROMgen 综合工具得到结构模型, 以 LASAR 建立同一片 ROM 的功能模型为对比参照。 在 LASAR 环境中进行仿真, 加同样的激励, 比较 2 个模型在功能上是否具有 consistency, 其中, 输出结果比较电路为逐位的异或比较。 以一个 $2^9 \times 8$ 的 ROM 为例, 000~00F 单元分别存储数据 00~0F, 其余地址存储的数据为 00, 仿真结果如图 3 所示, 其中, $Addr0 \sim 8$ 表示 8 位地址, $Out1 \sim 8$ 表示异或的输出结果。 结果显示, $Out1 \sim 8$ 均为 0, 说明综合得到的结构模型是正确的。

Pattern	:1
TIME ns	:0 1000 2000 3000 4000 5000 6000 7000 8000
OUT1	>XXXXX m m m m m
OUT2	>XXXXX m m m m m
OUT3	>XXXXX m m m m m
OUT4	>XXXXX m m m m m
OUT5	>XXXXX m m m m m
OUT6	>XXXXX m m m m m
OUT7	>XXXXX m m m m m
OUT8	>XXXXX m m m m m

图 3 功能验证结果

3 RAM 结构模型

RAM 的结构比较复杂, 无法得到与 ROM 类似的组合化模型。 如果全部展开成时序电路模型, 会大大增加电路的复杂程度和测试生成时间, 而且结构的冗余会降低故障覆盖率。 本文针对一类含少量 RAM 芯片的电路, 采取结构化的测试生成方法, 从利于测试的角度出发, 将 RAM 等效成时序电路模型。

3.1 RAMBIT 基元

RAM 建模的方法是在 Octopus100 的基元库中增加一位数据 RAM 的基元 RAMBIT, 其有 3 个输入端, 分别为读信号 RD、写信号 WR、有效地址 ADDR。 1 个双向端口为数据 D; 内部由触发器、三态门和一些基本逻辑门组成。 这个模型主要是从功能上保证在地址有效时, 通过 RD 和 WR 的有效电平来控制对存储单元的读写, 并且在测试时不影响对外引脚故障的激活和传播。 由于针对的是含少量 RAM 芯片的电路, 测试生成的重点是对 RAM 芯片引脚以及外围电路的故障检测, 因此该方法可行。 对于含大量 RAM 芯片的存储器电路, 可采用比较成熟的 RAM 功能测试方法, 如走步法 (Walking)、奔跳法 (Gallop ing)、行进法 (Marching) 等^[6]。

3.2 RAM 时序模型

在上述 RAMBIT 基元的基础上, 利用针对 RAM 的综合工具 RAMgen, 依据输入的 RAM 芯片信息, 可以综合出对

应该 RAM、符合 Modcom 描述格式的 las 文件。

RAMgen综合的过程就是根据RAM芯片的地址引脚、数据引脚和控制引脚的定义，利用RAMbit基元和基本门，综合出与该RAM对应的las文件的过程。以 $2^{11} \times 8$ 的RAM芯片 6116 为例，其输出的等效结构模型文件 6116.las如下：

```

MODEL;
USE RAMBIT MODEL;
W: NA/W_/;
G: NA/G_/;
E: NA/E_/;
WRITE:NA/E,W/;
READ:AN/E,G,W_/;
ADDR:AN/ A10,A9,A8,A7,A6,A5,A4,A3,A2,A1,A0/;
D7:RAMBIT/READ,WRITE,ADDR/;
...
D0:RAMBIT/READ,WRITE,ADDR/;
INPUTS: A10=19, A9=22, A8=23, A7=1, A6=2, A5=3, A4=4,
A3=5, A2=6, A1=7, A0=8, W_=21, G_=20, E_=18;
OUTPUTS: D7=17, D6=16, D5=15, D4=14, D3=13, D2=11,
D1=10, D0=9;

```

其中， $A_0 \sim A_{10}$ 为地址线； $D_0 \sim D_7$ 为数据线； $G_$ 为片选； $W_$ 为读写； $E_$ 为读写使能；RAMBIT为RAM的位基元。

4 测试生成与实验结果

含存储器数字电路的测试开发流程如图 4 所示。在读取电路信息后，根据电路中所含的 ROM 或 RAM 芯片选择不同的综合工具。对于 ROM 还须输入存储的数据。在生成相应的 las 模型结构文件后，导入到元件库中，然后将描述电路结构网表的 Edif 200 文件导入到电路板测试生成系统中，根据系统的具体提示分步完成测试生成，并最终生成 IEEE1445 格式的故障字典，提供给 ATE 设备。

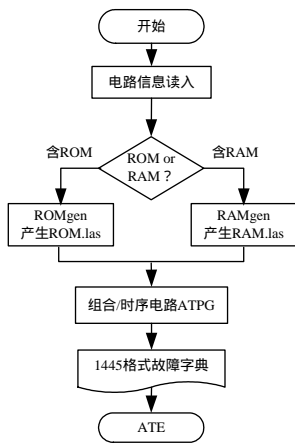


图 4 存储器测试开发流程

4.1 含 ROM 数字电路的测试生成实验结果

ROM实验电路的原理框图如图 5 所示。其中，控制信号接收包括 1 片 AM26LS32 八线驱动器；地址生成包括 2 片级联的串行输入移位寄存器 SN74LS164；ROM 组 1 和 ROM 组 2 各由 2 片 AM27S29 组成，ROM 规模为 $2^9 \times 8$ ，分别存有不同数据；串行移位包括 2 片级联的串行移位寄存器 SN74LS165；数据锁存有 4 片 SN74LS374；多路选择包括 8 片 SN74LS251；差分输出包括 2 片 AM26LS31。电路规模为 1 514 门，其原始数据输入为 8 个、状态输入为 67 个，数据输出为 22 个。

测试生成的结果见表 2。

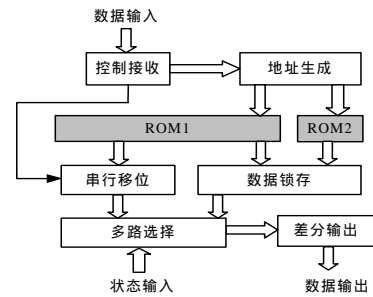


图 5 被测 ROM 电路原理

表 2 ROM 板测试生成结果报告

测试向量数	注入故障数	已检测故障	不可测故障	故障覆盖率/(%)
1 239	379	308	51	81.27

将生成的测试向量通过数字仿真软件 LASAR 对电路进行故障仿真，得到了 LASAR 的故障覆盖率等指标，如表 3 所示。

表 3 ROM 板 LASAR 故障仿真结果

测试向量数	注入故障数	已检测故障	不可测故障	故障覆盖率/(%)
1 239	594	522	72	87.87

由于 LASAR 中的故障模型与测试生成系统中的故障模型不同，因此注入的故障数不同，但是对同一测试向量进行故障仿真，能反映出故障覆盖率的指标。从二者仿真结果的对比可以看出，本文综合的 ROM 模型在实际电路中测试生成所产生的测试矢量有效地覆盖了电路中的故障，其余不可测故障均属于目前算法理论确定为不可测的。因此，可以认为利用自建的综合工具得到的 ROM 测试模型能方便有效地完成含有 ROM 的电路的测试生成。

4.2 含 RAM 数字电路的测试生成实验结果

RAM实验电路的原理框图如图 6 所示，其中，RAM1~2 为 2 片 $2^{11} \times 8$ 位的 RAM6264 芯片；计数器为 3 片 74LS161，RAM 芯片的地址来自于计数器，或来自于外部地址输入；数据缓冲为 2 片 74LS244；数据锁存为 2 片 74LS273；控制逻辑由 74LS133, 74LS00, 74LS74 等组成。测试生成的结果如表 4 所示。

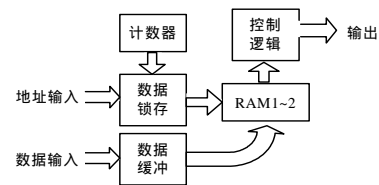


图 6 被测 RAM 电路的原理

表 4 RAM 板测试生成结果

测试向量数	注入故障数	已检测故障	不可测故障	故障覆盖率/(%)
168	333	301	32	90.39

将生成的测试向量通过 LASAR 对电路进行故障仿真，得到 LASAR 故障覆盖率等指标，结果如表 5。

表 5 RAM 板 LASAR 故障仿真结果

测试向量数	注入故障数	已检测故障	不可测故障	故障覆盖率/(%)
168	263	240	23	91.25

实验证明，本方案能较好地满足实际测试的需要。

(下转第 260 页)