

基于电路状态信息和冲突分析的部分扫描设计¹

向 东 刘 鑫 徐 奕

(清华大学微电子学研究所 北京 100084)

摘 要: 该文提出了一种割断关键回路的方法来选择扫描触发器。该方法在选择一定数量的扫描触发器后,采用逻辑模拟更新电路的状态信息,这样可以得到更为精确的可测试性信息。当电路中的关键回路割断后,转向消除冲突的处理,而不是降低时序深度。该方法致力于消除冲突,并使用了一种基于冲突分析的测度 conflict。足够的实验结果表明该方法是非常有效的。

关键词: 有效状态, 部分扫描设计, 无效状态, 冲突, 测度

中图分类号: TN307 **文献标识码:** A **文章编号:** 1009-5896(2004)01-0124-07

Partial Scan Design Based on Circuit State Information and Conflict Analysis

Xiang Dong Liu Xin Xu Yi

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract A multiple phase partial scan design method that breaks critical cycles using a combination of valid circuit state information and conflict analysis is proposed. It is quite cost-effective to obtain circuit state information via logic simulation, therefore, circuit state information is iteratively updated after a given number of partial scan flip-flops being selected. When all critical cycles in the circuit are broken, our method turns to the conflict resolution process using an intensive conflict-analysis-based testability measure conflict rather than reducing the sequential depth. The proposed method tries to eliminate the conflicts and uses a conflict-analysis-based testability measure conflict. Sufficient experimental results are presented to validate the method.

Key words Valid state, Partial scan design, Invalid state, Conflict, Testability measure

1 引言

高度时序化的大规模集成电路测试生成的复杂度通常是令人难以接受的。采用部分扫描设计可以降低自动测试码生成的复杂度。通常部分扫描设计可分为下述 3 类: 基于结构^[1-4], 基于测度^[3,5-10]和基于测试生成^[6]的方法。Cheng 和 Agrawal^[2]提出了一种基于结构的方法,首次引入了割断回路和减小时序深度的方法。他们指出测试生成的复杂度与回路的大小成指数关系,与时序深度成线性关系,并提出了割断回路和减小时序深度的算法。Parihk 和 Abramovici^[5]提出一种基于简单测度分析的部分扫描设计,该测度体现了激活、传播和检测一个故障所需的时钟周期数。Sharma 和 Hsiao^[6]提出了一种将失检故障状态和 SCOAP 时序测度结合在一起来选择扫描触发器的方法。无效的状态信息和可测性改进潜力结合在一起的结果可能比仅仅用测度要好。Kalla 和 Ciesielski^[11]通过不可测性分析和非法状态信息来选择部分扫描触发器。通过割断回路来选择扫描触发器的方法已经被广泛接受。我们认为电路中只有一部分关键回路真正影响电路的可测性。

¹ 2002-08-14 收到, 2002-12-31 改回

国家自然科学基金 (No.69773030) 及 985 国家教委基础研究基金资助课题

在下文中, 第 2 节给出了定义和符号。第 3 节是有效状态分析。第 4 节提出了通过重复更新有效状态信息来选择扫描寄存器的技术。第 5 节介绍了割断关键回路后基于冲突分析的扫描触发器选择。第 6 节给出了实验结果。

2 预备知识

我们采用状态信息来选择扫描触发器。利用逻辑模拟来获取有效状态信息, 有效地包含电路的功能信息。因此, 基于电路状态信息来选择扫描触发器能有效地减小测试生成中的潜在冲突, 一些潜在冲突在扫描一些触发器后也可能得到消除。在扫描触发器选择过程中, 有效电路状态应不断地更新。

定义 1 无故障电路的一个状态是触发器输出的布尔值 $\{0, 1\}$ 的一种赋值。复位状态是从电路任何状态都可达的状态。

定义 2 若一个状态从复位状态可达, 则称为有效状态。如果该状态由复位状态不可达, 即为无效状态。

设 $v_1, v_2, \dots, v_n \in \{0, 1\}$, $i_1, i_2, \dots, i_k \in \{1, 2, \dots, n\}$ 和 $k \leq n$ 。假定任一状态是一个 n 元组, 这里 n 是电路中触发器的数目。如果部分状态 $(v_{i_1}, v_{i_2}, \dots, v_{i_k})$ 对应的状态是有效的, 称为部分有效状态; 否则, 称为部分无效状态。状态映射将一个状态映射到电路中所有的回路, 每个回路都包含电路触发器的一个子集。

定义 3 时序电路的有向 s 图的顶点表示电路中的触发器。 s 图中任一边 (v_1, v_2) 表示从触发器 v_1 到触发器 v_2 有一条组合路径。

例 1 图 1 所示的 s 图中有 3 个不同的触发器。我们用有效状态集 $\{100, 101, 110, 111\}$ 来映射回路, 则对于回路 (FF_2, FF_3) 有 4 个部分有效状态, 对于回路 (FF_1, FF_3) 4 个部分状态中仅有两个是有效的。

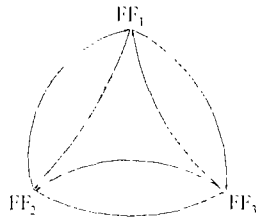


图 1 状态映射

定义 4 电路编码密度定义为 $V/2^n$, n 是电路触发器的个数, V 是电路有效状态数目。

定义 5 冲突定义如下: 在测试生成前的处理中线 l 被赋为值 v , l 需要被赋为 v' 。如果 v 和 v' 的交集产生新的合理值, 线 l 被赋为 $v \cap v'$; 否则, 在 l 处产生一个冲突。

文献 [9,10] 提出了一种基于测试生成过程中冲突分析的可测度 conflict, 该测度已成功地用于指导非扫描可测性设计。基于结构的扫描触发器选择方法假定测试生成的复杂度由电路回路的大小和数目决定, 跟时序深度成线性关系。因此, 基于结构的扫描设计尽量割断回路和减小时序深度。典型地, 一个电路的有效状态不多于所有可能状态。对于一个大小为 k 的回路, 如果 2^k 个部分状态有效, 将不会引起回溯。如果一个回路仅有一个部分有效状态, 在测试生成过程中会引起很多回溯。当每一个无效状态引起回溯, 而一般测试生成器仅能处理很少一些无效状态。这样由于一些回路对测试生成复杂度并没有显著影响, 割断所有回路可能不是最好的选择。而基于结构的设计如果结合了功能信息可能会得到更好的结果。

3 有效状态分析与可测试性

对于一些小电路我们能从状态转换表来提取电路的可达信息。对于一些大电路, 完整的状

态转换表可能无法得到。这时可以使用逻辑模拟来得到尽可能多的有效状态。对于每个向量，逻辑模拟能在线性时间内完成。如果给出了同步时序或者是复位状态，我们可以从复位状态开始逻辑模拟。否则，在所有触发器未被赋值时开始逻辑模拟。一些时序电路可能比较难用伪随机向量来初始化，我们可以随机地将电路置为一个具体的状态，尽管该状态可能是无效状态。对于一个有效设计的电路，在模拟了很少一些向量后，电路的所有状态都可能转换为有效状态。

表 1 给出了 ISCAS89(IEEE International Symposium on Circuits and Systems) 和 IS-CAS93 标准电路的逻辑模拟结果。对每一个电路，都给出了触发器数目 (FFs)，有效状态数目 (#states) 和伪随机向量数目 (#vectors)。最大的 3 个 ISCAS89 电路的逻辑模拟花的时间最多，在 Ultra10 工作站上均可在 5min 内完成。我们的方法记录了模拟 1000 个向量后的有效状态。

表 1 ISCAS 电路的有效状态分析

Circuits	FFs	#states	num1(=0)	num2(≤10)	num3(≤100)	cyc-s	cyc-f	#vectors
s13207	638	3999	308	308	312	289	7	5000
s13207.1	638	3999	308	308	312	289	7	5000
s15850	534	3999	230	263	312	100	4	5000
s15850.1	534	3999	230	263	312	100	4	5000
s35932	1728	1537	135	189	310	22	32	5000
s38417	1636	3999	301	301	357	524	2	5000
s38584.1	1426	3999	9	18	56	1	43	5000

表 1 分析了 ISCAS89 标准电路的有效状态集。对于一个给定的触发器，变化次数定义为状态集的连续两个有效状态 $0 \rightarrow 1$ 和 $1 \rightarrow 0$ 的转换数目。表中 num1 是对应有效状态值不改变的触发器数目；num2 是值改变不超过 10 次的触发器数目；num3 是变化不多于 100 次的触发器数目。cyc-s 是电路中仅有一个部分有效状态的回路的个数。cyc-f 是所有部分状态都有效的回路的个数。AC 表示电路没有回路。电路 s13207, s13207.1, s15850, s15850.1, s38417 和 s38584.1 对于所有的输入向量都产生了不同的有效状态。所有上述电路都可以由 HITEC^[12](时序电路测试生成工具包) 获得很高的故障覆盖率。电路 s13207, s13207.1, s15850, s15850.1, s35932 和 s38417 有许多状态值未发生变化的触发器。除了 s35932, HITEC^[12] 对于这些电路的故障覆盖率和测试效率都很低。电路 s38417, s15850, s13207.1 和 s13207 中含有较多的仅有一个单一部分有效状态的回路，由 HITEC 获得的故障覆盖率和测试效率也很差。

我们也使用 10000 个输入向量对最大的 ISCAS89 电路做了实验。除了 s35932 外的电路对所有向量都生成了不重复的电路有效状态。在分析了有效状态在连续两个状态之间转换数目后，发现其结果与采用 5000 个向量的最大电路的结果相当一致。这样，我们可以认为获取有效状态的输入向量数目对分析结果的影响并不大。

直观地，电路如果有大量的值不改变的触发器，其可测试性不好。相反，若电路所有触发器的值改变频繁，其可测试性会很好。当一个回路只有一个有效状态时，在测试生成过程中会引起大量的回溯。如果回路的所有部分状态都是有效的，它将不会显著地影响测试生成的复杂度。当电路有大量的仅有很少部分有效状态的回路时，其可测试性会很差；相反，电路有许多所有部分状态均有效的回路时，可测试性会很好。该分析和时序电路测试生成器的测试生成结果十分一致，与其他确定性时序生成器的结果也十分一致。这样的结果启发我们提出两种选择扫描触发器的测度。

4 割断回路的扫描触发器选择

基于获得的有效状态信息来计算一种新的测度，用来选择扫描触发器。

$$T(f) = \sum_c T(f, c) \quad (1)$$

$$T(f, c) = \begin{cases} 2^k / f(c), & k \leq 15 \\ k \cdot 2^{15} / f(c), & k > 15 \end{cases} \quad (2)$$

其中 15 是一个经验常数, 由实验得出取 15 时为最佳。\$f(c)\$ 是根据获得的有效状态集得到的回路 \$c\$ 的不同的部分有效状态数目。该测度反应了在测试生成过程中进入无效状态的可能性。对于每个触发器可测性改进潜力测度用于评价当它被选为扫描触发器时, 对整个电路可测性的潜在改进。对于每个触发器 \$f\$ 的 TIP (Testability Improvement Potential) 测度计算公式如下:

$$\text{TIP}(f) = \sum_c T(f, c) \cdot k \quad (3)$$

式 (3) 中 \$c\$ 表示包含触发器 \$f\$ 的回路, \$T(f, c)\$ 是根据上面获得的有效状态集得到的回路 \$c\$ 的不同的部分有效状态数目, \$k\$ 是回路 \$c\$ 的大小。

应当注意的是在选择一个或者多个扫描触发器后, 以前的每一个有效状态将仍旧有效, 所以有效状态的数目可能增加。每个扫描触发器被选中以后是不可能进行逻辑模拟的。因此, 我们的方法在选择了一组扫描触发器后就更新有效状态集。

我们将 TIP 测度和 conflict 测度^[9,10]的测度计算结合起来, 来选择扫描触发器。不像文献 [8] 中的方法仅仅用 TIP 测度选择扫描触发器, 我们提出的测度如下:

$$T_1(f) = \text{TIP}(f) + \Delta T(f) \quad (4)$$

式中 \$\Delta T(f)\$ 是如果选择扫描触发器 \$f\$, 电路的 conflict 测度^[9,10]的可测性的改进。计算 \$\Delta T(f)\$ 的方法在下一部分介绍。应当注意的是, \$\Delta T(f)\$ 不是 conflict 测度的和, 而是测度的改进潜力。

当选择一组扫描触发器后, 有效状态集可能有所改变。前面计算出的 TIP 测度可能对选择触发器不再有效, 有效状态集需要更新。上面的过程一直持续到所有触发器都被选择完。下面的程序用来判断关键回路。

Critical-Cycle-Break()

(1) 通过逻辑模拟来更新当前电路的有效状态信息。

(2) 计算 conflict 测度, TIP 测度和基于 conflict 测度的可测性改进。

(3) 由 (4) 式选择一个扫描触发器; \$sff \leftarrow sff + 1\$。更新 TIP 测度和 conflict 测度。

(4) 如果 \$sff > \text{limit}_1\$, \$sff \leftarrow 0\$; 否则, 转向步骤 (3)。如果给定数目的扫描触发器选择完毕, 结束; 否则转向步骤 (1)。

上面的程序中, \$sff\$ 是一个进程中选择扫描触发器的数目, \$\text{limit}_1\$ 是经验常数, 表明每次更新状态信息所选扫描触发器的数目。不断更新有效状态信息能获得更为精确的状态信息, 更好地选择触发器。因此本技术把对应 conflict 测度的可测性改进和 TIP 测度结合在一起是十分合理的。

5 基于减少冲突的扫描触发器选择

当电路中关键回路切断后, 第 4 节所述的程序将不适合用于扫描触发器的选择, 对无回路和有很少回路的电路也不适合。当回路对可测性影响不大时, 上面部分所述的方法对于时序电路不太适用。一些难测电路即使切断所有的回路, 其可测性仍会很差。此时回路的结构可能不是影响测试生成复杂度的最重要因素。

为了有效地选择扫描触发器, 应该包含电路的功能信息。在我们的方法中, 采用 conflict 测度^[9,10]来选择扫描触发器。conflict 测度已证明是精确的测度, 可以成功地用于指导非扫描的可测性设计^[9,10]。部分扫描触发器选择不是基于 conflict 测度, 而是基于可测性改进潜力。可利用下面的方程来得到候选的扫描触发器:

$$T = C_1(f) + C_0(f) + O_f(D) + O_f(\bar{D}) \quad (5)$$

式中 $C_1(f)$, $C_0(f)$, $O_f(D)$ 和 $O_f(\bar{D})$ 分别是用于计算 conflict 测度的 1 和 0 可控度, D 和 \bar{D} 可观测度。计算一个触发器被选为扫描触发器后的可测性改进的技术, 说明如下: 触发器直接前驱线的可观测度应当更新, 触发器直接后继的可控度应该更新。如果一个门输入的可控度改变了, 这个门输出的可控度应当更新。当一信号线的可观测度改变了, 它的输入的可观测度应该更新。如果门的一个输入的可控度改变了, 应当重新计算该门其他输入的可观测度。

Conflict-Resolution()(基于减小冲突的扫描触发器选择)

(1) 计算电路的 conflict 测度。

(2) 根据由 (5) 式得到的可控度和可观测度之和来确定扫描触发器的候选集, 通常是给定扫描触发器数目的 2 到 3 倍。

(3) 使用上面介绍的选择方法来计算候选扫描触发器的可测性改进。选择可测性改进最大的触发器作为扫描触发器。更新 conflict 测度和扫描触发器候选集。

(4) 如果给定扫描触发器选择完毕, 结束。否则, 转向步骤 (2)。

6 实验结果

不同的部分扫描设计工具必须用相同的测试生成器和运行在相同的计算机上, 才能有效地评价它们的性能。我们实现了称为 Mpscan 的新的部分扫描方法。采用 HITEC 测试码产生器, 运行在 Ultra10 工作站上来评价部分扫描设计方法。表中 FFs, FC, sff, TE 和 vec 分别表示触发器数目, 故障覆盖率, 扫描触发器数目, 测试效率和测试序列长度。

表 2 给出了我们的方法 Mpscan 与其他两种部分扫描设计工具 Opus^[3] 和 CoPs^[5] 的结果对比。对除了 s953 和 s3271 的所有电路, Mpscan 都获得了不比 Opus 差的故障覆盖率。对于电路 s510, s38417, s991, s1269 和 s1512, Mpscan 获得了比 Opus 高得多的故障覆盖率。相对于 CoPs, Mpscan 对于除了 s400 和 s1423 的所有电路都获得了较高的故障覆盖率。对于电路 s510, s13207, s38417, s1269 和 s3330, Mpscan 获得了比 CoPs 高得多的故障覆盖率。

表 2 Mpscan 与以前部分扫描方法的对比

Circuit	Mpscan			Opus ^[3]			CoPs ^[5]		
	sff	FC	vec	sff	FC	vec	sff	FC	vec
s344	3	99.4	141	3	96.5	93	3	96.8	92
s349	3	98.9	161	3	96.0	303	3	96.3	86
s382	4	97.7	286	4	95.5	358	4	97.5	353
s400	4	95.8	394	4	94.3	314	4	96.5	253
s510	3	98.6	401	3	6.91	23	3	9.75	36
s526	5	97.8	2460	5	97.8	2819	5	97.3	1779
s526n	6	99.1	656	6	98.2	602	6	98.9	1446
s641	1	99.4	286	5	94.4	161	4	99.4	286
s713	1	92.9	310	5	88.3	166	5	92.9	310
s5378	50	97.2	1023	50	93.9	1018	50	97.0	818
s9234	97	93.0	3114	97	90.2	14871	97	90.3	4259
s13207	160	94.8	5927	160	90.5	2441	180	43.7	878
s15850	180	94.4	4843	180	94.1	8726	220	94.0	6288
s38417	400	94.1	10613	400	79.7	1092	500	60.5	3831
s38584	300	92.6	10092	N/A	N/A	N/A	300	88.0	13121
s499	6	92.3	453	6	89.4	364	6	89.5	324
s991	3	100	75	7	3.2	87	7	100	73
s1269	6	99.8	240	8	80.1	203	8	81.9	228
s1512	12	100	3668	15	87.5	3107	12	100	3725
s3330	40	94.3	546	40	90.1	552	40	82.9	340
s3384	40	91.6	239	40	88.6	104	40	89.8	176
s4863	9	99.4	463	9	97.1	418	9	97.6	382

表 3 和表 4 给出了 Mpscan 与 Zscan^[7], OpSCAN^[8], Sdscan^[4] 及 Samson^[11] 的实验结果比较, 其中 Zscan, Sdscan 及 Samson 是在 OpSCAN 的基础上提出的基于电路状态信息的部分扫描设计方法。本文的方法明显优于其他方法。

表 3 Mpscan 与 Samson-实验结果的对比

Circuits	Mpscan				Samson ^[11]			
	sff	FC	TE	vec	sff	FC	TE	vec
s382	6	99.0	100	168	6	98.8	-	693
s641	1	99.4	100	286	3	99.4	-	236
s832	2	98.4	100	884	1	98.4	-	581
s1423	22	96.17	98.22	567	22	95.2	-	495
s5378	30	93.6	99.2	1384	30	89.2	-	1444
s9234	97	93.0	98.6	3114	65	85.3	-	7122
s13207	58	85.6	95.8	9805	58	84.9	-	7003
s15850	91	87.2	91.8	10162	91	86.0	-	12689
s38417	400	94.5	96.0	10613	-	-	-	-
s38584	313	94.4	98.9	7790	313	93.4	-	19321

表 4 Mpscan 与基于电路状态信息的部分扫描设计方法的对比

Circuits	FFs	Mpscan				Zscan ^[7]			OpSCAN ^[8]			Sdscan ^[4]		
		sff	FC	TE	vec	sff	FC	TE	sff	FC	TE	sff	FC	TE
s344	14	3	99.4	100	141	5	98.8	100	5	99.1	100	5	99.7	-
s382	21	6	99.0	100	168	6	99.3	100	9	98.7	100	9	97.5	-
s444	21	6	96.2	100	193	6	96.0	100	9	96.4	100	9	94.9	-
s526	21	10	99.3	100	273	15	98.7	100	-	-	-	-	-	-
s526	21	3	94.2	96.9	3321	-	-	-	-	-	-	-	84.9	-
s641	19	1	99.4	100	286	7	99.4	100	7	99.4	100	7	99.4	-
s1423	74	22	96.17	98.22	567	-	-	-	-	-	-	30	87.0	-
s9234	211	97	93.0	98.6	3114	97	90.5	96.3	-	-	-	-	-	-
s13207	638	58	85.6	95.8	9805	-	-	-	-	-	-	80	33.7	-
s13207.1	638	160	95.0	99.8	4819	160	94.3	97.7	-	-	-	-	-	-
s15850.1	534	180	94.6	99.8	4581	296	95.2	99.6	180	94.3	99.7	-	-	-
s38417	1636	400	94.5	96.0	11573	516	84.0	90.2	400	77.1	95.9	-	-	-
s38584.1	1426	300	93.74	98.3	9585	-	-	-	300	91.2	78.7	-	-	-
s499	22	6	92.3	100	240	-	-	-	-	-	-	9	88.2	-
s1269	37	6	99.8	99.9	453	7	99.8	99.9	6	99.2	99.3	6	99.6	-
s1512	57	12	100	100	3668	29	99.9	99.9	-	-	-	-	-	-
s3271	116	6	99.8	100	980	26	98.9	99.0	-	-	-	20	99.0	-
s3330	132	7	82.8	84.0	527	7	81.7	82.4	-	-	-	-	-	-

7 结论

本文将基于电路状态信息的测度 TIP 和 conflict 测度^[9,10] 的可测性改进结合起来选择扫描触发器。TIP 测度已证明为能有效地指导部分扫描触发器选择的好测度^[8]。但当电路中的回路对电路可测试性影响不大时, 该测度在选择扫描触发器会变得无效。在选择了一些部分扫描触发器后, 许多无效状态可能变为有效, 因此电路状态信息需要不断更新, 然后该方法转向减少冲突阶段, 在基于冲突分析的 conflict 测度指导下选择扫描触发器。实验结果表明本文提出的方法远远优于国际上现有的部分扫描设计工具 Opus^[3] 和 CoPs^[5]。

参 考 文 献

- [1] Corno F, Prinetto P, Sonza Reorda M, Violante M. Exploiting symbolic techniques for partial scan flip-flop selection. Proc. of IEEE Design Automation and Test in Europe, Paris, France, Feb. 23-26, 1998: 670-677.
- [2] Cheng K T, Agrawal V D. A partial scan method for sequential circuits with feedback. *IEEE Trans. on Computers*, 1990, 39(4): 544-548.
- [3] Chickermane V, Patel J H. An optimization based approach to the partial scan design problem. Proc. of IEEE Int. Test Conf., Washington, DC, Sep. 10-14, 1990: 377-386.
- [4] Gupta R, Gupta R, Breuer M A. The BALLAST methodology for structured partial scan design. *IEEE Trans. on Computers*, 1990, 39(4): 538-544.
- [5] Parikh P S, Abramovici M. Testability-based partial scan analysis. *J. of Electronic Testing*, 1995, 7: 61-70.
- [6] Sharma S, Hsiao M. Combination of structural and state analysis for partial scan. Proc. of Int. VLSI Design Conf., Bangalore, India, Jan. 3-7, 2001: 134-139.
- [7] Saund G S, Hsiao M S, Patel J H. Partial scan beyond cycle cutting. Proc. of IEEE Int. Symp. on Fault-Tolerant Computing, Seattle, Washington, USA, Jun. 24-27, 1997: 320-328.
- [8] Xiang D, Venkataraman S, Fuchs W K, Patel J H. Partial scan design based on circuit state information. Proc. of ACM/IEEE Design Automation Conference, Las Vegas, USA, June 1996: 807-812.
- [9] Xiang D, Xu Y, Fujiwara H. Non-scan design for testability for synchronous sequential circuits based on conflict resolution. Accepted to appear in *IEEE Trans. on Computers*.
- [10] Xiang D, Fujiwara H. Handling the pin overhead problem of DFTs for high quality and at-speed tests. *IEEE Trans. on Computer-Aided Design of ICAS*, 2002, 21(9): 1105-1113.
- [11] Kalla P, Ciesielski M J. A comprehensive approach to the partial scan problem using implicit state enumeration. *IEEE Trans. on Computer-Aided Design of ICAS*, 2002, 21(7): 810-826.
- [12] Niermann T M, Patel J H. HITEC: A test generation package for sequential circuits. Proc. of European Conf. Design Automation, Amsterdam, The Netherlands, Feb. 25-28, 1991: 214-218.

向 东: 男, 1966 年生, 副教授, 主要研究领域为数字系统测试与设计、分布式计算、容错计算及计算机网络化。

刘 鑫: 男, 1979 年生, 硕士, 从事集成电路 BIST 的可测性分析与设计。

徐 奕: 男, 1976 年生, 硕士, 从事集成电路的非扫描可测性分析与设计。