

# 绝热无比型动态触发器和同步时序电路综合<sup>1</sup>

刘莹 方振贤 汪鹏君\*

(黑龙江大学理学院 哈尔滨 150080)

\*(宁波大学电路与系统研究所 宁波 315211)

**摘要** 该文从电路三要素理论出发研究低功耗电路, 定量描述绝热无比型动态记忆电路。绝热无比型动态触发器利用电容接收和保存信息, 避免目前绝热电路中电容上的信息得而复失的现象, 其中绝热 D 和 T' 触发器只用 6 管, 带 '与或非' 输入的绝热 D 触发器只用 9 管。在上述理论上该文提出绝热无比型动态同步时序电路综合方法, 用此法设计出绝热 5421BCD 码十进制计数器, 仅用 32 管, 总功耗小于一个 PAL-2N 四位二进制计数器的功耗, 计算机模拟验证该文方法正确。

**关键词** 绝热无比型动态触发器, 绝热同步时序电路综合, 电路三要素理论

**中图分类号** TN783

## 1 引言

集成电路的功耗已是迫在眉睫的问题, 其中绝热计算原理和绝热电路引起学术界广泛的关注, 但至今很难实现复杂的绝热时序电路<sup>[1-8]</sup>。形成困难的主要因素有: (1) 绝热电路必须采用流水线操作, 使得组合电路带有时序性, 常常需要用变相的时序电路去实现组合电路, 不存在常规逻辑函数形式的组合电路。(2) 目前完全绝热的器件尚未能充分利用电容保存信息, 电容常常是充放电紧跟着进行, 致使电容上已存的信息得而复失。电容主要是作为有害成分来考虑的, 没有充分发挥电容存储信息的功能, 不利于构成任意复杂的绝热同步动态时序电路。(3) 电路的控制输入常常采用两个互补信号, 且有左右两组输入电路, 如果时序电路的组合电路部分和记忆电路部分相互分割, 因为组合电路也带有时序性, 使得时钟电源个数增加, 形成互补控制输入信号的困难也增加, 电路结构变得复杂。本文参照 VLSI 中的无比型动态电路(文献[9, 10]), 如图 1(a) 所示, 考虑绝热电路的要求, 改变(取样)门控管的结构, 变成绝热无比型动态电路(二绝热锁存器), 亦即将图 1(a) 变成图 1(b)。还可将多控制输入融合在门控管的结构中, 如图 1(c) 所示。电容接收信息后, 存储介质电容与外界隔开, 不再受输入的影响, 可长期保持已存信息; 又因将输入电路由两组改变为一组, 电路简化明显。用两个绝热无比型动态锁存器构成简单而实用的绝热无比型动态触发器: 由 6 管构成 D 型和 T' 型绝热触发器电路图 1(b), 由 9 管构成带 '与或非' 输入的 D 型绝热触发器电路图 1(c)。该文在绝热触发器的基础上提出绝热无比型动态同步时序电路综合方法, 用此方法设计出绝热的 5421BCD 码十进制计数器仅用 32 管, 总功耗小于一个绝热 PAL-2N 4 位二进制计数器或绝热 CSOAL 全加器的功耗<sup>[7,8]</sup>。

文献[11]的电路三要素理论已对常规 MOS 动态电路作全面定量的描述, 该理论也适用于绝热电路。设电路满足绝热输入约束条件: (1) 时钟信号  $\phi$  变化时开关控制信号  $F$  保持为高或低电平之一不变,  $F \in \{0, 1\}$ ; (2) 控制信号  $F$  变化时, 时钟  $\phi$  保持为(保证此时传输门断开的)高或低电平之一不变。在满足输入约束条件(1)情况下传输门可表示为  $\phi < F > = \phi F + \varepsilon \bar{F}$ , 但是其中  $\phi$  为连续变化的源信号,  $\phi \in [0, 1]$ ,  $F \in \{0, 1\}$ , 表明开关行为与文献[11]相同: 当  $F = 1$  时开关  $< F >$  接通, 连续变化的  $\phi$  传送到输出; 反之, 当  $F = 0$  时开关断开, 输出取决于负载  $\varepsilon$ (仍有 4 种类型负载, 本文着重电容负载)。由此可见, 在电路满足绝热输入约束条

<sup>1</sup> 2001-03-16 收到, 2002-02-28 定稿

黑龙江省自然科学基金资助项目(F01-13), 国家自然科学基金(69973039), 宁波市青年基金(01J20300-27)等资助项目

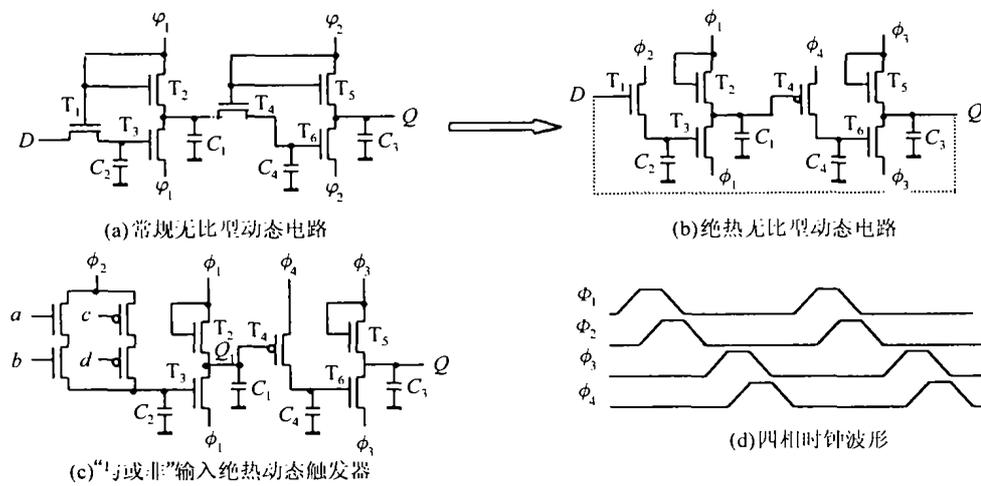


图 1 绝热无比型动态触发器

(常规无比型动态电路时钟记为  $\varphi_1$  和  $\varphi_2$ ，它们与绝热无比型动态电路的时钟  $\phi_1, \phi_2, \phi_3, \phi_4$  形状不同，用不同符号)

件 (1) 情况下文献 [1] 的定理 1(运算转换定理) 和定理 2(网络转换定理) 仍适用于本文，重述如下：

**定理 1**  $\langle F(a, b, c, \dots, +, \bullet, 1, 0) \rangle = F(\langle a \rangle, \langle b \rangle, \langle c \rangle, \dots, \parallel, \uparrow, *, \varepsilon)$

**定理 2**  $\big|_{i \in K} x_i \langle F_i \rangle = \sum_{i \in K} x_i F_i + \varepsilon \overline{\sum_{i \in K} x_i F_i}, \forall i, j \in K$ ，若  $x_i \neq x_j$ ，则  $F_i F_j = 0$ ，

其中  $x_i, x_j \in [0, 1]$ ， $F_i, F_j \in \{0, 1\}$ 。

考虑输出接电容负载，于是由定理 2 得出本文常用的公式，

$$Q^+ = \big|_{i \in K} x_i \langle F_i \rangle \big|_{\varepsilon=Q} = \sum_{i \in K} x_i F_i + Q \overline{\sum_{i \in K} x_i F_i} \tag{1}$$

## 2 绝热无比型动态触发器

绝热电路目前以交叉耦合结构研究的较多，有双沟道传输门结构 (如 PAL<sup>[1,2]</sup>) 和单沟道传输门结构 (如 CAL, ECRL<sup>[2-5]</sup>)，以及带二极管的单沟道传输门结构 (如 2N-2N2D 电路<sup>[6]</sup>)，三者的研究大部分集中在单元电路，并以单元电路的绝热过程分析与设计为主，尚未出现绝热同步时序电路综合理论的研究，需要不断深入研究。往往从绝热单元电路结构看十分简单，但进一步实现整体时序电路时，发现困难重重，稳定性和抗干扰能力差，波形也不如常规电路好。考虑绝热组合电路是变相的时序电路，该文认为从时序电路整体的需求出发，融时序电路的大部分 (组合电路部分和存储电路部分) 为一个整体比较有利，由此全面考虑绝热触发器的分析和设计，得出一个带 ‘与或非’ 输入的绝热 D 触发器。该触发器采用了 3 种改进措施：(1) 采用绝热门控电路结构，输入电路与记忆单元隔开 (注：现有电路二者结合较紧)，信号取样和接收不同时进行，容易实现复杂的功能；而且充分利用电容的记忆功能，保存信息期间，电容与外界断开，不再受输入或外干扰的作用，增加电路的稳定性和抗干扰能力。(2) 采用单沟道传输门的绝热无比型动态电路，使输入电路由两组变为一组，其电路结构与时序电路的组合电路部分相对应，容易实现。(3) 采用场效应二极管代替普通二极管，适合已有 VLSI 集成电路工

艺<sup>[9,10]</sup>。普通二极管导通电压  $V_f$  固定且较大, 很难降低  $V_f$ ; 而场效应二极管导通电压是可改变的, 可以选取参数, 使场效应二极管导通电压很小, 由此降低功耗。

图 1(c) 左或右半部是两种绝热无比型动态锁存器, 将该两个动态锁存器级联, 便组成一个绝热无比型 D 触发器 (带“与或”输入), 触发器采用的四相时钟  $\phi_1, \phi_2, \phi_3, \phi_4$  波形示如图 1(d), 两个动态锁存器各自用  $\phi_1, \phi_2$  和  $\phi_3, \phi_4$ 。考虑图 1(b) 左半部, 其中  $T_1$  是门控管,  $T_2$  是场效应二极管,  $T_3$  是驱动管。工作过程: (1) 为接收信息作准备,  $\phi_1$  上升, 经  $T_2$  对  $C_1$  预充电至高电平 (逻辑值  $C_1 = \phi_1 = 1$ ); (2) 对输入进行取样, 持续  $\phi_1 = 1$  ( $T_3$  截止),  $\phi_2$  上升, 经  $T_1$  对  $C_2$  绝热充电, 当  $\phi_2$  升为 1 时形成输入  $V_i$  的取样信号  $C_2$ ; (3)  $C_1$  接收信息,  $\phi_1$  下降, 若  $C_2 = 0$ , 则  $T_3$  仍截止,  $C_1$  保持高电平, 反之  $C_2 = 1$ ,  $T_3$  导通, 经  $T_3$  对  $C_1$  绝热放电, 将  $C_1$  拉回低电平, 因此  $C_1$  输出是输入  $V_i$  的“非”; (4) 保持信息阶段, 持续  $\phi_1 = 0$  和  $\phi_2 = 0$ , 电容  $C_1$  与外界断开, 保存已有信息, 不受输入影响。上面是定性描述图 1(b), 现在用电路三要素理论定量描述图 1(c), 根据 (1) 式和定理 1, 注意信息的取样和接收时间, 依次写出 (初始  $C_2$  和  $C_4$  逻辑值为 0):

$$\begin{aligned} C_2^+ &= \phi_2 (<a> \uparrow <b> \parallel <\bar{c}> \uparrow <\bar{d}>) |_{\epsilon=C_2} = \phi_2 (ab + \bar{c}\bar{d}) + C_2 \overline{ab + \bar{c}\bar{d}} \\ &= ab + \bar{c}\bar{d} \quad (\text{因为 } \phi_2 \text{ 升为 1 时 } C_2 \text{ 完成取样}) \end{aligned} \quad (2a)$$

$$C_1^+ = \phi_1 <C_2> |_{\epsilon=C_1=1} = \phi_1 C_2 + C_1 \bar{C}_2 = \bar{C}_2 \quad (\text{因为 } \phi_1 \text{ 降为 0 时 } C_1 \text{ 接收信息}) \quad (2b)$$

$$C_4^+ = \phi_4 <\bar{C}_1> |_{\epsilon=C_4} = \phi_4 \bar{C}_1 + C_4 C_1 = \bar{C}_1 \quad (\text{因为 } \phi_4 \text{ 升为 1 时 } C_4 \text{ 完成取样}) \quad (2c)$$

$$Q^+ = \phi_3 <C_4> |_{\epsilon=Q=1} = \phi_3 C_4 + Q \bar{C}_4 = \bar{C}_4 \quad (\text{因为 } \phi_3 \text{ 降为 0 时 } C_3 \text{ 接收信息}) \quad (2d)$$

为简便略去场效应二极管的表达式 ( $\phi_1$  上升沿时预充电)。按上述 (赋值前) 公式画输出波形方法: 只画出控制信号 = 1 时的各输出波形, 其余时刻保持不变, 所画出的波形与实测一致。根据 (2) 式 (式中  $C_1$  是逻辑值,  $V_{C_1}$  是电压值, 赋值后将  $ab + \bar{c}\bar{d}$  依次代入, 注意三次取反), 得出图 1(c) 所示带“与或非”输入的 D 触发器的特征方程为

$$Q^+ = \overline{ab + \bar{c}\bar{d}} \quad (\phi_3 = 0 \text{ 时成立}) \quad (3a)$$

图 1(b) 左半部或右半部是上式的特例 (二种绝热锁存器):  $\bar{D}$  型锁存器和 D 型锁存器, 特征方程分别表示为

$$Q^+ = \bar{D} \text{ 和 } Q^+ = D \quad (\text{设锁存器输入和输出均为 } D \text{ 和 } Q^+) \quad (3b)$$

将图 1(b) 按虚线首尾相接, 得出  $T'$  触发器, 特征方程表示为

$$Q^+ = \bar{Q} \quad (\phi_3 = 0 \text{ 时成立}) \quad (3c)$$

图 1(c) 左和右半部各自称为主和从锁存器, 若改右半部为  $\bar{D}$  型锁存器, 得出另一种带“与或”输入的绝热 D 触发器, 特征方程表示为

$$Q^+ = ab + \bar{c}\bar{d} \quad (\phi_3 = 0 \text{ 时成立}) \quad (3d)$$

令  $b = d = \bar{Q}$ ,  $a = J$ ,  $c = K$ , 代入 (3d) 式, 则得出绝热 JK 触发器; 同样方法, 令  $a = c = T$ , 即得出绝热 T 触发器, 特征方程与常规触发器相同。

经计算机模拟表明：图 1(b) 满足 (3b) 式： $Q^+ = D(\phi_3 \text{ 降为 } 0 \text{ 时成立})$ ；若将虚线首尾相接，则图 1(b) 满足 (3c) 式。计算机模拟还表明图 1(c) 满足 (3a) 式（“与或非”输入），理论分析与计算机模拟结果完全符合。

### 3 绝热无比型同步动态时序电路综合方法

尽管绝热 JK 和绝热 T 触发器与常规触发器作用相同，但不能像常规时序电路那样方便地外接规定的组合电路（因为绝热组合电路要用变相的时序电路去实现）。实际中最好采用带“与或非”输入的绝热 D 触发器，输入门控电路的结构按设计结果决定。该文在此基础上提出绝热无比型同步动态时序电路综合方法，具体综合步骤如下：

- (1) 先画出状态图，进行状态化简和状态编码（仍按常规方法进行）。
- (2) 接着画出各  $Q_i^+$  卡诺图，按常规方法，求出各  $Q_i^+$  的“与或非”简化式。
- (3) 根据各  $Q_i^+$  的“与或非”简化式，改变各  $Q_i^+$  触发器输入门控电路的结构，最后画出满足设计要求的同步时序电路图。

设计 5421BCD 码十进制计数器，采用带“与或非”输入的绝热无比型 D 触发器。设计步骤如下：

- (1) 直接画出（状态化简和状态编码均已完成的）十进制计数器的编码状态图（从略），状态图中 10 个状态 0~9 依次编码为 0000，0001，0010，0011，0100，1000，1001，1010，1011，1100。

- (2) 接着画出各  $Q_i^+$  卡诺图， $i = 0, 1, 2, 3$ 。对每个卡诺图按 0 方格划环，求出各  $Q_i^+$  的“与或非”简化式为

$$Q_3^+ = \overline{Q_2 Q_3} + \overline{Q_2 Q_3}, \quad Q_2^+ = \overline{Q_0} + \overline{Q_1} \quad (4a)$$

$$Q_1^+ = \overline{Q_0 Q_1} + \overline{Q_0 Q_1}, \quad Q_0^+ = \overline{Q_0} + \overline{Q_2} \quad (4b)$$

- (3) 根据 (4) 式，构成各  $Q_i^+$  触发器输入门控电路，最后连接各触发器，得出十进制计数器电路图，如图 (2) 所示。

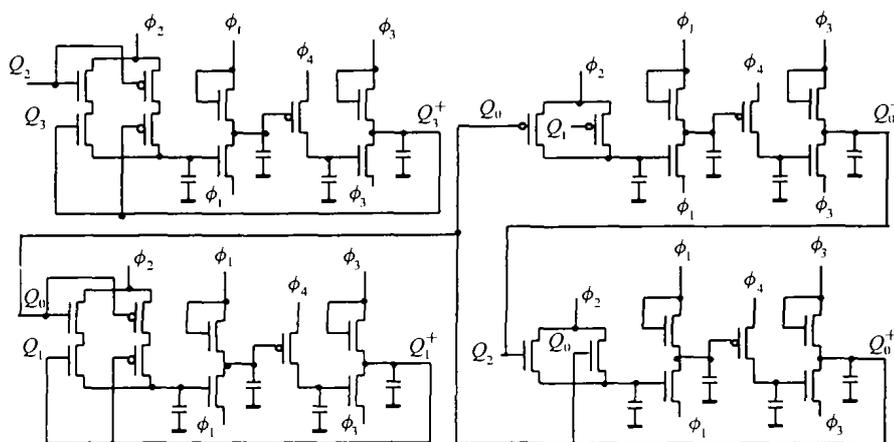


图 2 绝热十进制计数器电路图

### 4 电路各时钟功耗和测试结果分析

图 2 为 5421BCD 码绝热十进制计数器电路，其中电容值各自取于极间电容。对图 1(a) 所

示的常规 VLSI 无比型动态电路, 要求满足  $C_1 \gg C_4^{[10]}$ ; 而绝热电路图 1(b), 1(c) 不必满足  $C_1 \gg C_4$  条件<sup>2</sup>。考虑存储信息的电容  $C_1$  和  $C_3$  需要有一定的保持时间, 一般只需稍大于取样电容  $C_2$  和  $C_4$  即可。在  $0.8\mu\text{m}$  工艺下, 对  $Q_0, Q_1, Q_2, Q_3$  四触发器进行计算机模拟, 时钟周期为  $8\text{ns}$ , 图 3 是  $Q_0, Q_1, Q_2, Q_3$  各触发器输出测试波形, 图中包含两个计数周期, 例如  $Q_3$  前半周期为低电平, 后半周期为高电平, 其它依次类推, 测试波形与十进制计数器预期结果完全一致。图 4 是  $\phi_1, \phi_2, \phi_3, \phi_4$  四相时钟电源各自的有效功耗曲线, 有效功耗测试结果依次为  $10\mu\text{W}$ ,  $3\mu\text{W}$ ,  $13\mu\text{W}$ ,  $2.8\mu\text{W}$ , 总有效功耗是  $28.8\mu\text{W}$ , 小于一个绝热 PAL-2N 4 位二进制计数器或绝热 CSOAL 全加器的功耗<sup>[7,8]</sup>。测试表明波形稳定性较好, 电路结构也十分简单, 仅用 32 管就完成十进制计数器的功能。本文电路功耗低且实现了绝热同步时序电路综合。有效功耗是在图 4 曲线平坦部分测定 (最好在计数周期末测定, 需另文描述功耗测试方法<sup>3</sup>)。

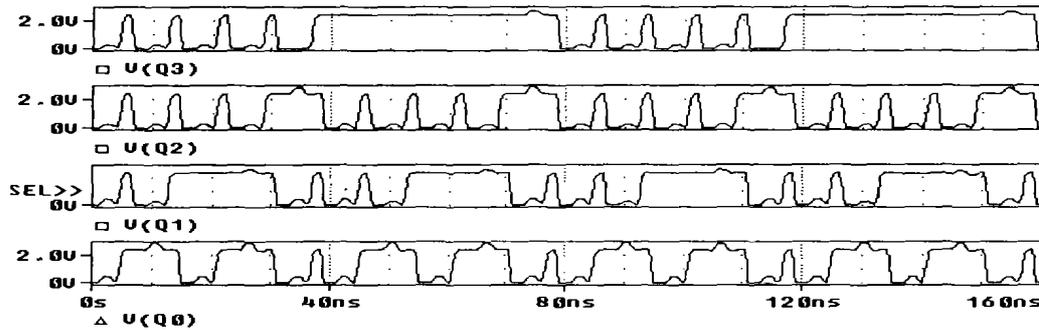


图 3 十进制计数器各  $Q_i$  触发器输出测试波形

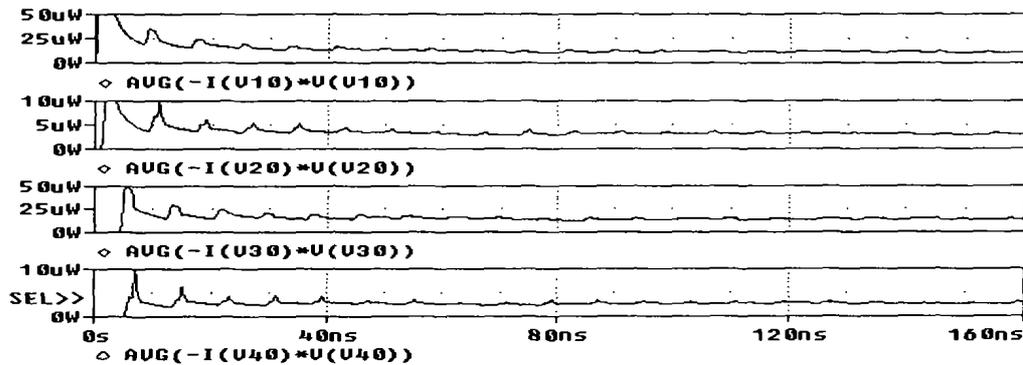


图 4 十进制计数器各时钟有效功耗测试

普通二极管导通电压  $V_f$  很大且固定, 时钟上升沿 (由 0 到  $V_{dd}$ ) 时的能耗  $E_{pre} = qV_f = C_1 V_{dd} V_f$ , 是与速度无关的定值<sup>[5]</sup>。进一步测试表明, 随时钟变慢, 场效应二极管的  $E_{pre}$  并不是定值, 而是逐渐变小。选取参数能使场效应二极管的  $V_f$  变小 (接近于 0), 使能耗比普通二

<sup>2</sup> 图 1(a) 中  $C_1$  经  $T_4$  管对  $C_4$  充电, 使  $C_1$  电压降低, 故需满足  $C_1 \gg C_4$ , 图 1(b) 中  $C_1$  接  $T_4$  管栅极, 与  $C_4$  隔开,  $C_1$  电压控制时钟电源对  $C_4$  充电, 充电后  $C_1$  电压不变, 故不必满足  $C_1 \gg C_4$ , 可尽量选取  $C_1$  小些, 以减少硅片面积。

<sup>3</sup> 因为绝热电路是非线性电路, 一般含有多个非线性电阻, 拉氏变换, 复数符号法, 叠加原理和戴维南定理均失效, 难以变换为含有一个有效电阻 (余为电抗) 的电路, 但能量守恒定律仍然成立, 建立在此基础上的测试方法有广泛的适用性。

极管的  $E_{pre}$  小, 但场效应二极管存在较大的导通电阻  $R_d$ , 对高速工作不利。为提高速度, 需设法降低  $R_d$ 。总之, 场效应二极管还有改进的潜力。

### 参 考 文 献

- [1] 吴训威, 杭国强, 绝热计算原理与能量恢复型 CMOS 电路, 计算机学报, 2000, 2(7), 779-784.
- [2] 吴训威, 杭国强, 具有交叉耦合结构的能量恢复型电路, 电路与系统学报, 2000, 5(2), 1-8.
- [3] Y. Moon, D. K. Jeong, An efficient charge recovery logic circuit, IEEE J. of Solid-State Circuits, 1996, SC-31(4), 514-522.
- [4] A. G. Dickinson, J. S. Denker, Adiabatic dynamic logic, IEEE J. of Solid-State Circuits, 1995, SC-30(3), 311-315.
- [5] Yong Moon, Deog-Kyoon Jeong, A  $32 \times 32$ b adiabatic register file with supply clock generator, IEEE J. of SSC., 1998, J. of Solid-State Circuit-33(5), 696-701.
- [6] J. S. Denker, S. C. Avery, A. G. Dickinson, *et al.*, Adiabatic computing with the 2N-2N2D logic family, In: Proceedings of the International Workshop on Low Power Design, Napa Valley, 1994, 183-187.
- [7] K. W. Ng, K. T. Lau, Low power flip-flop design on PAL-2N structure, Microelectronics Journal, 2000, 31(2), 113-116.
- [8] F. Liu, K. T. Lau, L. Siek, P. K. Chan, A low-power compact switched output adiabatic logic(CSOAL) family, Int. J. Electronics, 1999, 86(3), 323-328.
- [9] 宋俊德, 辛德禄, 超大规模集成电路与系统设计导论, 成都, 电子科技大学出版社, 1989, 90.
- [10] (美) 萨布罗·穆尔加著, 茅于海, 刘宝琴, 夏玲玲译, VLSI 系统设计, 北京, 电子工业出版社, 1989, 217-223.
- [11] 方振贤, 刘莹, 电路三要素理论和布尔代数失效原因分析, 电子科学学刊, 1999, 21(6), 806-813.

## ADIABATIC RATIOLESS DYNAMIC FLIP-FLOPS AND SYNTHESIS FOR SYNCHRONOUS SEQUENTIAL CIRCUITS

Liu Ying      Fang Zhenxian      Wang Pengjun\*

(College of Science, Heilongjiang Univ., Harbin 150080, China)

\*(Institute of Circuits and Systems, Ninbo Univ., Ninbo 315211, China)

**Abstract** In this paper a synthesis for low power circuits is studied and an adiabatic ratioless dynamic memory circuit is expressed quantitatively in accordance with the theory of three essential circuit elements. Then many adiabatic ratioless dynamic flip-flops are composed of two adiabatic ratioless dynamic latches, for example D or T' flip-flop of 6 MOS transistors and D flip-flop with AND-NOR-inputs of 9 MOS transistors, in which there is no phenomenon of information disappearing rapidly after receiving one in capacitors. On the basis of above theory, this paper presents a synthesis for adiabatic synchronous sequential circuits, and designs an adiabatic 5421BCD decimal counter circuit of 32 MOS transistors which consumes lower power than that of an adiabatic PAL-2N 4-bit binary counter. Above theory is verified by computer simulation.

**Key words** Adiabatic ratioless dynamic flip-flops, Synthesis for adiabatic synchronous sequential circuits, Theory of three essential circuit elements

刘 莹: 女, 1948 年生, 高级实验师, 从事近代物理实验和电子技术的教学和科学研究工作。  
 方振贤: 男, 1936 年生, 教授, 从事数字电路理论和计算机应用的研究。  
 汪鹏君: 男, 1966 年生, 讲师, 硕士, 现从事数字电子方面的教学与科研工作。