

基于 PSL 断言的宽带电路交换芯片验证

张 华, 郭 建, 韩俊刚

(西安邮电学院 ASIC 设计中心, 西安 710061)

摘 要: 利用基于 PSL 断言的验证方法验证了宽带电路交换芯片 XYDXC160 的设计。该芯片单片支持 64 路 2.488Gb/s STM-16 帧结构的 SDH 码流的输入/输出, 实现 1 024×1 024 STM-1 流的无阻塞电路交换。断言技术的引入, 降低了验证工作的复杂度, 提高了验证的速度和效率, 确保了验证工作的质量。

关键词: 基于断言的验证; 同步数字系列; 性质描述语言

Broadband Digital Cross Connection Chip Verification Based on PSL Assertion

ZHANG Hua, GUO Jian, HAN Jungang

(ASIC Lab, Xi'an Institute of Post & Telecom., Xi'an 710061)

【Abstract】 This paper presents a new verification methodology that uses PSL assertion to verify broadband digital cross connection chip XYDXC160, which supports 64 links SDH traffic of STM-16 frame at a speed of 2.488Gb/s and carries out 1 024×1 024 full exchange with the grain of STM-1. By adopting the assertion technology, it successfully deals with the complexity of verification effectively and quickens the verification process.

【Key words】 assertion-based verification; synchronous digital hierarchy(SDH); property specification language(PSL)

基于断言的验证使用性质描述语言对系统的功能进行描述, 并把这些描述写成相应的断言, 通过工具检查断言是否成功, 从而判断设计是否满足系统的功能要求。Accellera 的性质描述语言 PSL, 是用来对系统的功能进行规范描述的语言, 2005 年 9 月被国际电气电子工程师协会接受为新的标准 IEEE 1850^[1]。

本文利用基于断言的验证方法验证了宽带电路交换芯片 XYDXC160 的设计。同步数字系列(SDH)是通信网的国际标准, 具有统一的网络节点接口, 采用一套标准的信息结构等级, 即同步传送模块 STM-N(N=1,4,16,64), 现存的不同体系的信号都能纳入其帧结构中传输, 具有广泛的适应性和兼容性^[2], 笔者设计的宽带电路交换芯片 XYDXC160, 对 64 路 STM-16 帧结构的 SDH 码流, 实现了 STM-1 级别的交叉连接。该芯片功能复杂, 规模达百万门, 数模混合, 采用模拟的收发器, 嵌入了可重用的 IP 核, 验证工作量很大, 为了确保验证工作的质量, 缩短验证的时间, 采用了形式和仿真相结合的验证方法, 使用 PSL 语言描述系统的功能要求, 引入了断言的方法。

1 SDH 的帧结构

1.1 同步传送模块 STM-N(N=1,4,16,64)

SDH 最基本的同步传送模块是 STM-1, 速率为 155.52Mb/s, 高阶的 STM-N(N=4,16,64)由 STM-1 信号字节间插形成。STM-N 帧结构^[2,3]采用一种以字节为单位的矩形块状, 如图 1 所示。STM-N 由 270×N 列 9 行组成, 帧长度为 270×N×9 个字节, 帧周期为 125μs。对于 STM-1, 帧长度为 270×9=2 430B, 因此速率为 2 430×8bits/125μs=155.52Mb/s; 同理 STM-16 帧长度为 270×9×16=38 880B, 速率为 2.488Gb/s。

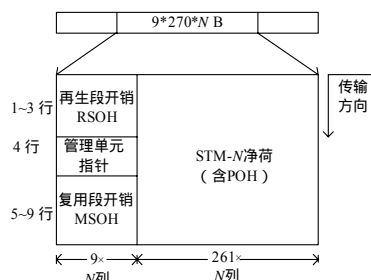


图 1 STM-N 帧结构

A1	A1	A1	A2	A2	A2	J0	*	*
B1			E1			F1	*	*
D1			D2			D3		
管理单元指针								
B2	B2	B2	K1			K2		
D4			D5			D6		
D7			D8			D9		
D10			D11			D12		
S1					M1	E2	*	*

图 2 STM-1 开销字节

SDH 帧结构中段开销可分为再生段开销(RSOH, 1~3 行)和复用段开销(MSOH, 5~9 行)。以 STM-1 为例, 开销字节安排如图 2 所示(* 表示国内使用保留字节, 表示与传输媒

基金项目: 国家自然科学基金资助重大项目(90207015); 国家“863”计划基金资助重大专项课题“超大规模集成电路设计”(2003AA1Z1190)

作者简介: 张 华(1982 -), 男, 硕士研究生, 主研方向: VLSI 及大规模集成电路设计和验证; 郭 建, 博士研究生; 韩俊刚, 教授、博士生导师

收稿日期: 2006-07-20 **E-mail:** huazhang82@xiyou.edu.cn

质相关的特征字节)。

帧定位字节 A1 和 A2, A1 为 11110110(16 进制 F6), A2 为 00101000(16 进制 28), 在 STM-1 帧内连续安排 6 个字节。其余开销字节, 查看 ITU-T G.709 标准。由于 STM-16 可认为是低阶的 STM-1 字节间插形成, 因此其帧定位字节为每帧开始的连续 $6 \times 16 = 96\text{B}$ 。

1.2 字节在 STM-N 帧中位置表示

字节在 STM-N 帧中位置的表示, 采用 S(a, b, c) 三维向量表示方法, 其中 a 表示字节在 STM-N 帧行号, 有效值 1~9; b 表示字节在 STM-N 帧中的复列号, 有效值 1~270; c 表示字节在 STM-N 帧中的间插层数, 称为时隙号, 有效值 1~N。

2 XYDXC160 芯片的功能

宽带电路交换芯片 XYDXC160 采用 $0.18\mu\text{m}$ CMOS 工艺, 在单片上能够实现 64 路输入/输出, 1024×1024 STM-1 流的无阻塞电路交换, 收发端口速率为 2.488 Gb/s。收发通道采用 SDH 扰码方式的数码流, 字符和帧定位由 SDH 的 A1/A2 字节确定, 芯片在交换之前依次进行帧定位、解扰码和通道之间的帧对齐操作。

芯片采用 T-S-T 3 级交换结构(如图 3)实现 STM-1 粒度上的交换, 前 T 级(接收链路时分交换模块 RTSI)交换和后 T 级(发送链路时分交换模块 TTSI)交换完成一个通道内的 16 个 STM-1 的时隙交换。空分级 S(SSWE)按时隙进行通道之间的空分交换。芯片提供两个独立的帧对齐定时平面 A 和 B, 处于同一平面的通道之间可以进行交换。发送通道配置为属于 A 定时平面时只能从配置在定时平面 A 的接收通道中获取数据。发送通道配置为属于定时平面 B 时只能从配置在定时平面 B 的接收通道中获取数据。

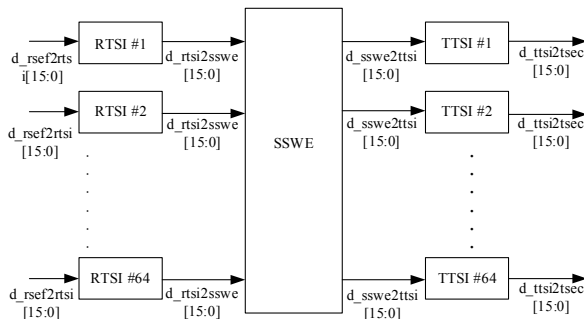


图 3 T-S-T 3 级交换结构

RTSI, TTSI, SSWE 支持两个交换控制页面(激活页面和备用页面), 激活页面控制当前电路交换。

3 基于断言的验证方法

3.1 断言的验证方法

(1) 基于仿真的断言检查。在仿真环境中, 断言扮演监视器的角色, 检查预期的行为是否满足, 当设计的行为和预期不一致时, 报告失败。

(2) 在形式化分析中的断言验证, 用断言来描述预期的设计行为, 然后利用数学的方法进行检查。由于无需测试激励, 可以在构建测试环境的前几个月进行, 因此能较早而快速地找出设计中的缺陷^[3,4]。

3.2 PSL 语言

Accellera 公司的性质描述语言 PSL, 通过使用精简的语法和明确定义的形式化语义, 提出了一个标准的方法, 对设计的性质进行规范说明。验证工程师可通过动态和静态的验证

方法, 检查设计是否满足系统功能规范的要求^[4,5]。

为了和硬件描述语言(HDL)的兼容, PSL 语言具有 4 种风格: System Verilog, Verilog, VHDL, GDL (general description language)。

一个 PSL 性质表示一个需检验的或假定的用来约束设计的行为, Verilog 风格的 PSL 性质定义如下:

```
Verilog :property <name>=[verification directive] [occurrence operator]
[enabling condition(s)] [implication operator(s)](fulfilling condition)
```

```
[discharging condition][@clock expression];
```

芯片 XYDXC160 采用 Verilog 编码, 为了和设计代码兼容, 可以使用 Verilog 风格的 PSL 描述芯片的性质, 对系统的功能进行断言。Accellera 公司的 PSL 遵循自身的一套语法, 具有复杂的体系结构, 详见标准 IEEE 1850。

4 芯片验证

4.1 验证思路

芯片 XYDXC160 收发通道支持的是 2.488Gb/s 的 SDH 扰码方式的串行的数据流, 由于速率很高, 很难直接在芯片的收发端查看各通道的数据来判断芯片是否正确地完成了数据交换功能。为了解决这个问题, 在验证过程中, 按照图 4 连接电路, 将芯片 XYDXC160 的输出通道环回到测试电路 CHIP_TB 相应的输入通道上。CHIP_TB 是为了验证芯片功能而附加的电路模型, 它主要包括 XYDXC160 芯片中的串行收发器模块(TRANSCERIVER)和通道解帧模块(RSEF), 实现从输入的 64 通道 SDH 码流中恢复出数据和时钟, 然后对各通道的数据进行串并转换、帧定位以及解扰码后输出。查看芯片 XYDXC160 收发端各通道的数据, 可以推迟到分别查看 XYDXC160 和 CHIP_TB 中经过串并转换、帧定位和解扰码后输出的并行数据。在实际验证过程中, 由于各通道上的数据都是 STM-16 结构, 比较固定, 而且在 STM-16 帧净荷中填入的都是特定的码流, 因此对收发端数据的查看, 都是采用断言的方式自动检查通道中的数据是否和预期的一致, 而无须观察各通道上相关信号的波形图。同样, 通过对芯片内部的相应信号进行断言, 可以快速地判断芯片内部某个模块是否正常工作。芯片的整个验证过程实现了自动化, 工作效率和质量得到极大的提高。

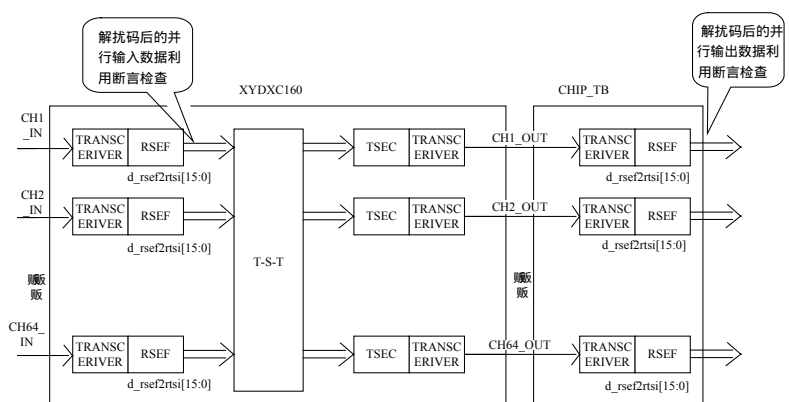


图 4 芯片验证

在设计芯片 XYDXC160 时, 将前 T 级和后 T 级的每 16 个通道定义成一个分组(FACE), 1-16 号通道为 FACE1, 17-32 号通道为 FACE2, 33-48 号通道为 FACE3, 49-64 号通道为

FACE4。芯片验证中，对前 T 级各通道 STM-16 帧净荷按照下列的要求填入码流：每个 FACE 内 16 通道中同一个复列间的 16×16 个时隙数据全不相同；各通道复列中的数据循环插入。由于一个 FACE 有 16 个通道，每个通道的 STM-16 帧的一个复列中有 16 时隙，这样对每个 FACE 来说，输入的净荷构成一个 16×16B 的矩阵，该矩阵内每个字节上的数据全不相同。验证时，对前 T 级每个 FACE 中各通道的净荷数据按照特定顺序输入，构成一个特定的 16×16 矩阵，经过 4.2 节介绍的交换控制算法后，后 T 级 FACE 中各通道的数据也会按照特定的顺序输出，构成一个特定的 16×16B 矩阵。

4.2 验证步骤

配置主寄存器，使前 T(RTST)和后 T(TTSI)的 FACE1、FACE2 工作在平面 A，FACE3、FACE4 工作在平面 B，FACE1、FACE3 输入的净荷数据构成全不同的矩阵，FACE2 和 FACE4 输入的净荷数据分别是对应 FACE1、FACE3 矩阵的转置矩阵。由于平面 A 和 B 的工作情况类似，各个 FACE 的算法也类似，现在仅以 FACE1 为例说明 RTSI，SSWE，TTSI 的交换控制页面算法。FACE1 内的净荷数据构成 16×16 矩阵 M ， $E_{i,j}$ ， $0 \leq i \leq 15, 0 \leq j \leq 15$ 为矩阵 M 中的元素，代表第 $i+1$ 通道中第 $j+1$ 时隙的数据。

RTSI 的交换控制页面配置：

FOR i:=0 to 15 DO

FOR j:=0 TO 15 DO

$E_{i,j} := E_{i,(j+i+16) \bmod 16}$ ；

SSWE 的交换控制页面配置：

FOR j:=0 to 15 DO

FOR i:=0 TO 15 DO

$E_{i,j} = E_{(i+j+17) \bmod 16, j}$ ；

TTSI 的交换控制页面配置：

FOR i:=0 TO 15 DO

[j:=0; WHILE (j<(14-i-j)) DO [$E_{i,j} \leftrightarrow E_{i,(14-i-j)}$]; j:=j+1;

j:=0; WHILE((15-i+j)<(15-j)) DO [$E_{i,(15+i+j)} \leftrightarrow E_{i,(15-j)}$];

j:=j+1;]

]

现假设前 T 级 FACE1 输入的数据如表 1 所示。其中，CH1~CH16 代表通道号；TS1-TS16 代表时隙号。经过上述配置，后 T 级 FACE1 预期的输出数据如表 2 所示。通过修改 SSWE 的交换控制页面的配置，可以实现 FACE1 和 FACE2，FACE3 和 FACE4 间的交叉连接，以及芯片的 STM-1 粒度的多播和广播方式。

表 1 前 T 级 FACE1 输入的数据

TS CH	TS1	TS2	TS3	TS4	TS5	TS6	TS7	TS8	TS9	TS10	TS11	TS12	TS13	TS14	TS15	TS16
CH1	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
CH2	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F
CH3	20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F
CH4	30	31	32	33	34	35	36	37	38	39	3A	3B	3C	3D	3E	3F
CH5	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F
CH6	50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F
CH7	60	61	62	63	64	65	66	67	68	69	6A	6B	6C	6D	6E	6F
CH8	70	71	72	73	74	75	76	77	78	79	7A	7B	7C	7D	7E	7F
CH9	80	81	82	83	84	85	86	87	88	89	8A	8B	8C	8D	8E	8F
CH10	90	91	92	93	94	95	96	97	98	99	9A	9B	9C	9D	9E	9F
CH11	A0	A1	A2	A3	A4	A5	A6	A7	A8	A9	AA	AB	AC	AD	AE	AF
CH12	B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	BA	BB	BC	BD	BE	BF
CH13	C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	CA	CB	CC	CD	CE	CF
CH14	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	DA	DB	DC	DD	DE	DF
CH15	E0	E1	E2	E3	E4	E5	E6	E7	E8	E9	EA	EB	EC	ED	EE	EF
CH16	F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	FA	FB	FC	FD	FE	FF

表 2 后 T 级 FACE1 预期的输出数据

TS CH	TS1	TS2	TS3	TS4	TS5	TS6	TS7	TS8	TS9	TS10	TS11	TS12	TS13	TS14	TS15	TS16
CH1	FF	EF	DF	CF	BF	AF	9F	8F	7F	6F	5F	4F	3F	2F	1F	0F
CH2	FE	EE	DE	CE	BE	AE	9E	8E	7E	6E	5E	4E	3E	2E	1E	0E
CH3	FD	ED	DD	CD	BD	AD	9D	8D	7D	6D	5D	4D	3D	2D	1D	0D
CH4	FC	EC	DC	CC	BC	AC	9C	8C	7C	6C	5C	4C	3C	2C	1C	0C
CH5	FB	EB	DB	CB	BB	AB	9B	8B	7B	6B	5B	4B	3B	2B	1B	0B
CH6	FA	EA	DA	CA	BA	AA	9A	8A	7A	6A	5A	4A	3A	2A	1A	0A
CH7	F9	E9	D9	C9	B9	A9	99	89	79	69	59	49	39	29	19	09
CH8	F8	E8	D8	C8	B8	A8	98	88	78	68	58	48	38	28	18	08
CH9	F7	E7	D7	C7	B7	A7	97	87	77	67	57	47	37	27	17	07
CH10	F6	E6	D6	C6	B6	A6	96	86	76	66	56	46	36	26	16	06
CH11	F5	E5	D5	C5	B5	A5	95	85	75	65	55	45	35	25	15	05
CH12	F4	E4	D4	C4	B4	A4	94	84	74	64	54	44	34	24	14	04
CH13	F3	E3	D3	C3	B3	A3	93	83	73	63	53	43	33	23	13	03
CH14	F2	E2	D2	C2	B2	A2	92	82	72	62	52	42	32	22	12	02
CH15	F1	E1	D1	C1	B1	A1	91	81	71	61	51	41	31	21	11	01
CH16	F0	E0	D0	C0	B0	A0	90	80	70	60	50	40	30	20	10	00

4.3 断言引入

STM-16 帧大小为 38 880B，净荷中的数据每 16B 循环一次，在一帧内，循环次数可达 2 349 次，如果采用传统的查看波形时，耗时，工作量大，而且验证的质量难以保证。例如一帧内循环的 2 349 次，仅有一次是错误的，人工观察波形，很容易遗漏。该芯片的验证过程中，对输入/输出的 64 条通道的数据都引入相应的断言，这样将结果的检查交给机器自动去执行，根据验证的需要，也可以从芯片的中间模块引出信号，加上断言进行测试。参考表 1，对通道 1 的输入数据进行如下断言：

```

in_1: assume always ({ {chip_top_tb.UUT.design_top.
face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'hf6f6}[*24];
{chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h2828}[*24];
{chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0000}[*32]
})=>
{
{ {chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0100;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0302;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0504;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0706;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0908;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0b0a;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0d0c;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0f0e
}[*260];
[*80]
}[*8];
{ chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0100;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0302;
chip_top_tb.UUT.design_top.face1_group_1.chx_1.chx_rsef.d_rsef2rtsi==16'h0504;
}

```

(下转第 235 页)