

网络互联型多 DSP 并行处理系统设计

黄 飞, 乔纯捷, 王跃科, 王 刚

(国防科学技术大学机电工程与自动化学院, 长沙 410073)

摘要:应用高性能 DSP 作为数据处理的主节点, 借助多 DSP 并行处理技术设计大规模实时处理系统已成为发展趋势。该文介绍了多 DSP 并行处理技术, 研究了一种基于网络交换结构的多 DSP 系统构成及并行处理单元 DSP 间的互联技术, 针对多 DSP 系统的调试与开发给出了一种解决方案。该项技术拓展了 DSP 的网络接口能力, 实现了 DSP 技术与网络技术的完美结合, 推动了网络化测控技术的发展。

关键词: 计算机网络; 并行处理; 数字信号处理; 监控

Design of Parallel Processing System with Multi-DSP Interconnected by Network

HUANG Fei, QIAO Chun-jie, WANG Yue-ke, WANG Gang

(School of Mechatronics Engineering and Automation, National Univ. of Defense Technology, Changsha 410073)

【Abstract】 It is the uptrend to design large-scale real-time processing system by high performance digital signal processor (DSP) and parallel process technology. The multiple-DSP parallel process technology is discussed and the structure of multiple-DSP system based on network exchange architecture and the interlink technology among DSPs are studied. The debug and development solution of multiple-DSP system are presented. The technology extends the network connectivity capacity to combine DSP and network technologies perfectly, and boosts the development of networked measurement and control technologies.

【Key words】 computer network; parallel processing; digital signal processing; monitor

随着数字化时代的来临, DSP的应用几乎遍及整个电子领域, 尤其随着其运算能力的不断增强、开发手段的不断完善、功耗需求的不断减小和生产成本的不断降低, 在语音、图像处理、自动控制、仪器仪表、通信等领域得到了广泛应用。应用高性能DSP作为系统数据实时处理的主节点, 借助多DSP并行处理技术, 开放性地实现实时性强、可重构、可扩展、高数据吞吐量和网络连接的大规模并行处理系统, 既打破了单处理器性能提升空间的限制, 又大大增强了系统的兼容性和在线升级能力, 为基于MC3 一体化和软硬件协同设计的新一代ATS、软件无线电平台和网络化测控系统的研制提供了强大的技术支持^[1]。

实时数据处理需要完成的计算量非常巨大, 即使采用目前最先进的DSP芯片, 单只器件也无法满足实际的应用需求, 往往需要多只DSP并行工作才能完成任务。虽然多处理器系统相对单处理器系统在设计上增加了很大的难度, 软件开发和调试工作也更为复杂, 但其在高性能嵌入式系统中的应用却越来越多。一方面是由于多处理器系统能够提供比单处理器系统强得多的处理能力; 另一方面, 多处理器系统具有平衡负载的效果, 从而使各处理器能够以最高的效率进行工作。

多 DSP 并行处理系统的核心是实现多 DSP 之间的通信控制及数据交换, 即如何建立起多 DSP 之间的信号连接通道(signal link channel, SLC)。本文探讨了基于网络交换结构的多 DSP 互联以及网络接口设计问题。这种设计思想拓展了 DSP 应用领域的网络接口能力, 推动了其在网络化测控中的应用。

1 多 DSP 并行处理系统

1.1 多 DSP 并行处理技术

多DSP并行处理系统的设计是一个综合性很强的应用领域, 涉及到算法研究、VLSI设计理论、系统结构、网络拓扑等多个方面, 其目的是采用多个处理单元同时对任务进行处理而减少任务的执行时间。尽管许多DSP在多级流水处理、相乘/累加同时进行等功能中已经融入了片内并行处理技术, 如超长指令字(VLIW)、多流水线技术、片内集成多个处理单元等, 但DSP并行处理技术的主流是向片间并行发展, 因为这种并行可以不受限制地扩大并行规模^[2]。

多DSP并行处理系统的基本性能取决于组成系统的3要素: 处理单元(DSP), 并行处理系统结构, 并行算法和任务分配方法^[3]。三者之间紧密联系、互相依赖, 任务分配和并行算法的好坏直接影响并行处理系统的性能。并行处理机网络即多DSP间连接通道的主要功能是为各处理单元提供数据交换的通路, 并负责子任务传送和控制调度信号的传递。

1.2 多 DSP 互连技术

处理单元(DSP)的互联是多 DSP 并行处理系统设计的关键。各 DSP 厂家先后推出了并行 DSP, 如 ADI 的 TS101, TS201。并行 DSP 在传统 DSP 基础上提供了专门的并行控制

作者简介: 黄 飞(1979 -), 男, 博士研究生, 主研方向: 数字化测试技术; 乔纯捷, 讲师、博士研究生; 王跃科, 教授、博士生导师; 王 刚, 博士研究生

收稿日期: 2007-03-29 **E-mail:** icemarshal@163.com

口线,能够方便地构成多 DSP 并行处理系统。但是这种专门的多 DSP 支撑能力是有限的,在构成多 DSP 系统时,只能根据应用需求,在限定的数目与结构下构成多 DSP 系统,设计结果不仅制约了其广泛的通用性,也很难进一步扩展多 DSP 的应用规模。随着网络化测控技术的发展,DSP 的网络支持技术在其应用领域的重要性倍受关注。TI, ADI 等 DSP 领导者先后推出了具有以太网接口能力的 DSP,如 TI 公司的 TMS320DM642、ADI 公司的 ADSP_BF537 等。但是,目前常用的 DSP 大多不具备直接的网络接口能力,不便于构成大规模 DSP 并行处理网络,限制了其在网络化测控中的应用。

借鉴分布式计算机网络的设计思想,本文针对常用的 DSP 研究了基于网络交换结构的多 DSP 系统构成及其互联技术。其设计思想是把网络接口与 DSP 互联纳入统一的体系考虑,利用以太网交换控制芯片实现 DSP 之间、DSP 与网络接口之间的互联与数据交换。根据需要构成一定数量的多 DSP 模块,模块对外有多个以太网接口,利用常用的交换机(或 Hub)实现多模块互联,从而构成更大规模的多 DSP 并行处理系统。针对不同的任务,基于网络交换结构的多 DSP 并行处理系统可以配置不同的并行处理结构,真正做到结构上的灵活重构。

2 网络互联型多 DSP 模块设计

2.1 系统结构组成

多 DSP 模块是完成数据实时处理的核心功能模块,每个模块包含了 12 只独立同构的 TMS320C6713 处理器,所有处理器的功能均可根据任务需要进行修改。在对数据进行综合分析处理任务中,通常将一个任务划分为多个子任务交给多只 DSP 处理单元进行同步处理。多 DSP 模块结构框图见图 1。

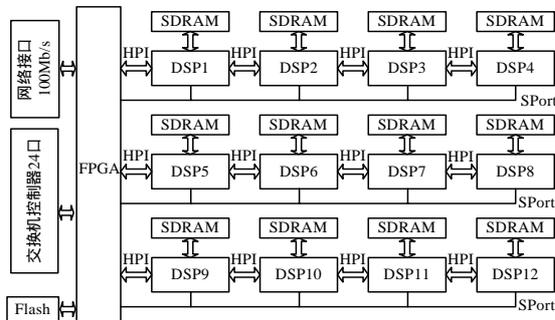


图 1 多 DSP 模块结构

如图 1 所示,多 DSP 模块系统组成包括:

(1)核心处理单元采用 TI 公司的高速数字信号处理器 TMS320C6713,主频高达 300MHz,指令周期 3.3ns^[4]。为了加快处理速度,DSP 内核采用 4KB 的一级程序缓存(Cache)、4KB 的一级数据缓存、256KB 的内部存储器,可动态分配 64KB 作为程序和数据共享的二级缓存。凭借二级高速缓存及 VLIW 架构,最高运算速度可达 2 400MIPs/1 800MFLOPs。DSP 的 2 个同步缓冲串口(McBSP)作为模块内部的互联接口,再配合芯片内部的 EDMA 通道,能够大大提高处理单元的吞吐速度。

(2)系统选用超高速以太网交换控制芯片 RTL8326 与 FPGA 构成交换矩阵,实现 DSP、交换控制芯片、百兆网口间的互联,能够按照 IEEE802.3 标准实现数据包交换。RTL8326 支持 24 路全双工 10/100Mb/s 以及 2 路全双工千兆的以太网交换,提供 24 路独立的 SMII 接口和 2 路独立的 GMII 接口^[5]。

(3)模块采用 8 口的物理层(PHY)芯片 RTL8208B,芯片支

持 8 路 10Base-T/100Base-TX 物理层收发^[6],并与 Sumlink 公司的变压器相连,再接到 RJ45 插件。对外包含 8 个以太网接口,方便模块之间的网络扩展;对模块内部提供 8 路独立的 RMII/SMII 接口作为数据互联接口。

(4)选择 Xilinx 公司的 FPGA XC2V3000 实现 DSP、交换控制芯片、百兆网口之间的接口与控制逻辑。

(5)Flash 用以存储系统脱机运行时所需加载的应用程序以及一些系统工作参数。

2.2 系统工作机制

多 DSP 模块中,DSP 间的数据交换采用了基于 MAC 地址的网络传输机制,数据传输在 FPGA 和 RTL8326 构成的交换矩阵内完成,这使得每一只处理器对其他任何处理器的数据传输操作都是一致的,只需要知道接收数据一方处理器的 MAC 地址就可以进行数据发送,无须考虑处理器在系统内的位置。

如图 2 所示,每只 DSP 都被抽象为含有数据输入和数据输出端口的处理单元模型,而多 DSP 模块中的 FPGA 和 RTL8326 共同被抽象为交换矩阵。任何 2 只 DSP 间的数据传输都是通过数据的输出和输入端口以及在交换矩阵内构建的数据链路来完成的。DSP 间的数据传输不用考虑具体的物理链路,只要知道接收数据一方的网络地址即可,具体的路由选择和数据传输由交换矩阵负责完成。

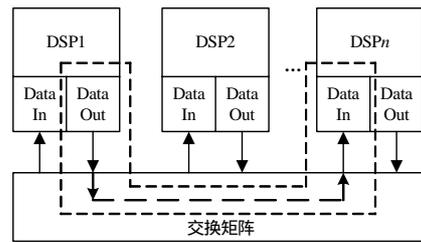


图 2 处理单元互联示意图

2.3 系统工作模式

同步缓冲串口(McBSP)作为 DSP 的互联接口和 RTL8326 的 SMII 接口相连,这样 12 只同构的 DSP 便构成一个内部网络,并且 DSP 之间的数据交换可根据处理流程灵活配置,以适应不同并行算法的要求。利用 2 片 RTL8208B 对内提供的 12 路独立的 RMII/SMII 接口,对外可以提供 12 个百兆网络接口,其 2 种工作模式如图 3、图 4 所示。

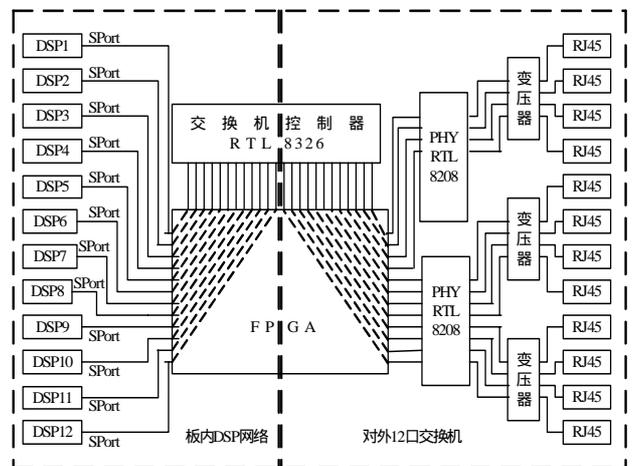


图 3 系统工作模式 1

(1)系统工作模式 1

每片 TMS320C6713 有 2 个同步缓冲串口, 模块内部的 12 只 DSP 各用一个同步缓冲串口, 通过 FPGA 与 RTL8326 的 12 路 SMII 接口相连。12 只 DSP 分别对应交换机控制器的 12 个端口, 构成一个模块内部的 DSP 交换网络。只要给每个端口的 DSP 分配一个网络地址, 便可以根据任务需要配置模块内部 12 只 DSP 的并行计算组合, 做到结构上的灵活重构。交换机控制器 RTL8326 剩余的 12 路 SMII 接口和两片 RTL8208B 提供的 12 路 SMII 接口相连, 即可构成 12 口小型简易交换机, 如图 3 所示。多 DSP 模块对外最多提供 12 个网络接口, 可外接 12 个独立的网口设备, 直接将板外网络和模块内部的 DSP 交换网络构成一个整体交换网络; 也可作为多 DSP 模块的扩展接口, 将多个 DSP 模块整合在一起, 构成大规模 DSP 处理系统, 成倍增强系统的并行处理能力。

(2) 系统工作模式 2

如图 4 所示, 该模式是一种混合作模式。同系统工作模式 1 一样, 模块内部 12 只 DSP 和交换机控制器 RTL8326 构成一个 12 端口的内部 DSP 网络。12 只 DSP 以外的同步缓冲串接口经 FPGA 逻辑转换和两片 RTL8208B 提供的 12 路 RMII 接口相连, 实现 DSP 与外部系统的接口和互联, 相当于 12 个独立的带网口的 DSP。若使用常用的外部交换机设备, 同样可实现 12 只 DSP 的数据自由交换。若用 16 口交换机, 则可实现 4 台计算机与 12 只 DSP 之间的自由共享。

这种模式相当于每只 DSP 有 2 个独立网口, 一个针对模块内部 DSP 网络互联, 另一个针对外部网络互联。在一定程度上增加了 DSP 网络的吞吐量, 同时把网络划分为模块内、外 2 个相对封闭的单元, 如果某个单元出现问题, 不会影响其他单元之间相互通信。

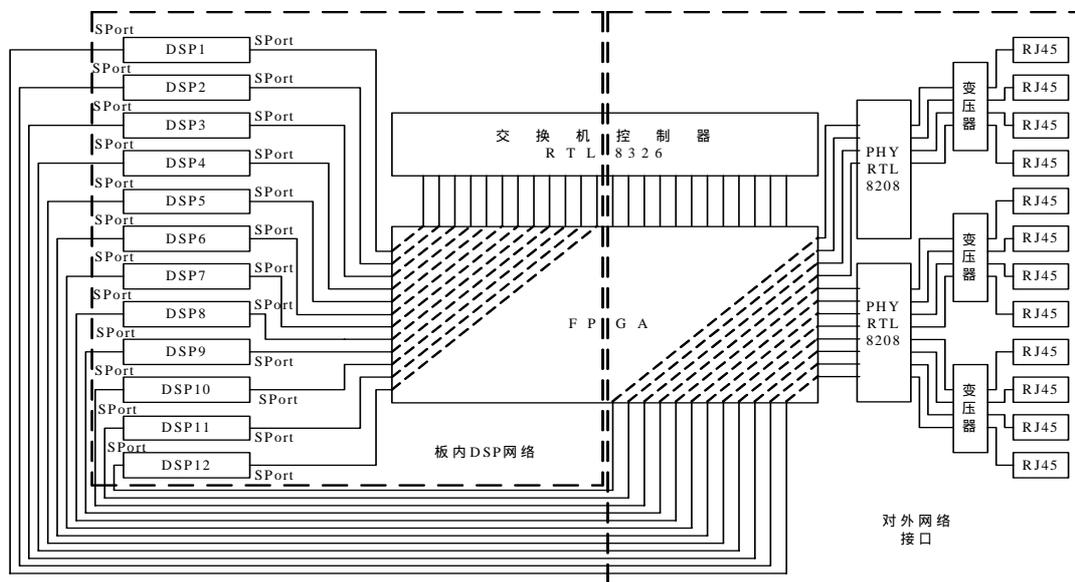


图 4 系统工作模式 2

3 系统调试与开发

和开发技术早已成熟的单 DSP 系统相比, 多 DSP 系统的调试与开发给工程人员增加了许多新的困难。本文提出了一种基于以太网的多 DSP 系统调试与开发方案, 通过在系统内部建立一个可以对所有 DSP 处理单元统一管理的“监控服务器”, 并将其接入网络, 实现了对监控资源的网络共享, 提高了多 DSP 系统软件开发的效率, 可以做到开发人员同时监控一组 DSP, 以及不同的开发人员同时对不同的 DSP 处理单元进行开发。

整个系统调试与开发的原理如图 5 所示, 从层次结构上可分为上层 PC 主机和底层“监控服务器”2 个部分。PC 主机是开发人员与多 DSP 系统之间的信息交互平台, 用来启动监控命令、显示监控状态和程序执行结果, 尽可能做到功能全面、界面友好, 方便开发人员使用。“监控服务器”是调试开发系统的关键, 其核心是一个微控制器, 它通过监控通信总线控制系统中各只 DSP, 借助系统对外扩展的监控网络接口与本地网络上的若干 PC 主机通信。并且管理系统中的 Flash 存储器, 存储系统脱机运行时所要执行的程序以及一些系统工作参数。在监控状态下, “监控服务器”通过以太网接口接收本地网络上 PC 主机发出的命令, 完成系统中所有 DSP 的监控管理, 并上传监控状态和程序执行结果; 在脱机运行状态下, 微控制器负责系统上电后将 Flash 中的程序装载到对应的 DSP 中, 并按任务流程顺序启动各 DSP。

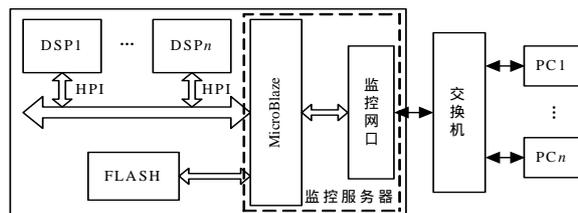


图 5 系统调试与开发原理

分别将 12 只 TMS320C6713 的 HPI 接口以总线方式与 FPGA 连接, 供监控通信使用, 利用 RTL8208B 的 1 路 RMII 接口对外提供监控网络接口。为实现微控制器功能, 本系统在 FPGA 中使用了 MicroBlaze 软核处理器。利用 MicroBlaze 的外部存储器控制接口, 实现与 HPI 接口、RMII 接口以及系

统扩展 Flash 的连接。监控软件通过以太网接口与本地网络上的 PC 主机通信, 接收、执行 PC 发出的监控命令, 完成对系统中所有 DSP 的管理, 包括读写 DSP 存储空间、复位、程序装载启动和 Flash 的控制等功能, 此外还要上传监控状态和程序执行结果。

4 结束语

本文从 DSP 技术与网络技术结合的层面探索了一种

新型的多 DSP 并行处理系统设计思路。DSP 应用领域的网络支持技术顺应了网络化测控技术发展的趋势, 尤其适合分布式、远程化测控要求。DSP 与网络技术的有机结合, 也必将推动 DSP 芯片、软件及应用的深层次变革。随着数字信号实时处理技术的进一步发展, 对并行处理技术的要求更高, 只有着眼于当今世界最先进的水平, 才有可能把握机会, 赢得先机。因此, 对并行处理系统结构、并行算法和并行设计语言的深入研究具有深远的现实意义。 (下转第 248 页)