

一. 集成电路设计基础

1.3 CMOS工艺中的元件

CMOS集成电路中的元件

- MOS晶体管
 - 版图和结构
 - 电特性
 - 隔离
 - 串联和并联
- 连线
- 集成电阻
- 集成电容
- 寄生二极管和三级管

CMOS集成电路中元件

- MOS晶体管
- 连线
 - 连线寄生模型
 - 寄生影响
- 集成电阻
- 集成电容
- 寄生二极管和三级管

CMOS集成电路中元件

- MOS晶体管
- 连线
- 集成电阻
 - 多晶硅电阻
 - 阱电阻
 - MOS电阻
 - 导线电阻
- 集成电容
- 寄生二极管和三级管

CMOS集成电路中元件

- MOS晶体管
- 连线
- 集成电阻
- 集成电容
 - 多晶硅-扩散区电容
 - 双层多晶硅电容
 - MOS电容
 - 多层“夹心”电容
- 寄生二极管和三级管

CMOS集成电路中的元件

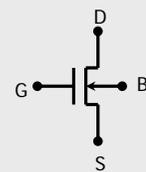
- MOS晶体管
- 连线
- 集成电阻
- 集成电容
- 寄生二极管和三级管
 - 衬底PNP BJT
 - PSD/NWELL Diode
 - NSD/P-epi Diode

MOS晶体管

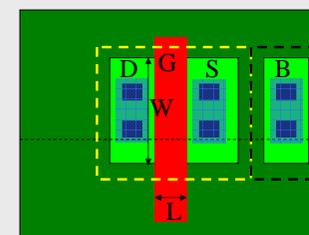
- MOS晶体管
 - 最基本的有源元件
 - 在CMOS工艺中，有PMOS和NMOS两种
 - 可用作跨导元件，开关，有源电阻，MOS电容

MOS晶体管

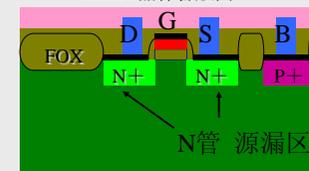
- NMOS晶体管的版图和结构



NMOS晶体管符号



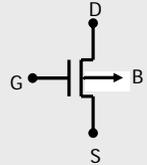
NMOS晶体管版图



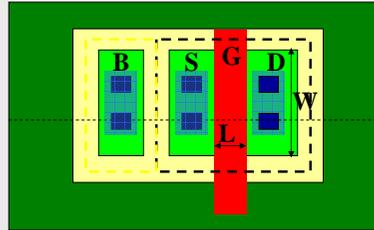
NMOS晶体管剖面图

MOS晶体管

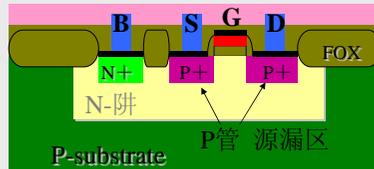
- PMOS晶体管的版图和结构



PMOS晶体管符号



PMOS晶体管版图



PMOS晶体管剖面图

MOS晶体管

- 在物理版图中, 只要一条多晶硅跨过一个有源区就形成了一个MOS晶体管, 将其S, G, D, B四端用连线引出即可与电路中其它元件连接.

- MOS晶体管的电特性

- MOS晶体管是用栅电压控制源漏电流的器件, 重要的公式是萨方程(I-V方程):

$$I_{DS} = k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$$

MOS晶体管

- MOS晶体管的电特性

- VG, VS, VD分别是栅, 源, 漏端的电压, VT是开启电压.
- k' 是本征导电因子, $k' = \mu \cdot C_{ox} / 2$, μ 是表面迁移率, 属于硅材料参数, $C_{ox} = \epsilon_{ox} / t_{ox}$ 是单位面积栅电容, 属于工艺参数, 这里 t_{ox} 为栅氧厚度
- W, L分别是MOSFET的沟道宽度和长度, 属于物理参数
- 管子的最小沟道长度 L_{min} 标志着工艺的水平——特征尺寸, 如0.35 μm , 0.18 μm . W表示管子的大小, W越大则管子越大, 导电能力越强, 等效电阻越小.
- 栅氧厚度 $t_{ox} = L_{min} / 50$

MOS晶体管

- MOS晶体管的电特性

- 晶体管的三种工作状态

截止区: $I_{DS} = 0$ 条件: $V_G - V_T - V_S \leq 0$

饱和区: $I_{DS} = k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$
条件: $V_G - V_T - V_S > 0, V_G - V_T - V_D \leq 0$

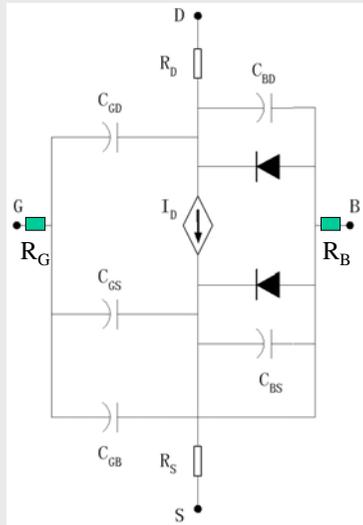
线性区: $I_{DS} = k' \cdot W/L \cdot [(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2]$
条件: $V_G - V_T - V_S > 0, V_G - V_T - V_D > 0$

- 晶体管的开启电压公式

$$V_T = V_{T0} + \gamma \left[\sqrt{2\Phi_F + V_{BS}} - \sqrt{2\Phi_F} \right]$$

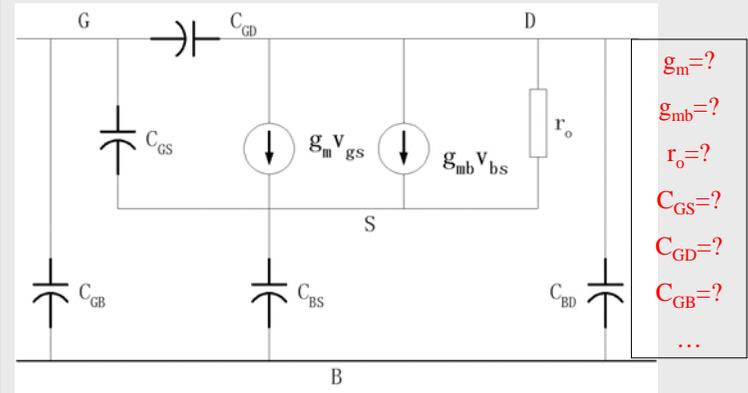
MOS晶体管

大信号模型



MOS晶体管

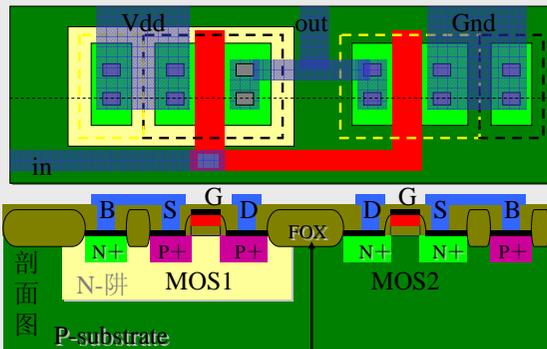
小信号高频模型



- $g_m=?$
- $g_{mb}=?$
- $r_o=?$
- $C_{GS}=?$
- $C_{GD}=?$
- $C_{GB}=?$
- ...

MOS晶体管

• MOS晶体管的隔离



在集成电路中，两个无关的晶体管都是用场氧隔离的

将MOS1和MOS2隔离开

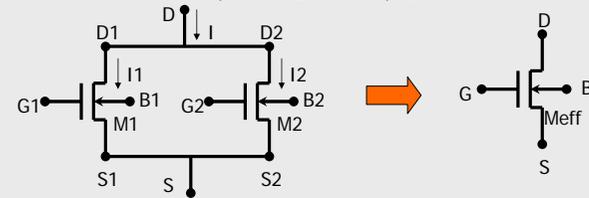
MOS晶体管

• MOS晶体管的串联和并联

- 并联: 晶体管的D端相连, S端相连.

如果两个晶体管中有一个晶体管导通,从D到S就有电流流过,若两个晶体管都导通,则 $I=I_1+I_2$.

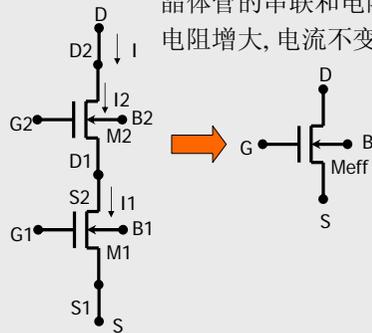
每只晶体管相当于一个电阻,它的并联和电阻并联的规律一样,等效电阻减小,电流增大.



MOS晶体管

- MOS晶体管的串联和并联

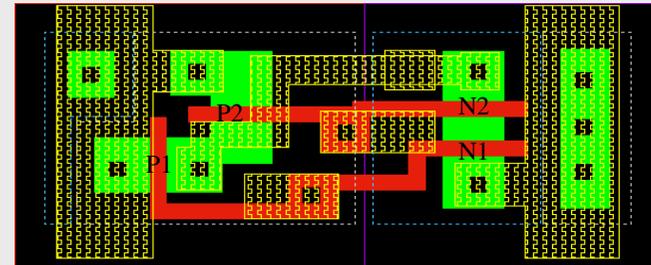
- * 串联: 晶体管的S端和另外一个晶体管的D端相连.
晶体管的串联和电阻的串联规律相同, 等效电阻增大, 电流不变: $I=I_1=I_2$.



MOS晶体管

- MOS晶体管的串联和并联

- * 串联和并联的物理实现



P1和P2并联, N1和N2串联

MOS晶体管

- 在模拟电路中, 最基本的MOS管组合包括

- Cascode
- 差分对
- 电流镜

连线

- 连线

- * 电路由元件和元件间的连线构成
- * 理想的连线在实现连接功能的同时, 不带来额外的寄生效应
- * 在版图设计中, 可用来做连线的层有:
金属, 扩散区, 多晶硅

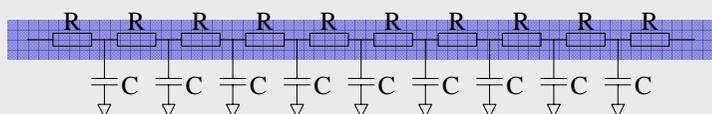
连线

- 连线寄生模型

- * 串联寄生电阻

$$T_d = 0.5 * R_u C_u * L^2$$

- * 并联寄生电容



简单的长导线寄生模型

连线

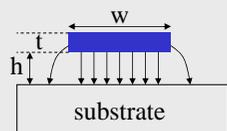
- 串联寄生电阻典型值

- * 金属(铝, 铜)—— $0.05 \Omega / \square$

- * 多晶硅—— $10 \sim 15 \Omega / \square$

- * 扩散区 (N+) —— $20 \sim 30 \Omega / \square$

连线



单位长度电容的经验公式:

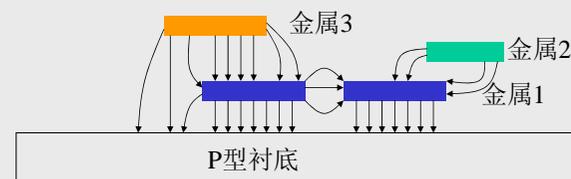
$$C = \epsilon \left[\frac{w}{h} + 0.77 + 1.06 \left(\frac{w}{h} \right)^{0.25} + 1.06 \left(\frac{t}{h} \right)^{0.5} \right]$$

4-metal 0.25um technology

	Ploy	Metal1	Metal2	Metal3	Metal4
最小宽度(um)	0.25	0.35	0.45	0.50	0.60
底板电容(aF/um*um)	90	30	15	9.0	7.0
侧墙电容(两边)(aF/um)	110	80	50	40	30

连线

- 复杂互连线的寄生电容



连线

- 串联寄生电阻和并联寄生电容的影响
 - 电源地上，电阻造成直流和瞬态压降
 - 长信号线上，分布电阻电容带来延迟
 - 在导线长距离并行或不同层导线交叉时，带来相互串扰问题

其他元件

MOS集成电路是以MOS晶体管(MOSFET)为主要元件构成的电路，以及将这些晶体管连接起来的连线，此外，集成电阻，电容，以及寄生三极管，二极管，等也是MOS集成电路中的重要元件。

集成电阻

• 电阻

- * 两端元件—— $V=RI$ 
- * 最基本的无源元件之一，是输入输出静电保护电路，模拟电路中必不可少的元件
- * 方块电阻，线性，寄生效应

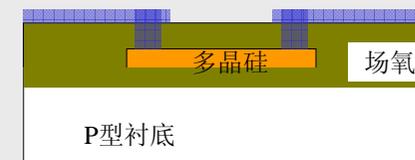
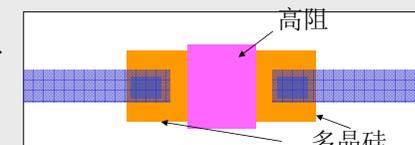
集成电阻

• 多晶硅电阻

- * 多晶硅电阻做在场区上。
- * 其方块电阻较大，因此可以作为电阻。如在作电阻的多晶硅处注入杂质，使其方块电阻变大，可制作阻值很大的电阻。

$$R=R_{\square\text{poly-Si}} \cdot L/W$$

- * 典型值： $R_{\square\text{poly-Si}}=1k$



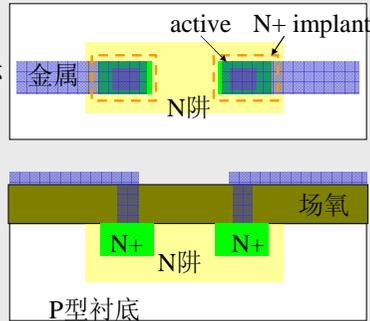
集成电路

• NWELL电阻

* 因为阱是低掺杂的, 方块电阻较大, 因此大阻值的电阻亦可以用阱来做

$$R = R_{\square \text{well}} \cdot L/W$$

* 典型值: $R_{\square \text{well}} = 0.85k$



集成电路

• NWELL电阻

* 非线性

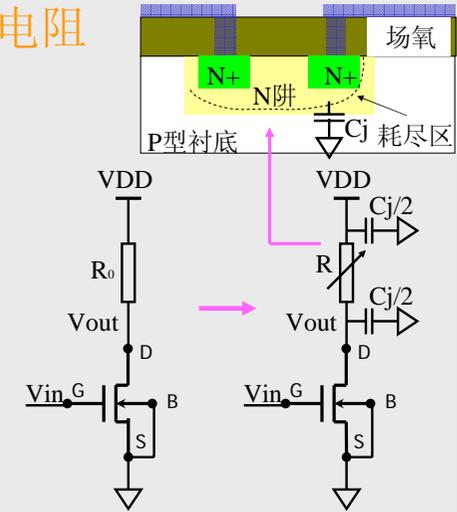
$$R \approx R_0 (1 + \alpha_1 V + \alpha_2 V^2)$$

* 典型值:

$$\alpha_1 : 8.5 \times 10^{-3} V^{-1}$$

$$\alpha_2 : 9.8 \times 10^{-4} V^{-2}$$

* 寄生电容效应



集成电路

• MOS管电阻

* 工作在线性区的MOS管可用作电阻

* 它是一个可变电阻, 其变化取决于各极电压的变化:

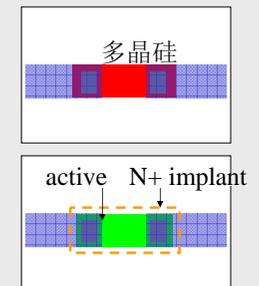
$$R = \frac{V_{DS}}{I_{DS}} = \frac{V_D - V_S}{k \left[(V_G - V_T - V_S)^2 - (V_G - V_T - V_D)^2 \right]}$$

集成电路

• 导线电阻

* 多晶硅导线 —— $10 \sim 15 \Omega/\square$

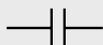
* 扩散区 (N+) —— $20 \sim 30 \Omega/\square$



集成电容

• 电容

* 两端元件，电荷的容器—— $Q=CV$



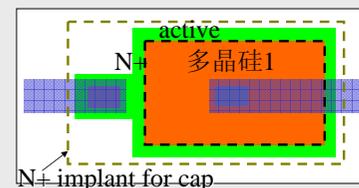
* 最基本的无源元件之一，是电源滤波电路，信号滤波电路，开关电容电路中必不可少的元件

* 单位面积电容，线性，寄生效应

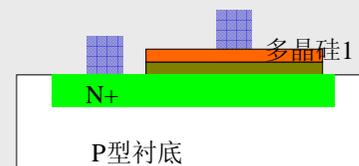
集成电容

• 多晶硅-扩散区电容

* 电容作在扩散区上，它的上极板是第一层多晶硅，下极板是扩散区，中间的介质是氧化层



* 需要额外加一层版



集成电容

• 多晶硅-扩散区电容

* 线性特性

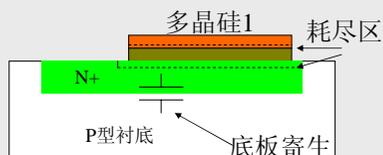
$$C \approx C_0(1 + \alpha_1 V + \alpha_2 V^2)$$

* 典型值 $\alpha_1 : 5 \times 10^{-4} V^{-1}$

$$\alpha_2 : 5 \times 10^{-5} V^{-2}$$

* 单位面积电容小于MOS栅电容

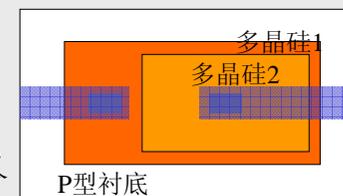
* 底板寄生电容——20% C



集成电容

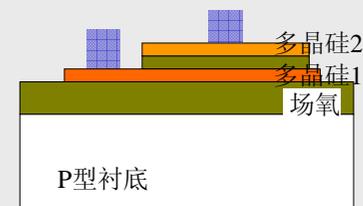
• 多晶硅-多晶硅电容:

* 电容作在场区上，它的两个电极分别是两层多晶硅，中间的介质是氧化层



* 线性特性和底板寄生与多晶硅-扩散区电容相近

* 典型值: $0.7 fF/\mu m^2$



集成电容

• 金属-金属电容(metal cap)

* 在先进的CMOS工艺中，金属互联层较多，对于混合工艺，可用最高的两层金属来做metal cap，做metal cap的金属之间的氧化层比较薄，因此需要额外的一层版

• 版图与结构与poly-ploy电容类似，只是其上极板为顶层金属，下极板为次高层金属

* 因用高层金属实现，故底板寄生电容小、电容品质高

* 典型值：1fF/um*um

集成电容

• MOS电容：

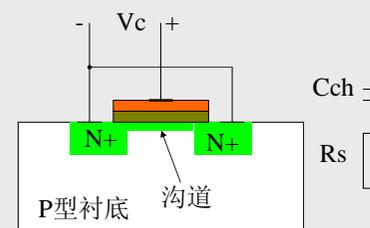
* 结构和MOS晶体管一样，是一个感应沟道电容，当栅上加电压形成沟道时电容存在。一极是栅，另一极是沟道，沟道这一极由S(D)端引出。

* 电容的大小取决于面积，氧化层的厚度及介电数。

$$C = \epsilon \cdot \frac{WL}{t_{ox}}$$

* 单位面积电容最大的电容

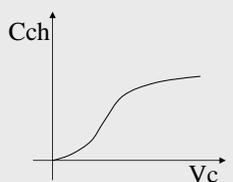
* 沟道电阻问题



集成电容

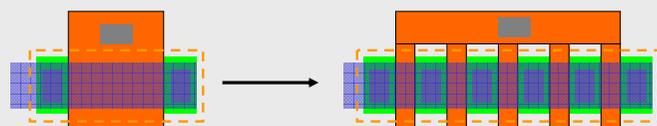
• MOS电容：

* 非线性电容
适用于电源滤波



MOS电容C/V特性

* 沟道长度需权衡考虑



减小沟道电阻的方法

集成电容

• “夹心”电容

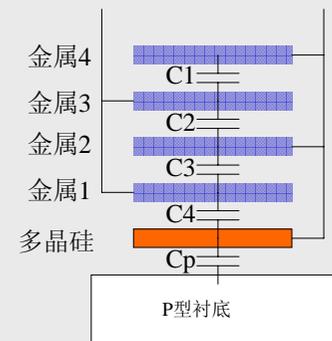
* 线性电容

* 电容值为：

$$C = C1 + C2 + C3 + C4$$

* 底板寄生电容大约为

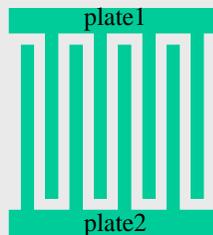
(50~60% C)



集成电容

• 梳状金属电容

- * 利用同层相邻金属线的侧墙寄生电容
- * 线性电容
- * 电容密度随着工艺缩小而增大
- * 与数字工艺兼容



衬底双极晶体管(BJT)

• 衬底BJT

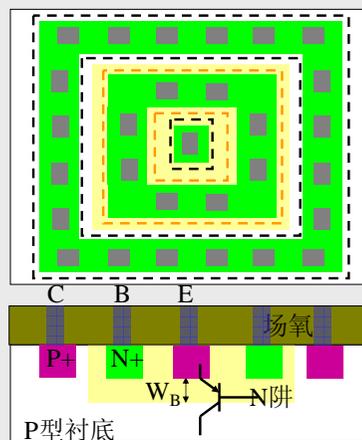
- * 有源元件之一
- * 对于N阱CMOS工艺，可实现PNP BJT
- * 可用于电压基准电路

衬底BJT

• PNP BJT的版图和结构

特点:

- 1) 集电极C电压受到限制，须接地
- 2) 基区宽度 W_B 没有很好控制，电流增益差别较大
- 3) 结构上的两个主要参数：基区宽度 W_B 和BE结面积A



衬底BJT

• 电特性

- * 饱和电流 I_S 正比于A，反比于 W_B
- * 集电极电流
$$i_C = I_S \exp\left(\frac{v_{BE}}{V_t}\right)$$
- * 共发射极电流增益 $\beta_F = i_C / i_B$
- 当 i_C 一定， v_{BE} 具有负温度系数

二极管 (Diode)

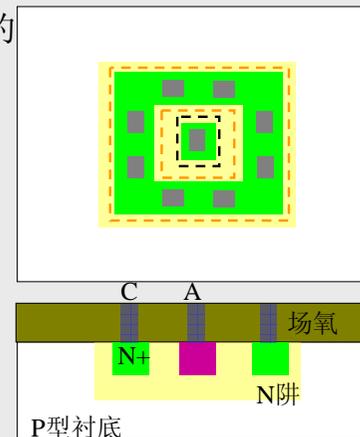
- 二极管
 - * 有源元件之一
 - * 对于N阱CMOS工艺, 有PSD/NWELL和NSD/P-epi两种Diode
 - * 主要用于ESD保护电路

二极管

- PSD/NWELL Diode的版图和结构

特点:

- 1) 存在寄生PNP BJT问题, 电流容易漏到衬底, BJT的beta范围可从<0.1到>10
- 2) 有较大的串联寄生电阻
- 3) 结构上的主要参数: 结面积A

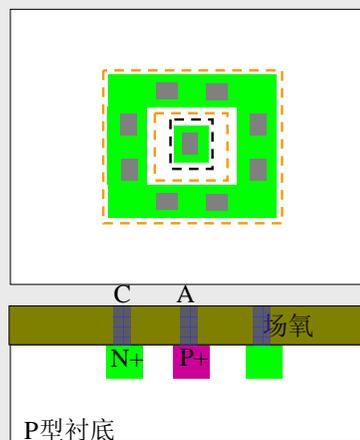


二极管

- NSD/P-epi Diode的版图和结构

特点:

- 1) C端的电压要低于衬底电压才能正向导通
- 2) 在ESD中用于抑制负的尖峰电压
- 2) 结构上的主要参数: 结面积A



二极管

- 电特性

* 饱和电流 I_S 正比于A

* 电流-电压关系公式

$$i_D = I_S \left[\exp\left(\frac{v_D}{V_T}\right) - 1 \right]$$

* PN结电容

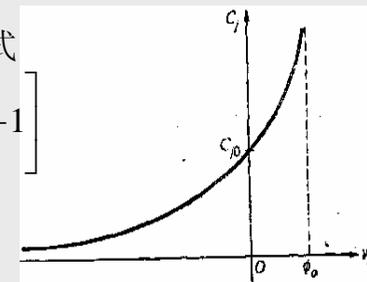


图 2.2.3 耗尽电容与外加电压的关系

本讲小结

- 课程介绍
 - 主要内容, 考核方式, 项目设计
- 集成电路设计背景知识
 - 集成电路的概念
 - 集成电路的制作过程
 - 硅集成电路的发展趋势
- 硅栅CMOS集成电路版图流程

本讲小结

- CMOS集成电路工艺中的元件
 - MOS晶体管
 - 集成电阻
 - 集成电容
 - 连线
 - BJT晶体管和二极管
- 元件的版图和结构
- 元件的电特性和寄生效应

课后作业

各层金属线与衬底的寄生电容大小如下表, 且Metal1~3的体电阻为 $80\text{m}\Omega/\square$, Metal4的体电阻为 $40\text{m}\Omega/\square$, 单个接触孔contact的电阻为 10Ω , 过孔via的电阻为 3Ω , 若电路中要求有一个从poly到poly、长度为 $1000\mu\text{m}$ 的互联, 且在换层布线中均只用双孔连接, 请问用何层金属线和何种宽度可使延迟最小? 给出详细讨论过程。

4-metal 0.25um technology

	Ploy	Metal1	Metal2	Metal3	Metal4
最小宽度(um)	0.25	0.35	0.45	0.50	0.60
底板电容(aF/um*um)	90	30	15	9.0	7.0
侧墙电容(两边)(aF/um)	110	80	50	40	30