

## 一种新的基于晶体管级的电路划分算法

薛冀颖<sup>①</sup> 孙楠<sup>②</sup> 张炜<sup>③</sup> 张文俊<sup>①</sup> 余志平<sup>①</sup>

<sup>①</sup>(清华大学微电子学研究所 北京 100084)

<sup>②</sup>(哈佛大学电机与应用科学系 美国麻萨诸塞州 02138)

<sup>③</sup>(明尼苏达大学电机与计算机科学系 美国明尼苏达州 55101)

**摘要:** 随着 VLSI 电路规模的不断增加,为实现电路并行仿真所做的电路划分算法的质量显得日益重要。鉴于现有算法未能同时保证均衡的分块间规模和最少的互联信号数目,该文提出了一种新的基于晶体管级的电路划分算法。该算法首先通过一个聚合过程对电路网表进行分割,得到一个比较好的初始分割;然后通过平衡分块间规模差异和进一步优化分块间互连线的数目,最终得到理想的电路划分结果。应用该电路划分算法对工业界的实际电路网表进行测试,结果表明:相比于目前普遍使用的 COPART 算法,该算法在分块间规模的均衡性方面平均改善了 25%,在分块间的互联信号数目方面平均减少了 18%。

**关键词:** 电路划分; 分块规模差异; 互联信号线

中图分类号: TN47

文献标识码: A

文章编号: 1009-5896(2009)12-2980-04

## A Novel Algorithm for Circuit Partitioning at Transistor Level

Xue Ji-ying<sup>①</sup> Sun Nan<sup>②</sup> Zhang Wei<sup>③</sup> Zhang Wen-jun<sup>①</sup> Yu Zhi-ping<sup>①</sup>

<sup>①</sup>(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

<sup>②</sup>(School of Engineering and Applied Sciences Harvard University, MA 02138, USA)

<sup>③</sup>(School of Electrical and Computer Engineering, Minnesota University, MN 55101, USA)

**Abstract:** As the size of VLSI circuits keeps growing, the quality of circuit partitioning for parallel simulation is becoming increasingly crucial. In view of the fact that the present algorithms cannot guarantee the size balance and minimize the cut-signals among partitions simultaneously, a novel algorithm for circuit partitioning at transistor level is presented. The proposed algorithm first conducts clustering procedure to obtain a good initial partition result, and then makes an adjustment procedure to achieve well-balanced partitions with fewer cut-signals. The excellent performance of the new algorithm is demonstrated on several industrial circuits. Compared with the COPART algorithm which is widely used, the size discrepancy among different partitions and the number of cut-signals obtained using the new algorithm decrease by 25% and 18% on average, respectively.

**Key words:** Circuit partition; Size discrepancy; Cut-signals

### 1 引言

随着集成电路技术的不断进步,在一块芯片上集成的晶体管数目日益增多,晶体管级的电路仿真已经成为电路设计任务中最耗时的工作之一。因此,首先对电路进行划分然后对得到的较小规模的子电路进行并行仿真,已经成为一个重要的趋势。所以,设计一种有效的电路划分算法,使得电路划分后的各分块规模间的均衡性和分块之间互联信号数目的最少以保证电路并行仿真的可行性已是当务之急。

Kernighan 和 Lin<sup>[1]</sup>提出了一种将普通图(graph)分成两个子图(sub-graph)的试探性算法。这个算法

成为后续电路分割算法的基础。Schweikert 和 Kernighan<sup>[2]</sup>将这种算法的应用范围推广到超图——实际电路网表的直接数学描述。Fiduccia 和 Mattheyses<sup>[3]</sup>在此基础上提出了一种快速实现方法使算法的时间复杂度降低。Krishnamurthy<sup>[4]</sup>对此进行了进一步的改进使得算法在选择被移动的元件时具有前瞻性。Sanchis<sup>[5]</sup>将 Krishnamurthy 的算法推广到了多向分割算法。Dasdan 和 Aykanat<sup>[6]</sup>采用了松弛锁定的思想,允许在每次调整过程中多次移动某一个元件。然而,以前的这些电路分割算法都存在一个问题——划分电路时缺乏对整个电路统筹的全局视角。在选择下一次被移动的电路时,这些算法都是基于上一次的分块结果。尽管进一步的改进能够在选择被移动元件时打破一些局部的束缚,但

是这些方法的运行结果只能达到局部最优, 而非全局最优。因此, Frohlich<sup>[7]</sup>提出了一种更有效的在全局视角下进行电路划分的 COPART 算法, 很大程度上降低了分块电路之间的互联信号数目, 由于明显的优势 COPART 算法现在被广泛采用<sup>[8-12]</sup>。然而, 这个算法在分块规模方面的控制能力有所欠缺, 会导致电路分块之间的规模出现较大的差异, 对电路并行仿真的效率将会产生很大的影响。

本文提出了一种新的电路划分算法, 能够同时兼顾分块间规模和互联信号数目这两方面问题, 首先在全局的视角下由一个聚合的过程进行初步的电路划分, 快速地得到一个较为理想的初始结果, 接着通过一个旨在降低分块间规模偏差和最大限度减少分块之间互联信号数目的过程, 得到一个最终理想的划分结果。

## 2 新的电路划分算法

本文提出的新的电路划分算法可以分为两个阶段: 第 1 个阶段包含电路建模、电路元件关联度的计算以及节点聚合等过程; 第 2 个阶段通过调整移动各个分块之间的元件来降低分块间的规模差异和优化分块间的互联信号数目。在详细阐述新的电路算法的具体过程之前, 首先介绍该算法中的使用到的数据结构。

### 2.1 数据结构

新提出的电路划分算法包含的两个不同的阶段需要两种不同的数据结构对电路结构进行描述。第 1 阶段需要将描述电路结构的超图转换为无向图, 并使用一个伴随矩阵描述其边权值。这个伴随矩阵是对称而且稀疏的, 因此, 它可以通过链表来描述, 并且可以只存储上三角部分。通过使用这种数据结构, 伴随矩阵的存储空间大大减小, 节点合并时引起的行和列的合并也可以在一个规定时间内完成。第 2 阶段的算法直接使用超图模型。其中, 采用单元数组描述元件及其连接的边, 采用网络数组来描述超图中的边及其连接的元件。

### 2.2 关联节点聚合阶段

在算法的第 1 个阶段, 首先对电路进行建模。

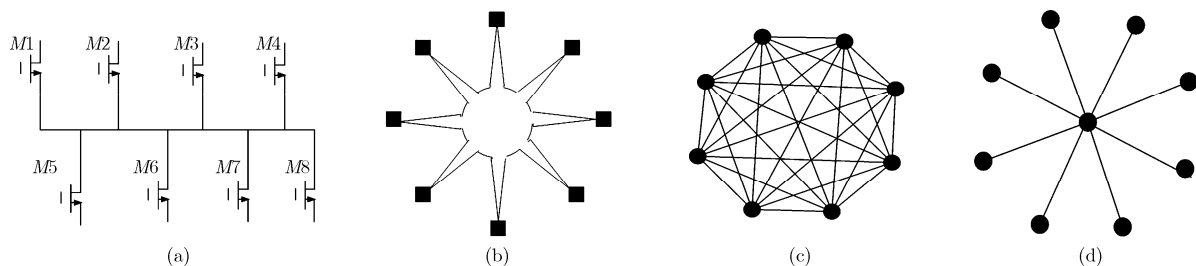


图 1 电路连线的建模

图 1(a)显示了 8 个相同的晶体管连接到同一个信号节点的电路。该电路被建模为一个超图, 如图 1(b)所示。建模时, 可以采用如图 1(c)显示的集团模型, 即连接多于两个节点的超边可以被建模为一组二元边。也可以采用如图 1(d)显示的节点模型, 即把超边建模成附加的节点, 通过二元边连接到不同的元件。在具体的应用中, 采用集团模型或者信号节点模型取决于信号线连接的元件数目。实验表明, 当一个信号连接的元件数目小于 9 时, 采用集团模型建模; 当一个信号连接的元件数目大于 9 时, 采用节点模型建模时算法是最优的。

当电路被建模成超图后, 下一步的任务就是把超图转换为无向图, 并且用一个伴随矩阵  $\mathbf{A} = |W_E|$  来记录不同节点之间的边权值。其中,  $W_E$  是连接节点  $i$  和节点  $j$  之间的边(信号线)的权值。连接  $r$  个元件的边的权值  $W_E = 1/r$ 。

建模完成后, 接着计算所有元件之间的关联度量值, 并根据大小将它们排列成一个有序优先级队列。关联度量值  $c_{ij}$  是节点  $i$  和  $j$  之间的边权值除以节点  $i$  或  $j$  所连接的所有边权值之和的最小值, 计算公式如式(1)所示:

$$c_{ij} = \frac{w_{Eij}}{\min \left( \sum_{l=1, l \neq i}^{n_V} w_{Eil}, \sum_{l=1, l \neq j}^{n_V} w_{Ejl} \right)} \quad (1)$$

然后, 该算法选择具有最大关联度量值的节点  $i$  和  $j$ , 把它们合并成为一个节点, 并且在伴随矩阵  $\mathbf{A}$  和优先级队列中进行相应的调整。重复这个节点合并的过程直到没有可以继续合并的节点为止。当节点权重超出限制或者节点之间没有连线时, 结束合并过程。之后, 通过一个后处理的程序将多余的节点进行合并, 得到初始的分块结果。

此阶段的算法描述如下:

```
Initialize the adjacent matrix  $\mathbf{A}$  and priority Queue
While there are still nodes that could be merged
/* which means such node merging will not violate
size limitation and there are connections between
them */
```

```

{
Pick out the node  $i$  and  $j$  with maximum coupling
measure from the priority queue;
Merge them;
Merge the lines and columns corresponding to
node  $i$  and  $j$  in the adjacent matrix  $A$ ;
Re-calculate the coupling measure for the
nodes previously connected to node  $i$  and  $j$ ;
Adjust the priority queue;
}
Assign clusters to partitions in the post-processing
step
    
```

**2.3 分块均衡优化阶段**

在第 1 阶段得到的分块电路之间的规模偏差较大, 分块之间的连线也有待进一步地改善。因此, 算法的第 2 阶段对通过在各个分块间移动元件来调整分块的规模和分块间的连线以达到最终理想的电路划分结果。

首先, 计算移动一个元件到其它分块中所能够减少的分块间互联信号线的数目, 并将这个值作为该元件的增益。然后, 在所有能够因为移动而带来分块规模差异减小的元件中, 选择增益最大的元件进行移动, 记录下相应的增益, 并将这个元件锁定。接着, 算法在剩余未被锁定的元件中继续选择增益最大的元件, 进行移动并锁定元件。如此往复, 直到所有的元件都被锁定为止。这时, 根据累计增益最大的原则, 选择实际应该移动的元件, 并将其它元件复原。这样, 就对原有的初始电路进行了一个完整的改进过程。然后, 再将改进后的电路分块作为初始结果, 运行上述的算法。如此往复, 直到无法再通过移动元件来减少不同分块间互联线数目为止。

在上述过程中, 选择哪个元件进行移动是依据当前分块规模的大小进行的。因此, 在每一次元件移动的过程中, 都可以对分块的规模进行控制, 使得每一次元件的移动都将是沿着减小当前分块间偏差和分块连线数目的方向进行的。如果最大增益为零, 但是通过移动元件能够改进当前分块与目标分块间规模的差异, 那么元件移动依旧进行, 提出的算法会再次运行, 直到规模差异和分块之间的互联信号数目都不能够改善为止。

此阶段的算法描述如下:

```

While (maximum sum gain > 0)
{
Initialize gains for every element;
Initialize buckets;
Repeat
{
Select and lock a cell with the max
    
```

```

move gain;
Update gains and buckets;
} Until no move is available
Calculate the maximum sum gain and store
the corresponding moving times;
If (the size discrepancy can decrease &
maximum sum gain > 0) Then
Move the corresponding elements;
Release all cells and prepare for next run pass;
}
    
```

**2.4 算法流程图**

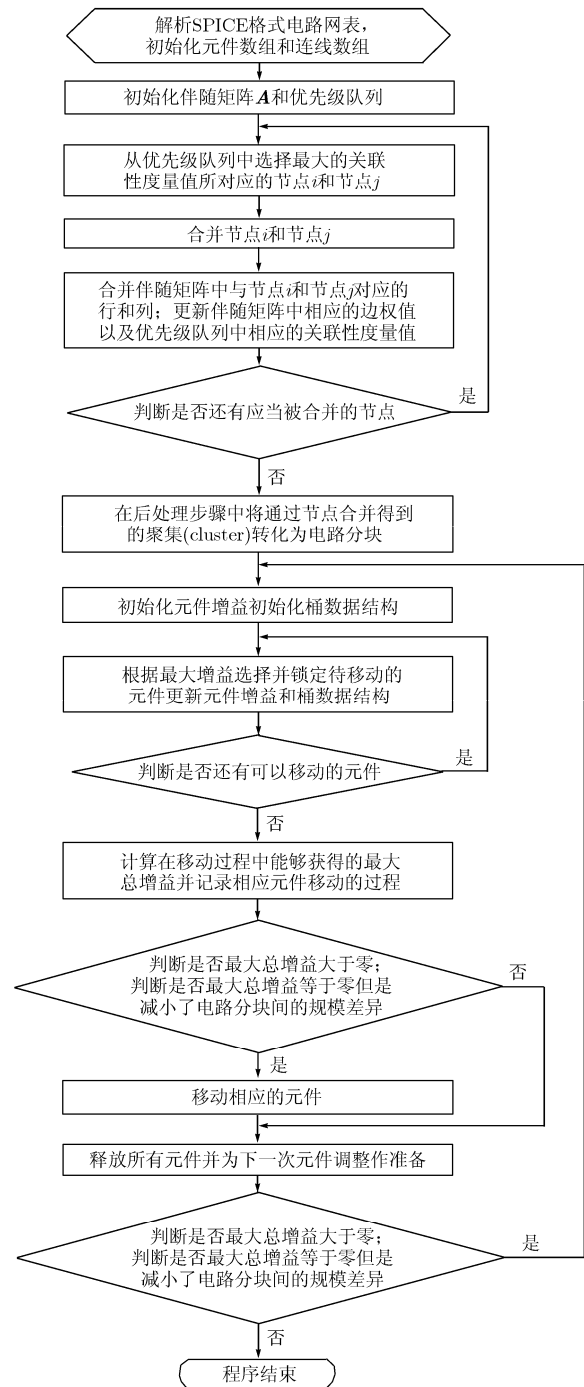


图 2 算法流程图

### 3 实验结果及分析

本文提出的电路划分算法用 C++ 语言实现, 采用 SPICE 格式输入电路网和电路分块结果。电路仿真的运行环境是在 Intel Core 2 Duo 2.66 GHz 处理器上, 内存为 2 GB。算法的测试电路为当前工业界实际使用的 4 个电路。前 3 个电路是时序数字逻辑电路, 最后一个电路是模拟电路, 它描述的是一个完整的射频收发机前端的电路结构。为了消除算法中聚合过程中存在的随机性对结果准确性的影响, 下面的仿真结果都是运行 20 次后给出的平均值。

实验结果如表 1 所示。从表 1 中可以看出, 相比于目前最为广泛使用的晶体管级电路划分算法 COPART, 本文提出的新的电路划分算法可以使分块间的规模差异最高减小 38%, 平均减小 25%, 分

块间的互联线数目最高减小 35%, 平均减小 18%。分块间的均衡性和连线数是划分电路质量最主要的两个衡量标准, 本文的算法在这两个方面都取得了理想的结果。

### 4 结束语

鉴于目前的电路划分算法未能同时做到平衡分块间规模并且最小互联信号数目, 本文提出了一种新的基于晶体管级的电路划分算法, 通过前阶段在全局的视角下的聚合和后阶段对分块规模调整以及对分块间互联信号数目的进一步优化, 对工业界的实际电路网表进行测试表明, 相比目前普遍应用的 COPART 算法, 该算法在划分的质量上有明显的提升。

表 1 电路划分质量的测试结果

电路名称	测试电路 1		测试电路 2		测试电路 3		测试电路 4	
MOS 管数目	20994		10910		10084		1485	
所用的划分算法	COPART 算法	本文的 算法	COPART 算法	本文的 算法	COPART 算法	本文的 算法	COPART 算法	本文的 算法
分块间规模偏差	1261	826	389	237	426	261	48	34
分块间互联线数目	74	58	61	53	57	49	8	6

### 参考文献

- [1] Kernighan B W and Lin S. An efficient heuristic procedure for partitioning graphs. *The Bell System Technical Journal*, 1970, 49(1): 291-307.
- [2] Schweikert D G and Kernighan B W. A proper model for the partitioning of electrical circuits. Proc. of 9th ACM/IEEE Design Automation Conf., New York, 1972: 57-62.
- [3] Fiduccia C M and Mattheyses R M. A linear-time heuristic for improving network partitions. Proc. of 19th ACM/IEEE Design Automation Conf., Piscataway, NJ, 1982: 175-181.
- [4] Krishnamurthy B. An improved min-cut algorithm for partitioning VLSI networks. *IEEE Transactions on Computers*, 1984, 33(5): 438-446.
- [5] Sanchis L A. Multiple-way network partitioning. *IEEE Transactions on Computers*, 1989, 38(1): 62-81.
- [6] Dasdan A and Aykanat C. Two novel multiway circuit partitioning algorithms using relaxed locking. *IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems*, 1997, 16(2): 169-178.
- [7] Frohlich N, Glockel V, and Fleischmann J. A new partitioning method for parallel simulation of VLSI circuits on transistor level. Proc. of Design, Automation and Test in Europe Conference and Exhibition, Paris, 2000: 679-684.
- [8] Li J and Behjat L. Net cluster: A net-reduction-based clustering preprocessing algorithm for partitioning and placement. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2007, 26(4): 669-679.
- [9] Bazylevych R, Podolskyy I, and Bazylevych L. Partitioning optimization by recursive moves of hierarchically built clusters. Proc. of Design and Diagnostics of Electronic Circuits and Systems, Krakow, 2007: 1-4.
- [10] Behjat L, Li J, and Huang J. Two clustering preprocessing techniques for large-scale circuits. Proc. of Circuits and Systems, New Orleans, 2007: 1057-1060.
- [11] Leinweber L and Bhunia S. Fine-grained supply gating through hypergraph partitioning and shannon decomposition for active power reduction. Proc. of Design, Automation and Test in Europe, Munich, 2008: 373-378.
- [12] Shan Y and Lin B. Application-specific Network-on-Chip architecture synthesis based on set partitions and Steiner Trees. Proc. of Design Automation Conference, San Francisco, 2008: 277-282.

薛冀颖: 男, 1983 年生, 博士生, 研究方向为计算机辅助设计、EDA 算法研究和并行计算。  
 孙楠: 男, 1983 年生, 博士生, 研究方向为超大规模集成电路设计技术。  
 张炜: 男, 1985 年生, 博士生, 研究方向为集成电路设计方法学研究以及计算机辅助设计技术。  
 余志平: 男, 1944 年生, 教授, 博士生导师, 主要研究方向为计算机辅助集成电路器件和电路模拟、载流子量子输运模型及纳电子器件、结构物理模型和计算机模拟、射频及模拟/数字混合电路提取和验证软件开发、计算机器件、电路模拟算法研究。