

面向多核处理器的视频编码并行加速算法综述*

庞 一⁺, 张凤妍, 孙立峰, 杨士强

清华大学 计算机科学与技术系, 北京 100084

Survey of Parallel Acceleration Algorithms of Video Coding on Multi-core Processor*

PANG Yi⁺, ZHANG Fengyan, SUN Lifeng, YANG Shiqiang

Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China

+ Corresponding author: E-mail: pangy@mails.tsinghua.edu.cn

PANG Yi, ZHANG Fengyan, SUN Lifeng, et al. Survey of parallel acceleration algorithms of video coding on multi-core processor. *Journal of Frontiers of Computer Science and Technology*, 2009, 3(4):337-346.

Abstract: The high complexity of video processing algorithm demands high computing capability of processor, and multi-core processor provides a new platform for multimedia processing. The characteristics of video coding are analyzed, the methods of accelerating video coding are summarized, and the schemes and examples of accelerating video coding on multi-core processor are introduced by classifying multi-core into symmetric, asymmetric and hybrid multi-core processor. The difficulties of designing video coding algorithm on multi-core processor are illuminated, and finally the future works are demonstrated.

Key words: video coding; H.264; multi-view video coding; MPEG-4; multi-core processor

摘 要: 视频编码算法复杂度的提高, 对处理器性能提出了更高的要求, 多核处理器为媒体数据处理提供了有力的平台。分析了视频编码标准算法的特点, 总结视频编码加速的方法, 按照对称多核处理器、不对称多核处理器以及混合式多核处理器的分类, 介绍基于多核处理器的并行视频编码设计方法以及典型例子; 总结基于多核处理器进行视频编码设计可能遇到的问题, 并指出了未来的研究方向。

* The National Grand Fundamental Research 973 Program of China under Grant No.2006CB303103 (国家重点基础研究发展规划(973)); the National High-Tech Research and Development Plan of China under Grant No.2009AA01Z328 (国家高技术研究发展计划(863)).

Received 2009-02, Accepted 2009-05.

关键词:视频编码算法;H.264 技术;多视点视频编解码;MPEG-4 技术;多核处理器

文献标识码:A 中图分类号:TP37

1 引言

“人们对计算能力的需求是无止境的”,多媒体技术的发展对计算机处理能力提出了更高要求。在确保视频质量的前提下,为了更好地传输和存储视频数据,视频编解码技术已发展多年。从早期的 MPEG-1^[1]、H.261^[2]到后来的 MPEG-2/4^[3]、H.263/4^[4-5],以及新兴的为 3D 显示做准备的多视点视频编解码技术(Multi-view video coding, MVC)^[6],视频编解码标准的发展(如图 1),使编码效率和编码算法的复杂度不断提高,使传统处理器难以满足视频编码标准实时运行的计算能力要求。图 2 说明了不同视频编码标准的计算复杂度的增加和单核/多核处理器的发展速度的相对趋势。这些趋势都以 1995 年,也就是 MPEG-2 被广泛采用的那年的情况为参考点。

视频编解码算法并行加速的研究一直是热点研究领域。早期视频编码标准 MPEG-1、MPEG-2 和 H.261 的加速系统相关研究可参见文献[7-11]。随着视频编解码算法的发展,主流处理器越发难以支持视频编解码算法的实时处理,对于 MPEG-4^[12-14]和 H.264^[15-24]的加速研究更加被人关注。新兴的 MVC 对于并行加速的需求更为迫切,但由于其标准尚未正式推出,目前对于 MVC 并行加速的研究还比较少^[25-27]。但是随

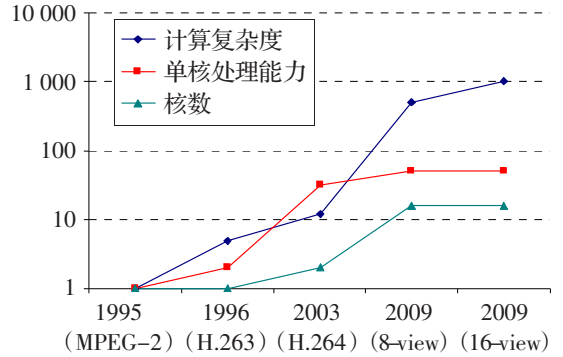


Fig.2 Development of video coding and processor

图2 视频编码和处理器的的发展

着 MVC 标准的进一步发展,相信它将成为未来研究的热点之一。并行视频编码的算法和系统情况参见表 1。

许多学者围绕图像与视频处理的加速方法及结构展开研究,并进行总结。早在 1990 年,Fukushima 在文献[31]中将图像处理器分为完全并行处理器(FPP)、部分并行处理器(PPP)、数字信号处理器(DSP)、功能处理器(FP)以及神经网络处理器(NNP)五类。当时的图像处理还局限于直方图、滤波等较低级的运算层次。汉诺威大学的 Pirsch 等人把媒体处理器分为专用处理器(dedicated)和可编程处理器(programmable)两种^[32]。亚利桑那州大学的 Panchanathan 等人从媒体处

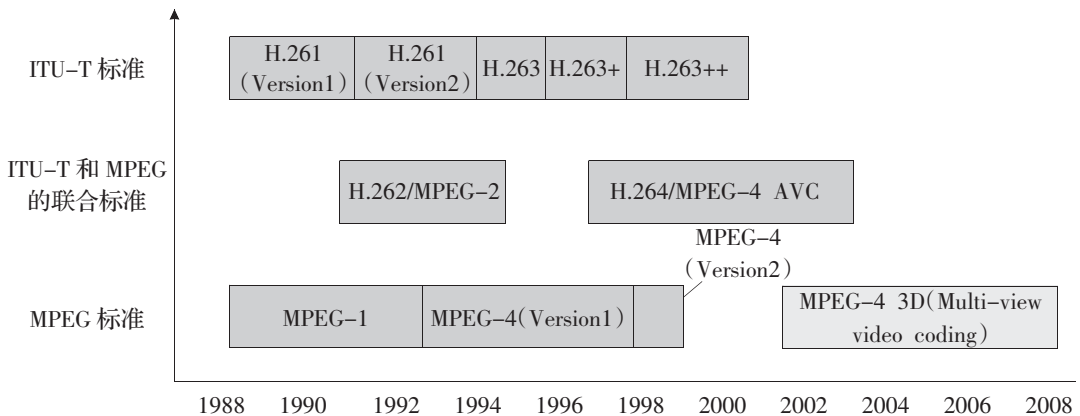


Fig.1 Development of video coding standards

图1 视频编解码标准的发展历史

Table 1 The main parallel video coding algorithms and systems

表 1 主要的并行视频编解码算法和系统

	MVC	H.264	MPEG-4	MPEG-2	H.261	MPEG-1
Intel		[15]				
IBM		[28]				
Berkeley						[8]
Purdue						
NTU	[13, 17, 18]		[13]			
CSELT			[14]			
香港大学						[7]
Nokia		[18]				
SFIT				[9]	[9]	
TUD		[19]				
NCTU		[20]				
Philips	[16, 21]		[12]	[10, 29]		
Samsung		[22, 23]				
GaTech				[11]		
NEC		[24]				
中科院	[27]					
清华大学	[25, 26]					
汉诺威大学			[30]			

理器结构的演变进行分类,将媒体处理器分为可编程处理器、专用处理器和可重构处理器;从功能性角度进行分类,分为可并行性(parallelism)、可重复操作(iterative operations)和内存处理器(memory transactions)。将两个角度相混合,从而可以对媒体处理器进行更加详细地分类^[33]。龚大年等人从并行结构的角对视频信号处理器进行分类^[34]。除此之外,Alireza 等人将可重构的数字信号处理器进行了总结^[35],Natha 等人对通用处理器的媒体扩展指令的发展进行了调研和总结^[36]。

视频编码具有数据传输量大,可并行性高的特点,所以多核处理器适用于视频编码的加速。与以往的综述不同,本文将根据多核体系结构的种类,对基于多核处理器的视频编码算法的并行研究进行总结。首先

在第 2 章分析了视频编码算法的特点和视频编解码算法的并行方法。第 3 章分别介绍了基于对称多核处理器、不对称多核处理器以及混合式多核处理器,这三种多核处理器的视频编解码并行算法的研究与实例。通过总结前人的工作,第 4 章提出设计基于多核处理器的视频编码算法研究需要注意的问题。第 5 章给出未来的发展方向。

2 视频编码算法的并行化方法

2.1 视频编码算法的特点

视频编码标准算法有其自己的特点,设计并行算法和系统时,需要结合这些特点。

2.1.1 实时响应

很多视频编码的应用要求实时响应,例如视频会议、实况转播等。视频编码的正确性不像科学计算要求的那样高,例如对于很多应用来说,跳过一些错误帧来保证实时,比毫无损失却达不到实时处理速度更好些。实时响应的特点要求处理器硬件必须达到一定的处理能力。

2.1.2 紧缩数据表示

在传统的不连续的数据处理中,大多数的数据是 32 位的,有的甚至是 64 位的,而人可以感觉到的范围很小,并且区分度不高,所以媒体数据用 8 位或 16 位数据即可表示。如果继续用 32 位或 64 位来表示媒体数据,将是一种浪费。数据类型的变化为处理器及并行加速系统的设计提出了新的挑战。

2.1.3 可并行性

可并行性从粒度大小来说,可以分为粗粒度并行和细粒度并行。从并行的元素来说,可分为数据并行和控制并行^[37];现有的视频编解码国际标准方案大多采用分块的编码方式,其中相对独立的数据组织结构(从小到大)有:像素点、宏块、片(slice)、帧、图片组(GOP),每个数据单元都可以作为数据并行粒度。从操作环节来看,最新的视频编解码算法,例如 MPEG-4、H.264 都包含 DCT、量化、帧间/帧内预测、变长编码等步骤,各操作之间关联较小,适合并行。根据上述分析,可得到视频编解码算法的四种并行单元分类:粗粒

度数据并行单元、细粒度数据并行单元、粗粒度控制并行单元、细粒度控制并行单元,如表 2。

Table 2 Classification of parallel units of video coding algorithm

表 2 视频编解码算法的并行单元分类

	粗粒度	细粒度
数据并行	宏块(MB),片(slice),帧(frame),图片组(GOP)	像素
控制并行	视频编码的步骤,例如离散余弦变换(DCT)、运动估计(ME)	指令

2.1.4 数据与指令的访问密集性

视频编码一般以宏块为基本处理单元,对于每个宏块的处理基本相同,这使得对同一段程序反复访问的现象经常发生。同一段程序会对一个宏块的数据反复读取,达到较高的数据和代码的局部性。例如 H.264 的去块滤波中,(最多时)会对一个宏块从上到下、从左到右,反复滤波 8 次。

2.1.5 数据量大

为达到实时处理的速度,每秒钟需处理 30 帧数据,以标清为例,每秒处理近 18 MB 原始数据,如果是多视点视频(以 8 个视点为例),那么处理的原始数据为 142 MB/s。实际的数据还包含中间变量、输出结果等,所以对于系统的数据读取、运算、传输能力提出了很高要求。

2.2 视频编码算法的加速方法

根据上面介绍的视频编码算法的特点,视频编码的并行加速方法可以分为四类(表 3):粗粒度数据并行、细粒度数据并行、粗粒度控制并行、细粒度控制并行。

Table 3 Classification of acceleration methods of video coding algorithm

表 3 视频编解码算法加速方法分类表

	粗粒度	细粒度
数据并行	将宏块、片、帧、图片组作为并行粒度	SIMD, 向量
控制并行	视频编码的步骤流水(DCT、运动估计/补偿等),专属加速模块	VLIW, 超线程

粗粒度数据并行是以宏块、片、帧或图片组为数据并行粒度。在针对 MPEG-4 和 H.264 的加速系统中,以宏块为并行粒度的较多^[9,12,15,20,38],因为这样可以在保证压缩效率的情况下提供较多的可并行线程。也有一些以片为并行粒度^[19],以此来简化同步策略。目前以帧和 GOP 作为并行粒度的方案较少,因为对于主流的视频编解码算法,由此得到的可并行线程数量比较少,可扩展性差。

细粒度数据并行主要是 SIMD(single instruction multiple data)技术,采用扩展指令集的方法,把媒体处理指令扩充至通用处理器的指令集^[36,39-41]。这种方法在细粒度并行方面效果显著,对于视频处理算法的加速比可达到 2~4 倍^[5]。

对于视频编码算法的粗粒度控制并行主要指的是流水并行处理 DCT、运动预测、运动补偿等编解码步骤。该方法关键在于均衡各步骤的运算量,以 H.264 为例,绝大多数的计算量集中在运动预测和运动补偿部分,所以需对这一部分集中优化^[10,12-14,16-17,20-21,29]。

细粒度的控制并行主要方法有超长指令字(very long instruction word,VLIW)和超标量技术。这两个技术是提高处理器性能的一个重要而通用的手段,并不是针对某一应用领域的特殊手段,对于媒体处理的加速会有一定的加速作用,但比较有限。它们往往成为加速性能的动力之一,与其他方法混合使用^[10,16,21,39,42]。

表 3 中所列方法并不互斥,一个性能优秀的视频编码加速并行系统,往往融合多种方法于一身,从多方面提高食品编码处理的速度。例如在不同的层次进行数据并行,利用 SIMD 优化,最终达到实时处理的效果^[15]。多核处理器的发展,为视频编码算法的并行加速带来新的机遇,下面将分类总结基于多核处理器的视频编码加速算法和系统的研究现状。

3 面向多核处理器的视频编码并行算法

随着多核处理器时代的来临,利用多核处理器的视频编码并行加速成为主流方向。按照处理器核的对

称关系进行分类,多核处理器可以分为对称多核处理器、不对称多核处理器和混合式多核处理器三大类,下面按照这三类分别介绍其特点,以及对于视频编码算法并行加速的支持情况。

3.1 对称多核处理器的视频编解码并行算法

所谓对称多核处理器是指处理器内部的各个核结构相同,关系对等,相互对称,例如 Intel 推出的双核、四核处理器。对称多核处理器的特点是设计复杂度低,可扩展性好。由于集成工艺的局限,目前的成熟的通用处理器中,最多只能将 9 个核集成在一个芯上 (IBM Cell/B.E.),未来的发展方向是一个处理器集成更多核。

针对这种体系结构,如何把任务分配均衡,以获得良好的可扩展性是关键。参考文献[15]以最新的视

频编解码标准 H.264 为例,在 Intel 的四核处理器平台上优化并行,得到了良好的加速效果。文献[15]对于 H.264 各个运算步骤的运算量及特点进行测试及分析,有针对性地进行 SIMD 优化,利用超线程技术^[43]优化。它还对于选择片、帧、宏块为并行粒度分别进行性能实验及分析,最终选择宏块作为并行粒度,由此引来了比较多的同步操作与并行算法设计的工作量。在对称四核处理器上进行实验后,加速比接近 4,而且算法的可扩展性良好。利用线程并行技术实现的 H.264 编码算法如图 3 所示。该方法的不足之处是:处理器核处理能力仍然不够强,编码时即便利用四核处理器及所有加速手段,仍无法达到实时要求。

3.2 不对称多核处理器的视频编解码并行算法

不对称多核处理器指的是各个核之间关系不对

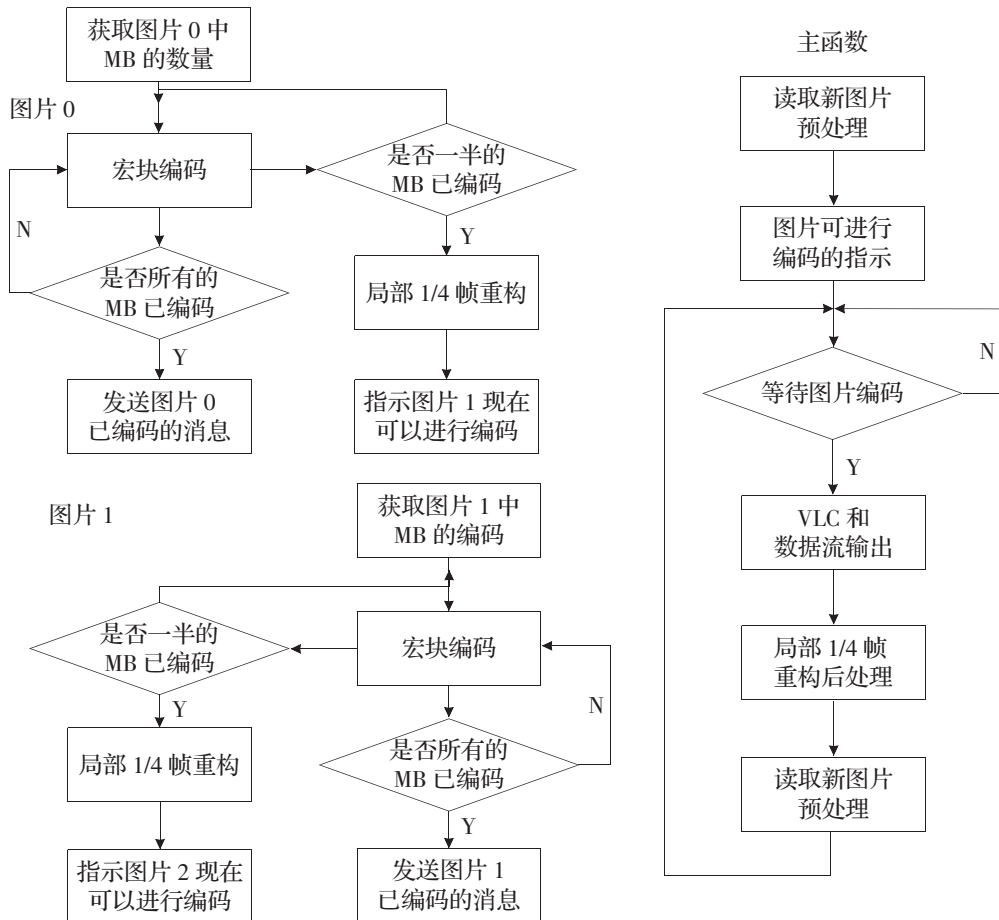


Fig.3 Outline of the proposed H.264 multi-threading scheme

图 3 H.264 编码的线程级并行流程图

等,结构不相同。对于视频编解码的加速,软硬件协同设计的主从结构是比较典型的方法。主处理器负责操作系统及软件的运行,从处理器采用硬件加速方法,负责运算量比较集中的模块^[30]。每个流水段较复杂,完成宏块级的运算,延迟时间不固定,采用信号握手协议来控制相邻流水段的数据流。飞利浦实验室推出的 MPEG-4 解码系统是典型的软硬件协同设计的不对称多核处理器集成平台^[12]。

它首先将应用分解成独立的任务,有清晰的接口和自包含的功能。在分析了每个任务的特点(例如固有的可并行性、控制流程的复杂度、传输带宽需求和对于不同应用、不用系统的可重复利用性)后,进行软硬件划分,最后确定设计方案。它包括一个超常指令字的媒体处理器,一个或多个 RISC 处理器和一些定制专用处理器,如图 4。

这种针对应用的设计方案可以使得现有的设计水平和资源发挥更大的作用,达到良好的媒体加速效果。但是,它需要设计者对于媒体处理算法和芯片系统设计都有深入地了解,同时设计方案的专属性较强,可移植性和灵活性较差,不易复用,从而使得面对新的应用,设计周期比较长。

3.3 混合式多核处理器的视频编解码并行算法

混合式多核处理器是将对称与不对称多核处理器的结构融合在一个芯片,发挥各自特点。这种结构可能是对称的若干核组成的小组,各组之间关系不对称;也可能是关系对称的各个组,每组内部的核之间不对称。IBM 与 Sony、东芝共同设计开发的 Cell/B.E. 处理器就是一款混合式多核处理器。一片 Cell/B.E. 处理器由 9 个微处理器构成的芯片。核心微处理器是标准的 64 位通用处理器,有一级缓存和二级缓存,基于 PowerPC 技术的微处理器,称为 Power 处理单元(PPE)。另外 8 个微处理器彼此之间关系对等,结构相同,但与 PPE 不同,称为协同处理单元(SPE),针对媒体处理而设计。在 Cell/B.E. 中, SPE 负责数据处理, PPE 负责调度和分配。Cell/B.E. 的体系结构图见图 5^[4]。

Cell/B.E. 处理器相对于同时钟频率下的传统的单核处理器来说,加速效果很明显。SPE 向量运算可以比普通的单精度浮点运算快 4 倍,8 个 SPE 同时工作可以提高 8 倍,这样理论上比典型的单核处理器快 32 倍。传输数据的时间和计算时间可以重叠一部分。当然,由于内存竞争,线程的互相依赖以及负载的不均衡,实际情况可能不能完全达到峰值性能。

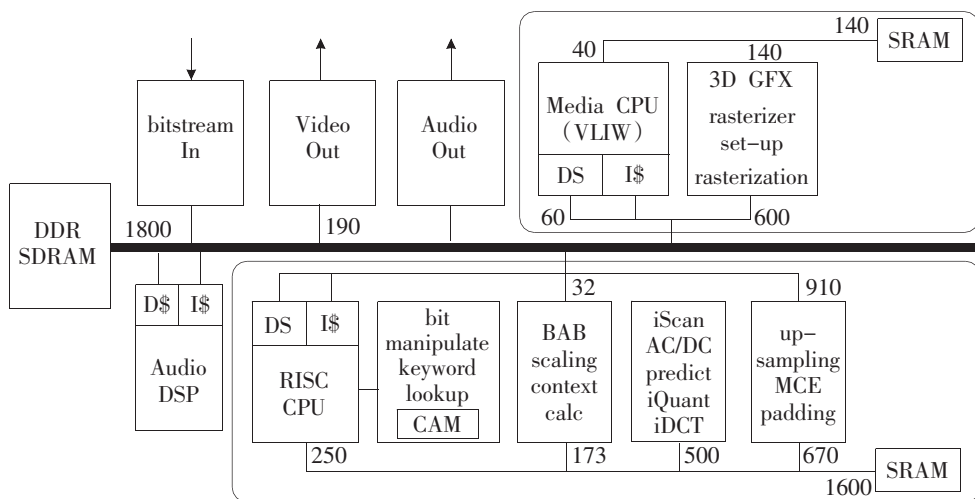


Fig.4 Architecture of MPEG-4 decoding system

图 4 MPEG-4 解码系统的结构图

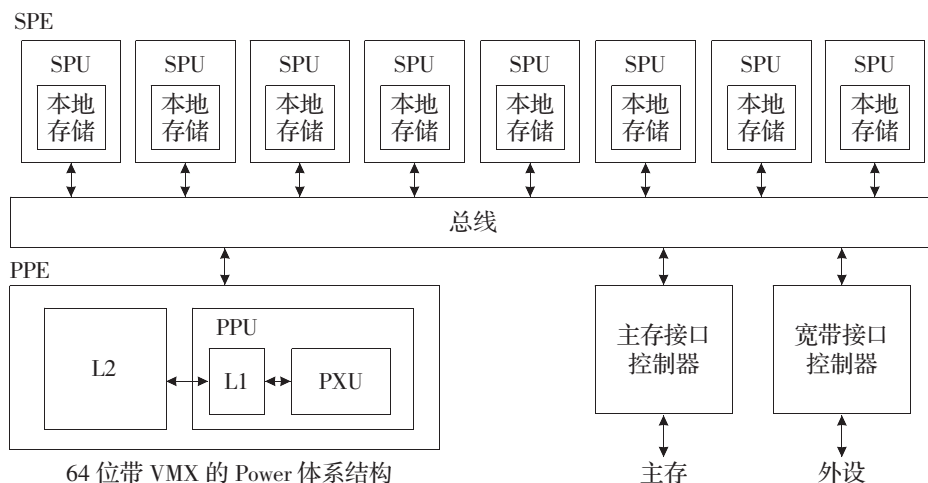


Fig.5 The architecture of Cell/B.E. processor

图 5 Cell/B.E.的体系结构图

IBM 公司在 Cell/B.E.上实现了高清的实时解码。方法是帧级数据并行与任务级并行相混合的并行架构。为与 Sony PS3 一致,让 2 个 SPE 闲置,剩下的 6 个 SPE 平均分为两组,每一组负责一帧图像的解码,两组并行操作。在一组内部,将一帧的解码分为三大步,每个 SPE 负责一步,三步流水进行。同时充分利用 SIMD 技术优化性能。由此可以做到三路高清 H.264 视频实时解码。

Cell/B.E.的加速效果优于 Intel 的对称多核处理器;从设计的复杂度来看,基于 Cell/B.E.设计比基于不对称多核处理器设计容易,混合多核处理器是性能与设计复杂度平衡后的产物。

4 基于多核处理器并行加速视频编码算法需要注意的问题

将视频编解码算法向多核微处理器转移是改进现行算法性能的一个契机,同时也是一个挑战。所以,努力推进软件的优化,使之可以最大限度地实现并行处理成为了一个新兴的研究课题。结合上面的分类和总结,下面总结出在多核处理器上进行视频编码算法设计需要注意的问题。

4.1 互斥的控制

单核处理器执行多任务时,即使任务之间共享的

变量没有进行互斥控制也不会出问题。但在多核处理器上执行时,如果没有互斥控制,操作就会出现错误。为了避免这种情况,最基本的办法是,设计算法时尽量确保各处理器核独立运算。同时还需要改变查错排错的方式。对于并行视频编解码算法的互斥控制,需要让各个处理器核分配到的任务尽量独立,从这个角度讲,数据并行比任务并行的独立性更强。

4.2 内存的管理

科学计算和商业应用中一直都热衷于共享的内存模型,因为它极大地简化了编程过程。在多核处理器领域中,采用共享存储模型会大大影响实时性。对于并行视频编码算法,这个问题体现在图像数据的存储结构设计上,原始数据和编解码后的数据应该保存哪些,如何存放,何时读取和写回都是需要考虑的问题。

4.3 软硬件相结合的设计

过去,系统开发中功能的软硬件设计,是由对两个领域都精通的工程师进行的,今后多核处理器的软件设计也会出现类似情况。对于在多核处理器上的软件设计,软件的内部划分及处理器各核的任务分配工作,是必不可少的环节。任务划分的好坏,直接影响到软件运行性能,软件结构的设计显得更为重要。即使是完全相同的硬件结构,也会由于软件并行化的程度

不同,使性能差别很大。由于视频编解码算法发展很快,一方面对于计算能力的要求更高,另一方面处理结构的灵活性也很重要,所以良好的软硬件划分可以解决这两个问题。

4.4 并行度的选择

随着多核处理器核数的增加,算法提供的并行线程数目也随之增加。在研究多核处理器上的视频编码算法加速时,要注意考虑处理器核数增多时算法的可扩展性。我们认为,粗粒度的任务并行将越来越不适合这种趋势,而数据并行的可扩展性会更好。在对称或者混合多核处理器上,利用数据并行方法,研究新一代视频编码算法的并行化问题将成为未来的主流方法。

5 结论与展望

本文系统总结了面向多核处理器的视频编解码加速算法和系统,按照粗细粒度和数据并行及控制并行,将视频编解码加速方法分为四类,并分别介绍了他们的不同。按照处理器处理单元之间关系的不同,将多核处理器分为对称、不对称和混合式多核处理器。按照这三类介绍了其上的视频编解码加速算法和系统的特点,指出了在多核处理器上进行视频编解码算法加速可能遇到的问题,说明在对称或者混合多核处理器上,利用数据并行方法,研究新一代视频编码算法的并行化问题将成为未来的主流方法。

References:

- [1] ISO/IEC JTC1. ISO/IEC 11172 (MPEG-1) Coding of moving pictures and associated audio for digital storage media at up to about 1,5 Mbit/s—Part 2: Video[S]. 1993.
- [2] ITU-T. ITU-T Rec H.261 Video codec for audiovisual services at PX64 Kbits/s[S]. 1990,1; 1993,2.
- [3] ISO/IEC JTC1. ISO/IEC 14496-2 (MPEG-4 Part 2) Coding of audio-visual objects—Part 2: Visual[S]. 1999.
- [4] ITU-T. ITU-T Rec H.263 Video coding for low bit rate communication[S]. 1995,1; 1998,2; 2000,3.
- [5] Joint Video Team of ITU-T and ISO/IEC JTC1. (ITU-T Rec H.264 | ISO/IEC 14496-10 AVC) JVT-G050r1 Draft ITU-T recommendation and final draft international standard of joint video specification[S]. 2003.
- [6] JVT-V209. Joint draft 2.0 on multi-view video coding[S]. MPEG document, 2007.
- [7] Yung N H C, Leung K K. Spatial and temporal data parallelization of the H.261 video coding algorithm[J]. IEEE Transactions on Circuits and Systems for Video Technology (CSVT), 2001, 11(1):91-104.
- [8] Shen K, Edward J, Delp A. Parallel implementation of an MPEG1 encoder: Faster than real-time[C]//SPIE Conference on Digital Video Compression: Algorithms and Technologies, San Jose, California, 1995.
- [9] Mattavelli M, Brunetton S, Mlynek D. A parallel multimedia processor for macro block based compression standards[C]//International Conference on Image Processing (ICIP), 1997.
- [10] Rutten M J, Jos T J, van Eijndhoven, et al. A heterogeneous multiprocessor architecture for flexible media processing[J]. Design and Test of Computers, IEEE, 2002,19(4):39-50.
- [11] Bader D A, Patel S. High performance MPEG-2 software decoder on the cell broadband engine[C]//IEEE International Symposium on Parallel and Distributed Processing (IPDPS), Miami, Florida, USA, 2008:1-10.
- [12] Van der Tol E B, Jaspers E G T. Mapping of MPEG-4 decoding on a flexible architecture platform[C]//SPIE, Media Processor, 2002.
- [13] Chien S Y, Huang Y W, Chen C Y, et al. Hardware architecture design of video compression for multimedia communication systems[J]. IEEE Communications Magazine, 2005: 123-131.
- [14] Franco C, Gianluca D C, Ronco L. MPEG-4 video decoder optimization[C]//IEEE International Conference on Multimedia Computing and Systems (ICMCS), 1999.
- [15] Chen Y K, Li E Q, Zhou X, et al. Implementation of H.264 encoder and decoder on personal computers[J]. Journal of Visual Communications and Image Representation, 2006, 17:509-532.
- [16] Wang Sungwen, Yang Yating, Li Chiaying, et al. The optimization of H.264/AVC baseline decoder on low-cost TriMedia DSP processor[C]//Proceedings of SPIE Applications of

- Digital Image Processing XXVII, 2004.
- [17] Chen T C, Lian C J, Chen L G. Hardware architecture design of an H.264/AVC video codec[C]//Conference on Asia South Pacific Design Automation Table of Contents, 2006.
- [18] Ville L, Antti H, Hmlinen T D. Complexity of optimized H.26L video decoder implementation[J]. 2003 IEEE Transactions on Circuits and Systems for Video Technology (CSVT), 2003,13(7):717-725.
- [19] Roitzsch M. Slice-balancing H.264 video encoding for improved scalability of multi-core[C]//27th IEEE International Real-Time Systems Symposium (RTSS), 2006.
- [20] Wang S H, Peng W H, He Y, et al. A software-hardware co-implementation of MPEG-4 advanced video coding (AVC) decoder with block level pipelining[J]. VLSI Signal Processing, 2005,41:93-110.
- [21] Van der Tol E B, Jaspers E G T, Gelderblom R H. Mapping of H.264 decoding on a multiprocessor architecture[C]//Image and Video Communications and Processing SPIE/IS&T, Santa Clara, 2003.
- [22] Baik H, Sihh K H, Kim Y, et al. Analysis and parallelization of H.264 decoder on cell broadband engine architecture[C]//IEEE International Symposium on Signal Processing and Information Technology (ISSPIT), Cairo, Egypt, 2007:791-795.
- [23] Kim Y, Kim J T, Bae S, et al. H.264/AVC decoder parallelization and optimization on asymmetric multi-core platform using dynamic load balancing[C]//IEEE International Conference on Multimedia and Expo (ICME), Hannover, Germany, 2008:1001-1004.
- [24] Nishihara K, Hatabu A, Moriyoshi T. Parallelization of H.264 video decoder for embedded multi-core processor[C]//IEEE International Conference on Multimedia and Expo2008 (ICME 2008), Hannover, Germany, 2008:329-332.
- [25] Pang Yi, Sun Lifeng, Guo Songliu, et al. Spatial and temporal data parallelization of multi-view video encoding algorithm[C]//International Workshop on Multimedia Signal Processing (MMSP), 2007.
- [26] Pang Yi, Hu Weidong, Sun Lifeng, et al. Parallelized multi-view video coding on cell broadband engine blade[C]//The Proceedings of the Workshop on Cell Systems and Applications (ISCA WCSA), 2008:82-89.
- [27] Yang You, Jiang Gangyi, Yu Mei, et al. Parallel process of hyper-space-based multiview video compression[C]//IEEE International Conference on Image Processing (ICIP), 2006.
- [28] Nanda A K, Moulic J R, Hanson R E, et al. Cell/B.E. blades: Building blocks for scalable, real-time, interactive, and digital media servers[J]. IBM Journal RES & DEV, 2007, 51(5):573-582.
- [29] Chen Yingwei, Zhong Zhun, Lan Tsehua, et al. Regulated complexity scalable MPEG-2 video decoding for media processors[J]. IEEE Transactions on Circuits and Systems for Video Technology (CSVT), 2002,12(8):678-687.
- [30] Berekovic M, Pirsch P, Selinger T, et al. Architecture of an image rendering co-processor for MPEG-4 systems[C]//Proceedings of the IEEE International Conference on Application-Specific Systems, Architectures and Processors, 2000.
- [31] Tadashi F. A survey of image processing LSIs in Japan[C]//IEEE 10th International Conference on Pattern Recognition, Atlantic City, NJ, 1990.
- [32] Pirsch P, Stolberg H J. VLSI implementations of image and video multimedia processing systems[J]. IEEE Transactions on Circuits and Systems for Video Technology (CSVT), 1998,8(7):878-891.
- [33] Panchanathan S, Dasu A. A survey of media processing approaches[J]. IEEE Transactions on Circuits and Systems for Video Technology (CSVT), 2002,12(8):633-645.
- [34] Gong Danian, He Yun, Cao Zhigang. Overview and classification of parallel architectures for video signal processors[J]. ACTA Electronica Sinica, 2000,28(7):96-101.
- [35] Alireza S, Shahram S. Run-time reconfigurable systems for digital signal processing applications: A survey[J]. VLSI Signal Processing Systems, 2005,39:213-235.
- [36] Slingerland N T, Smith A J. Multimedia extensions for general purpose microprocessors: A survey[J]. Microprocessors and Microsystems, 2005,29:225-246.
- [37] Grama A, Karypis G, Kumar V, et al. Introduction to parallel computing[M]. [S.l.]: Addison Wesley, 2003.
- [38] Liu Z, Song Y, Ikenaga T, et al. Low-pass filter based VLSI oriented variable block size motion estimation algorithm for H.264[C]//ICASSP 2006.
- [39] Momers F, Mlynek D. A multithreaded multimedia processor merging on-chip multiprocessors and distributed vector pipelines[C]//Proceedings of the IEEE Circuits and Systems (IS-CAS), 1999.
- [40] Intel Corporation. Intel releases MMX technology details to

software community to drive new multimedia, game, and Internet applications. 1996.

[41] Slingerland N, Smith A J. Measuring the performance of multimedia instruction sets[J]. IEEE Transactions on Computers, 2002, 51(11): 1317-1332.

[42] Kozyrakis C, Patterson D. Vector vs superscalar and VLIW architectures for embedded multimedia benchmarks[C]//35th

International Symposium on Microarchitecture, Instabul, Turkey, 2002.

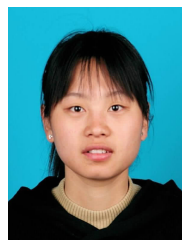
[43] Intel Corporation. Introduction to hyper-threading technology [EB/OL]. [2002]. <http://developer.intel.com/technology/hyperthread>.

[44] IBM. The cell project at IBM research[EB/OL]. [2005]. <http://www.research.ibm.com/cell/>.



PANG Yi was born in 1983. She is a Ph.D. candidate at Tsinghua University. Her research interests include parallel video coding, multi-core processor, etc.

庞一(1983-),女,河北人,清华大学博士研究生,主要研究领域为并行可视媒体处理,多核处理器等。



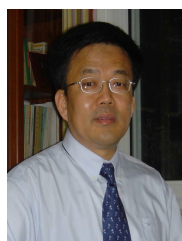
ZHANG Fengyan was born in 1983. She received her B.S. degree in Computer Science and Technology from Tsinghua University in 2006. Now she is a M.S. candidate in Computer Science and Technology at Tsinghua University. Her research interests include parallel video coding, multiview video coding (MVC), etc.

张凤妍(1983-),女,河南新乡人,2006年获得清华大学计算机科学与技术的学士学位,目前为清华大学硕士研究生,主要研究领域是视频编码的并行处理,多视点视频编解码(MVC)等。



SUN Lifeng received his B.S. and Ph.D. degree in System Engineering in 1995 and 2000 separately from National University of Defense Technology. He is now an associated professor of Department of Computer Science and Technology at Tsinghua University. His research interests include the areas of interactive multi-view video, video sensor network, peer-to-peer streaming, distributed video coding.

孙立峰,男,2000年于国防科技大学获博士学位,现为清华大学计算机系副教授,主要研究领域为可视媒体的智能分析与处理,无线视频传感器网络,异构对等网络流媒体传输与服务,面向交互应用的多视点视频技术,分布视频编码与传输。



YANG Shiqiang is a chief professor in Department of Computer Science and Technology at Tsinghua University. He received his B.S. and M.S. degree in Computer Science from Tsinghua University, in 1977 and 1983, respectively. He is currently the President of Multimedia Committee of China Computer Federation. His research interests mainly include multimedia application, video procession, streaming media and embedded multimedia.

杨士强,男,清华大学计算机科学与技术系教授,分别于1977年和1983年在清华大学计算机系获得学士和硕士学位,现在是中国计算机协会多媒体委员会主席,主要领域为多媒体应用,视频处理,流媒体和嵌入式多媒体。