

基于龙芯 2E 的 AMC 处理器模块设计

岑凡, 邢韬

(中国科学院声学研究所, 北京 100190)

摘要:介绍基于国产通用处理器的嵌入式高级夹层卡(AMC)处理器模块的设计和实现。该模块以龙芯 2E CPU 为核心, 板卡设计符合 AMC 规范, 可以直接应用于符合新型先进电信计算构架规范的计算机系统。模块配有适用于嵌入式系统互联的串行 RapidIO 接口, 可以提供充足的有效带宽用于数据通信和系统配置。给出模块的芯片组设计和软件配置。

关键词:龙芯 2E; 先进电信计算构架; 高级夹层卡; RapidIO 协议

Design of AMC Processor Module Based on Loongson2E

CEN Fan, XING Tao

(Institute of Acoustics, Chinese Academy of Sciences, Beijing 100190)

【Abstract】This paper introduces the design and implementation of Advanced Mezzanine Card(AMC) processor module based on Loongson2E CPU. This module is compatible with AMC specification and can be used in standard Advanced Telecom Computing Architecture(ATCA) systems. Serial RapidIO interface is equipped for this module. It can supply sufficient bandwidth for communication and configuration, and makes the module suitable for embedded interconnection. The chipset and software configuration of module are given.

【Key words】Loongson2E; Advanced Telecom Computing Architecture(ATCA); Advanced Mezzanine Card(AMC); RapidIO protocol

1 概述

龙芯系列 CPU 是中国科学院计算技术研究所自主研发的高性能通用 CPU。龙芯 2 号超标量处理器及其 IP 系列主要面向桌面应用和部分高端嵌入式应用。其中,龙芯 2E 微处理器是一款实现 64 位 MIPS III 指令集的通用 RISC 处理器。其综合性能已经达到高端奔腾 III 处理器以及中、低端奔腾 4 处理器的水平^[1]。目前,采用龙芯系列处理器的个人计算机、便携式计算机和嵌入式计算机已经得到推广^[2]。

先进电信计算构架(Advanced Telecom Computing Architecture, ATCA)作为开放式、可互操作的电信行业标准,正在成长为新一代电信级模块化通信平台构架。目前,多种构架的主流处理器在此平台上都有应用,如 Intel 公司的 Xeon 系列 x86 处理器, Freescale 公司的 MPC8xxx 系列 PowerPC 处理器。本文介绍的采用龙芯 2E 处理器的高级夹层卡(Advanced Mezzanine Card, AMC)计算模块是 ATCA 规范定义的标准模块,可以直接应用于符合该规范的系统。基于 ATCA 的广泛用途和良好的发展前景,这种模块必将大大扩展龙芯系列处理器在电信服务、信号处理等高端领域的应用。

2 ATCA 系统

2.1 ATCA 平台

ATCA 标准即先进的电信计算平台,是为下一代融合通信及数据网络的应用提供一个高性价比的、兼容的、可扩展的硬件构架,同时以模块化结构的形式呈现,以支持符合现代传输需求的技术或应用。ATCA 标准由一个核心规范 PICMG3.0 和一系列辅助规范组成。在核心规范中定义了机械结构、散热管理、电源分配和系统管理,而辅助规范定义了多种交换互联的构架。与同是 PICMG(PCI Industrial Computer Manufacturers Group)组织制定的前一代标准 CompactPCI 相比,ATCA 提供了更大的带宽、功率与更好的

冷却能力,节省了更多电路板面积,整合了基底层系统管理功能,同时也移除了可能导致单点失效的并行总线。表 1 列出了 2 代标准部分内容的比较^[3]。

表 1 CompactPCI 与 AdvancedTCA 主要规格比较

特性	CompactPCI	AdvancedTCA
电路板尺寸/in ²	57	140
电路板功率/W	35 ~ 50	150 ~ 200
背板频宽/(Gb.s ⁻¹)	~ 4	~ 2 400
电源系统	集中式转换器	分布式转换器
管理	选项	强制
数据传输	并行总线	双星拓扑 GbE (3.1)
	双星 GbE (2.16)	InfiniBand (3.2)
	StarFabric (2.17)	StarFabric (3.3)
	RapidIO (2.18)	PCI Express (3.4) RapidIO (3.5)
扩充卡	PMC	PMC, AMC
机架基本成本	低	中
机架功能密度	低	高

2.2 AMC 模块

AMC 适用于但不仅限于 ATCA 载板^[4]。其基本规范定义了机械结构、管理、供电、散热和交换互联。AMC 通过 GbE, PCI Express 和 Serial RapidIO 等高性能串行通道互联,支持热插拔,不丢失数据。AMC 模块采用前操作方式,插拔过程不会对背板或其他板卡产生影响,拥有智能平台管理接口(Intelligent Platform Management Interface, IPMI),保证 ATCA 载板与模块之间的兼容。通过 AMC 可以实现模块化设计并提高系统灵活性。又由于其性价比及其他优点,因此 AMC 越来越多地被看作设备中的现场可更换单元(Field Replaceable Units, FRU)。种类丰富的 AMC 以多样的功能适

作者简介:岑凡(1981-),男,博士研究生,主研方向:嵌入式系统;邢韬,博士

收稿日期:2009-04-20 **E-mail:** cenfan@gmail.com

用于广泛的市场，尤其能够满足小型化和低成本的需求。AMC 夹层卡的典型功能包括电信接口、处理器(CPU, DSP, FPGA)与存储。

3 模块整体框架

该模块是一个功能完整、可以独立工作的小型化计算机系统。该系统主要由龙芯 2E 处理器、内存模块、北桥和相应的外围接口组成，其结构如图 1 所示。

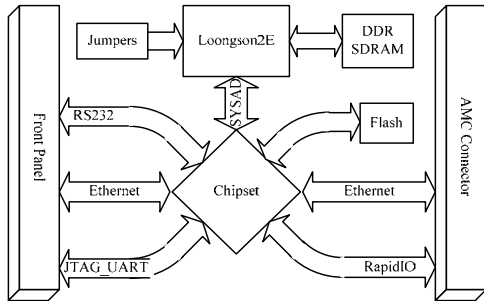


图 1 龙芯 2E AMC 结构框图

龙芯 2E 处理器的外围接口主要包括 64 位 SYSAD 总线和 DDR SDRAM 控制器总线，系统其他接口均需要由桥片提供。为了使系统具备更加先进的通信接口和灵活配置的能力，采用 FPGA 作为北桥芯片的方案。利用 FPGA 具有丰富 I/O 资源的特点，通过对 FPGA 的开发，系统具有可以用于配置、监测和调试的 RS232 串口、以太网和 JTAG-UART 接口，同时还具备高带宽、低延迟的高速 RapidIO 接口。其中，FPGA 融合了传统意义的北桥、南桥的部分功能，形成适合本模块应用的接口芯片组。板载的 Flash ROM 用于存储启动程序、操作系统和其他用户需要存放的代码。

4 关键技术特点

4.1 芯片组

芯片组设计是实现模块重点和难点。由于本模块中没有分离的北桥和南桥，因此后文将其更准确地表示为“芯片组”。尽管处理器一直是研究和市场的热点，但芯片组会直接影响最终系统的功能和性能，在系统中同样具有十分重要的地位^[5]。

龙芯 2E 处理器采用 64 位 SYSAD 总线^[6]，而 ATCA 和 AMC 规范定义了系统内互联的标准是 RapidIO、PCI Express、InfiniBand 和交换以太网等基于串行通信和包交换的通信协议。目前，实验室已有的 ATCA 构架的实验平台是基于 RapidIO 协议构建的。因此，模块设计规范化的要求和实际条件决定芯片组必须具备以下特征：

- (1)为处理器提供 SYSAD 总线接口；
- (2)为模块提供串行 RapidIO 接口；
- (3)可以修改通信协议，以方便接入其他 ATCA 系统。

市场上并没有同时满足前 2 条要求的 ASIC 产品，而第(3)条要求更需要芯片组有可重构的能力。基于此考虑，最终确定了 FPGA 的实现方案。

对于大规模数字系统的设计，模块化思想已经被公认为行之有效的的设计方法。Altera 公司的 SOPC 工具可以方便地帮助设计者实现模块化设计。它提供了大量成熟的 IP 和公开的、可裁剪的 Avalon 总线。用户只需将自己的独特需求封装成带有 Avalon 接口的模块，就可以集成到 FPGA 系统中，与其他通用部件协同工作。根据对芯片组功能的分析，利用 SOPC 工具，采用模块化的方法设计并实现了基于 FPGA 的芯片组，其结构如图 2 所示。其中，SYSAD2Avalon 模块实

现了 SYSAD 总线到 Avalon 总线的转换。龙芯 2E 处理器可以通过此模块主动地访问芯片组内的寄存器等资源，也可以连接到 RapidIO, ETH 等模块，实现对外 I/O 通信。同时，由于龙芯 2E 处理器的 2 个特点：(1)集成了内存控制器；(2)系统总线(SYSAD)分为 Master 和 Slave 状态，支持外部设备和 DDRSDRAM 的直接通信，因此 SYSAD2Avalon 模块又可以将处理器挂载的内存在 Avalon 总线一侧映射为一段地址空间，允许其他模块主动访问龙芯 2E 的存储空间。这种互易的主从关系决定了该模块在 Avalon 总线一侧同时具有一个主接口和一个从接口。在这种结构下需要注意的是，在系统设计时必须采取一定的保护措施，保证龙芯 2E 的内存免于错误或恶意的访问。

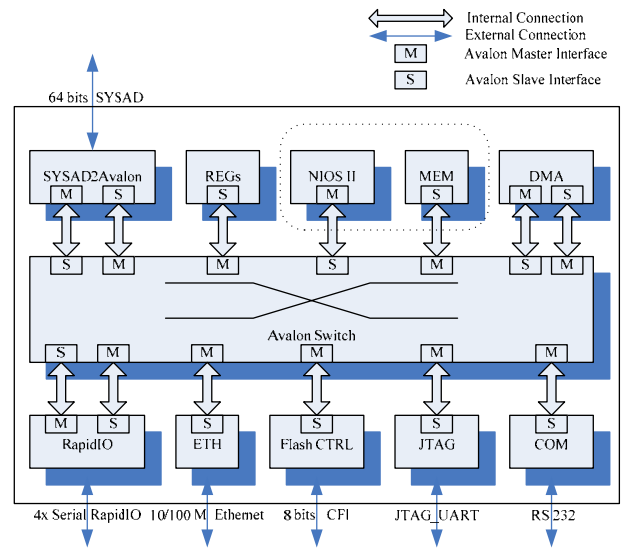


图 2 芯片组结构框图

图中阴影部分的 NiosII 处理器和片内存储器可以方便地测试、验证其他部分，而在 AMC 模块接入 ATCA 系统后，可以将其移除，不会影响芯片组的功能。

4.2 RapidIO

RapidIO 是一种高性能、低引脚数、基于包交换的系统级互联协议。面向多种嵌入式互联应用，其目标是建立紧密耦合系统内的一种开放式互联标准，主要是指芯片到芯片和电路板到电路板之间。主要针对的应用目标包括单片机、DSP、存储器、网络/通信处理器等。RapidIO 目前支持存储器映射 I/O、端口访问、系统维护和 Cache 一致性等 6 类十余种通信事务，可以支持的编程模式包括存储器映射、基于端口的消息传递和全局共享存储器。各种通信事务的绝大部分功能由硬件完成，对软件是透明的。

RapidIO 协议共有 3 层层次结构，从高到低依次为：

(1)逻辑层

定义数据包格式及端点设备发起并完成 1 次事务的必要信息。RapidIO 交换机无须解释流经的数据包，采用这种结构设计很容易实现未来扩展协议的兼容性。

(2)传输层

定义 RapidIO 的地址空间并为数据包在端点设备间传输提供必要的路由信息。

(3)物理层

描述设备级接口，明确说明数据包传输机制、流控机制、电气特性和底层错误处理。物理层包括 8 位/16 位并行接口标准和 1×/4×串行接口标准。

ATCA 规范中支持的物理层接口为串行 RapidIO。FPGA 实现串行 RapidIO 接口有 2 种方式：(1)在内部实现完整的 3 层协议的功能；(2)FPGA 实现上面 2 层，由外置的串行收发器实现物理层的功能。选用何种方式取决于 FPGA 是否内置了串行收发器。为了使电路设计简洁，选用了内置串行收发器的 Stratix II GX 型 FPGA。这种器件专为高速串行通信设计，内置的收发器可以支持高达 6.375 Gb/s 的速率。在高频率的条件下，收发器的性能、设置和电路设计都会影响性能表现甚至功能实现。因此，在接收端测量了模块进行 3.125 Gb/s 串行 RapidIO 通信时的眼图，见图 3。

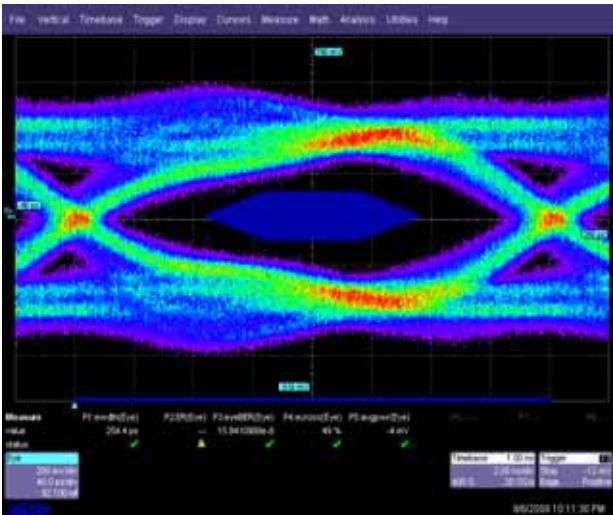


图 3 FPGA 串行收发器实现的 RapidIO 物理层眼图

可以看出，收发器被设置为引入一定幅度的波形预加重，这样可以更好地抵抗高频衰减。眼图张开的幅度满足 RapidIO 规范要求的接收端 200 mV 的差分信号幅度。

最终设计的模块如图 4 所示。



图 4 龙芯 2E 处理器 AMC 模块

4.3 软件部分

为了支持功能应用的实现，该处理器模块配备了由 BIOS(Basic I/O System)和 Linux 操作系统组成的软件平台。

龙芯 2 号系列处理器的各种开发系统一直采用 PMON 作为 BIOS，它具有功能强大、可扩展性好的优点。PMON 作为最常用的 MIPS 处理器的 BIOS，只要一个串口、512 KB ROM、128 KB RAM 就能实现全部特性。它不仅支持 BIOS 启动配置、内核加载，还支持程序调试、内存寄存器显示和设置、内存反汇编等。在实际工作过程中，PMON 首先对处理器和芯片组进行初始化，通过设置板级相关的寄存器对系统中的设备进行配置，然后从 Flash 存储器中加载操作系统。由于 PMON 是与硬件结合最紧密的软件，因此同时可以作为硬件调试的有力工具。

操作系统采用了经过裁剪的 2.6.18 版 Linux 内核。由于

RapidIO 系统在启动时会对所有节点进行枚举，因此采取在内核中集成 RapidIO 驱动程序的方式。目前，Linux 开发者已经设计了针对 RapidIO 网络的驱动程序，沿用已有的构架，并针对自己的设备进行了移植。RapidIO 互连网络上的 Linux 系统主要由 4 个部分组成：

(1)主端口(Master Port)

Linux 通过主端口向 RapidIO 网络进行各种通信事务。

(2)设备(Device)

设备是 RapidIO 网络中定义的网络节点。

(3)交换机(Switch)

交换机是一种特殊的设备，用于转发节点间通信的数据。

(4)网络(Network)

网络是指由节点和交换机组成的互联系统。

每个部分分别被定义成一种数据结构，用于对硬件的抽象。RapidIO 规范规定了系统初始化时发现和枚举的算法和过程，这些数据结构在此过程中进行初始化，完备描述了整个网络的情况。

RapidIO 子系统同样基于 2.6 版的 Linux 内核设备模型(Linux Device Model)。在实现过程中，需要将一条 RapidIO 总线注册到子系统中，然后每一个设备再注册为该总线的的一个子节点。这一点与传统的 PCI 总线设备相同。而特有的 match 和 dev attrs 函数分别实现了设备识别和寄存器数据结构映射的功能。

5 结束语

本文所述的模块在主频 759 MHz 的龙芯 2E 处理器条件下运行稳定，软硬件协同工作正常。在 ATCA 系统中，与其他具有 RapidIO 接口的设备，包括 Freescale 公司的多款 PowerPC 处理器、FPGA 和 RapidIO 交换芯片通信正常。实际应用表明，该模块扩展了龙芯系列处理器的用途，是对高性能计算系统国产化进行的有益尝试。

为了使设计更加实用，今后将在以下 2 个方面进行深入的研究：

(1)适当调整任务负载、工作频率，对模块在各种条件下的功耗、可靠性等指标进行完备的测试。

(2)目前 FPGA 作为芯片组只应用了其 I/O 接口的功能，其逻辑资源还有较大余量。完全可以针对特定任务进行开发，使 FPGA 同时成为协处理器，分担处理器的工作，这将大幅度提高模块的整体性能。

致谢 中国科学院计算技术研究所龙芯技术服务中心提供的技术支持和资料对本项目有很大的帮助，在此向他们表示衷心感谢。

参考文献

- [1] 中国科学院计算技术研究所. 龙芯 2E 处理器用户手册[Z]. 2006.
- [2] 程晓宇, 蔡 晔, 毕笃彦, 等. 基于龙芯 PC104 Plus 模块的机载视频记录系统[J]. 计算机工程, 2007, 33(2): 189-193.
- [3] 黄怡敏. 探讨 AdvancedTCA 技术应用于嵌入式系统设计的关键优势[J]. 通讯世界, 2007, (9): 17-19.
- [4] PCI Industrial Computer Manufacturers Group. Advanced Mezzanine Card Base Specification[Z]. 2004.
- [5] 武 杰, 乔 崇, 张俊杰, 等. MIPS 系统中北桥的 FPGA 设计[J]. 小型微型计算机系统, 2004, 25(11): 2028-2031.
- [6] 中国科学院计算技术研究所. 龙芯 2E 处理器数据手册[Z]. 2006.

编辑 张正兴