

SiC-MESFET 器件的夹断电压

王守国^{1,2}, 张义门¹, 张玉明¹, 张志勇², 阎军锋²

(1. 西安电子科技大学 微电子研究所, 陕西 西安 710071; 2. 西北大学 电子科学系, 陕西 西安 710069)

摘要:考虑空间电荷区杂质的非完全离化、SiC 表面的界面态和反向漏电流等因素的影响, 给出了较为精确的计算 SiC-MESFET 器件夹断电压的方法, 计算的结果和实验值符合较好。

关键词:碳化硅; 夹断电压; 界面态

中图分类号: TN386.3 **文献标识码:** A **文章编号:** 1000-274X(2003)01-0026-03

SiC 材料具有击穿电压高、电子饱和速度大、热导率高等优良的特性, 使其被广泛研究应用于高温、高频、大功率器件中。目前, 高频 SiC-MESFET 器件的研究揭示了其潜在的应用价值。准确地分析及计算 MESFET 器件的参数和特性, 是应用 MESFET 器件的基础。作为 SiC-MESFET 器件重要参数的夹断电压的计算不能用适用于 Si 材料器件的杂质完全离化理论, 因为 SiC 材料具有禁带宽度大、杂质离化能高等特点使其在室温时杂质非完全离化。同时与 Si 材料相比, SiC 材料的界面态浓度大, 界面态对 SiC 器件的影响也不能忽视。本文给出了较为精确的计算 SiC-MESFET 器件夹断电压的方法。

1 杂质不完全离化对夹断电压的影响

1.1 三角电势近似解

为了方便计算, 首先假设 SiC-MESFET 器件的肖特基栅的空间电荷区的电势能变化为三角形, 即

$$E_c(x) = E_c + q\psi_s + \frac{q\psi_s}{W}x. \quad (1)$$

其中: $E_c(x)$ 为 SiC 肖特基空间电荷区内 x 处的导带底电子能量; x 为半导体内离表面(栅金属与 SiC 的界面)的距离; E_c 为体内的导带底电子能量; ψ_s 是 SiC 的表面电势; W 是肖特基空间电荷区宽度。利用漂移扩散理论分析 SiC 肖特基势垒的形成, 并认为载流子在空间电荷区是耗尽的, 求解泊松方程如下。4H-SiC 的施主(掺 N)能极有六方位和立方位,

分别在导带底以下的 0.066 和 0.124 eV^[1], 且二者的浓度基本相等, 即

$$N_D^+ = \frac{N_{D1}}{1 + g_c \exp\left(\frac{E_F - E_{D1}(x)}{kT}\right)} + \frac{N_{D2}}{1 + g_c \exp\left(\frac{E_F - E_{D2}(x)}{kT}\right)}. \quad (2)$$

其中: N_D^+ 是离化的施主浓度; N_{D1} 是掺杂后位于 SiC 六方位的施主浓度; E_{D1} 是六方位的施主杂质的离化能; N_{D2} 是掺杂后位于立方位的施主浓度; E_{D2} 是立方位的施主杂质的离化能, g_c 是简并度。代入泊松方程

$$\frac{d^2\Psi}{dx^2} = -\frac{qN_D^+}{\epsilon_0\epsilon_s}, \quad (3)$$

并把 $E_{D1}(x)$ 和 $E_{D2}(x)$ 用方程(1)表示, 即

$$E_{Dn}(x) = E_{Dn} + q\psi_s + \frac{q\psi_s}{W}x, \quad n = 1, 2. \quad (4)$$

利用边条件 1 $x = W$, $\frac{d\Psi}{dx} = 0$, 可得

$$\frac{d\Psi}{dx} = -\frac{qN_{D1}}{\epsilon_0\epsilon_s} \left[(x - W) + \frac{kTW}{\psi_s q} \cdot \frac{1 + g_c \exp\left(\frac{E_F - E_{D1}}{kT}\right)}{1 + g_c \exp\left(\frac{E_F - E_{D1} - \psi_s q + \psi_s q x/W}{kT}\right)} \right] - \frac{qN_{D2}}{\epsilon_0\epsilon_s} \left[(x - W) + \frac{kTW}{\psi_s q} \cdot \frac{1 + g_c \exp\left(\frac{E_F - E_{D2}}{kT}\right)}{1 + g_c \exp\left(\frac{E_F - E_{D2} - \psi_s q + \psi_s q x/W}{kT}\right)} \right]. \quad (5)$$

收稿日期: 2002-09-17

基金项目: 国防预研基金资助项目(No. 8.1.7.3)

作者简介: 王守国(1971-), 男, 山东青岛人, 西北大学讲师, 从事微电子学研究。

式中 Ψ 是空间电荷区的电势。

再利用边界条件 $x = W, \psi = 0$, 可得

$$|\Psi(x)| = \frac{q(N_{D1} + N_{D2})(x - W)^2}{2\epsilon_0\epsilon_s} + \frac{kT(Wx - W^2)}{\epsilon_0\epsilon_s\psi_s} \{N_{D1} \ln[1 + g_c \exp(\frac{E_F - E_{D1}}{kT})] + N_{D2} \ln[1 + g_c \exp(\frac{E_F - E_{D2}}{kT})]\} \quad (6)$$

肖特基二极管达到平衡时有

$$\frac{\Delta E_F}{q} = \psi_s = |\Psi(0)| \quad (7)$$

式中 ΔE_F 为 Au 与 4H-SiC 的费米能极之差。

$$\text{所以有 } W = \sqrt{\frac{\Delta E_F}{qZ}} \quad (8)$$

$$Z = \frac{q(N_{D1} + N_{D2})}{2\epsilon_0\epsilon_s} - \frac{qKT}{\psi_s\epsilon_0\epsilon_s} \{N_{D1} \ln[1 + g_c \exp(\frac{E_F - E_{D1}}{kT})] + N_{D2} \ln[1 + g_c \exp(\frac{E_F - E_{D2}}{kT})]\} \quad (9)$$

当肖特基势垒区的宽度 W 等于沟道宽度 a 时, 并考虑到电势在 $x = 0$ 时是负值, 得夹断电压

$$V_i = V_D + \Psi(0)|_{x=a} \quad (10)$$

1.2 实际自建电势数值解

用下式代替上节的三角势方程(1), 求解泊松方程

$$E_{Dn}(x) = E_{Dn} + \Psi(x)q, \quad (11)$$

可得

$$\frac{d\Psi}{dx} = \left[-\frac{2N_{D1}kT}{\epsilon_0\epsilon_s} \ln \frac{(1 + g_c \exp(\frac{E_F - E_{D1}}{kT}))}{\exp(\frac{q\Psi(x)}{kT}) + g_c(\frac{E_F - E_{D1}}{kT})} - \frac{2N_{D2}kT}{\epsilon_0\epsilon_s} \ln \frac{(1 + g_c \exp(\frac{E_F - E_{D2}}{kT}))}{\exp(\frac{q\Psi(x)}{kT}) + g_c(\frac{E_F - E_{D2}}{kT})} \right]^{\frac{1}{2}} \quad (12)$$

利用边界条件 $\Psi(0) = \psi_s$, 并进行数值求解, 代入式(10)得实际情况下的夹断电压。

2 界面态 Dit 对夹断电压的影响

SiC 表面存在大量的界面态, 受主态靠近导带底 E_c , 施主态靠近价带顶 E_v 。界面态的分布有 U 型和均匀型^[2], SiC 的界面态的分布情况尚不清楚。当认为表面无限大时, 电子的电场可计算为

$$E_x = \frac{\sigma}{2\epsilon_0\epsilon_s}, \quad (13)$$

$$\sigma = \int_{E_0}^{E_{F0}} qD_{it}dE. \quad (14)$$

其中: E_x 是由界面态引起的电场强度; σ 是肖特基界面的面电荷密度; E_0 为表面态的电中性能极; E_{F0} 为表面态的费米能极^[3]; D_{it} 为单位能极单位面积的面电荷密度。

界面态在空间电荷区引起的电势为

$$\Psi(x) = \frac{\sigma(W - x)}{2\epsilon_0\epsilon_s}, \quad (15)$$

所以, 有 $V_T = V_D - V_{PO} - V_i$, (16)

$$V_i = \frac{\sigma}{2\epsilon_0\epsilon_s}. \quad (17)$$

其中 V_i 为界面态在 MESFET 沟道区产生的电势。

3 反向漏电流对夹断电压的影响

肖特基栅的反向漏电流在空间电荷区内中和电离施主中心, 使空间电荷区宽度减小, 引起夹断电压增加。反向漏电流及其在肖特基结产生的压降 V_L 为

$$V_L = R_g J. \quad (18)$$

其中: R_g 是反向漏电流所经路径的所有串联电阻; J 是肖特基栅反向漏电流。

考虑漏电流的影响时, 夹断电压的计算公式为

$$V_T = V_D - V_{PO} - V_i - V_T. \quad (19)$$

4 理论计算及实验验证

4H-SiC-MESFET 器件采用平面工艺制备而成^[4], 从提取的转移特性曲线如图 1 所示^[5], 其中箭头所指处为夹断电压 $V_T = -8.4V$ 。用于计算夹断电压的器件参数为: 器件的沟道厚度 $a = 0.26 \mu m$, 施主掺杂 N 的浓度是 $1.7 \times 10^{17} cm^{-3}$, 栅金属为 Au, 源栅距离 $0.3 \mu m$, 栅长 L 为 $0.7 \mu m$, 栅漏距离 $0.8 \mu m$, 栅宽为 $332 \mu m$ 。

由方程(6)和(7)联合求解, 并选择 Au 栅 4H-SiC 肖特基结的自建电场为 $1.8 V^{[6]}$ 。总结计算如下:

三角电势的计算结果 $V_T = -8.2V$, 实际电势的数值计算结果 $V_T = -8.1V$ 。

可以看出, 三角电势和实际电势的计算结果相差不大, 三角电势近似比较简单, 并具有解析表达式。需要说明的是以上计算的夹断电压是理想值, 是 MESFET 在理想状态下沟道关断的栅源电压。图 1 所示的夹断电压是实际状态下沟道关断的栅源电

压,它包含有反向漏电流在空间电荷区的影响和界面态的影响,也就是说图 1 所示的夹断电压比夹断电压的理想值要大。

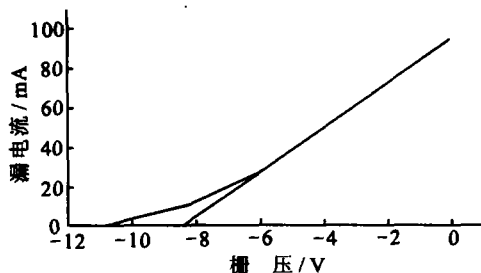


图 1 MESFET 的转移曲线

Fig. 1 Gate to source I - V characteristics of MESFET

SiC 表面的界面态密度大小与工艺和材料类型有关,目前的研究还不清楚。文献[7]认为界面态 D_{it} 约为 $1.0 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。由式(17)得 $V_i = 0.24 \text{ V}$,所以实际电势计算的夹断电压修正值为 -8.34 V 。文献[8]指出 R_g 约 $1 \text{ m}\Omega \cdot \text{cm}^2$,在室温时,反向漏电流 J 很小,反向漏电流对夹断电压的影响可以忽视。但是,随着温度的升高,反向漏电流增加很快。600 K 的反向漏电流是 300 K 时的 1.6×10^9 倍。在高温时 SiC-MESFET 器件的夹断电压须由式(19)修正,室温时可不考虑反向漏电流的影响。

因此,理论计算的夹断电压为 -8.34 V ,与实际值接近。

5 结 论

本文给出了计算 SiC-MESFET 夹断电压的精确公式,考虑杂质的非完全离化、界面态、反向漏电流等的影响。在室温时可不考虑反向漏电流的影响,

计算结果与实验值符合较好。

参考文献:

- [1] 张玉明. SiC 材料和器件的研究[D]. 西安交通大学, 1998.
- [2] TSENG H H, WU C Y. A simple technique for measuring the interface-state density of the Schottky barrier diode using the current-voltage characteristics[J]. J Appl Phys, 1987, 61(1): 299-304.
- [3] TSENG H H, WU C Y. A simple interfacial-layer model for the nonideal I - V characteristics of the Schottky-barrier diode[J]. Solid-St Electron, 1987, 30(4): 383-390.
- [4] WEITZEL C E, PALMOUR J W, CARTER C H. 4H-SiC MESFET with 2.8 W/mm power density at 1.8 GHz[J]. IEEE Electron Device Lett, 1994, 15(10): 406-408.
- [5] WONG H, LIANG C, CHEUNG N W. On the temperature variation of threshold voltage of GaAs MESFET's[J]. IEEE Tran Electron Device, 1992, 39(7): 1571-1577.
- [6] ITOH A, MATSUNAMI H. Analysis of Schottky barrier heights of metal/SiC Contacts and its possible application to high-voltage rectifying devices [J]. Phys Stat Sol (a), 1997, 162: 389-408.
- [7] SCHORNER R, FRIEDRICH S, PETERS D. Significantly improved performance of MOSFET's on silicon carbide using the 15R-SiC polytype[J]. IEEE Electron Device Lett, 1999, 20(5): 241-244.
- [8] SCHOEN K J, WOODALL J M, COOPER J A. Design considerations and experimental analysis of high-voltage SiC Schottky barrier rectifiers [J]. IEEE Tran Electron Device, 1998, 45(7): 1595-1604.

(编 辑 曹大刚)

Investigation of the pinch off voltage of SiC-MESFET

WANG Shou-guo^{1,2}, ZHANG Yi-men¹, ZHANG Yu-ming¹,
ZHANG Zhi-yong², YAN Jun-feng²

(1. Microelectronics Institute, Xidian University, Xi'an 710071, China; 2. Department of Electronics, Northwest University, Xi'an 710069, China)

Abstract: A more precise model of the pinch off voltage of SiC-MESFET is given. With the effect of incomplete ionization of dopants, the interface states and the reverse current of schottky barrier diodes are considered. The theoretical calculation of this model is in good agreement with the experimental result.

Key words: SiC; pinch off voltage; interface states