

二同构扩展数字集成电路规律性提取算法

潘伟涛, 谢元斌, 郝跃, 史江一

(西安电子科技大学宽禁带半导体材料与器件教育部重点实验室, 陕西西安 710071)

摘要: 针对目前集成电路具有高度的规律性的特点, 提出了一种新的数字集成电路规律性结构提取算法, 可自动对电路中一些重复出现的电路结构进行识别和提取. 通过对两两相连的标准单元进行特征提取比较并产生二同构子电路, 对出现频数较高的二同构子电路进行扩展产生电路结构模板, 进而提取所有与该模板相似的电路结构. 在算法运行过程中, 通过不断地删除已经匹配的顶点, 可加快程序运行的速度. 该算法已应用于实际工程项目中, 改变了传统的手动分析整理的局面, 降低了大规模集成电路逆向分析中电路整理的难度, 提高了工作效率.

关键词: 子电路同构; 规律性; 子电路模板; 逻辑综合; 标准单元

中图分类号: TP391.72 **文献标识码:** A **文章编号:** 1001-2400(2009)03-0452-06

Two-isomorphic extending algorithm for regularity extraction in digital integrated circuits

PAN Wei-tao, XIE Yuan-bin, HAO Yue, SHI Jiang-yi

(Ministry of Education Key Lab. of Wide Band-Gap Semiconductor Materials
and Devices, Xidian Univ., Xi'an 710071, China)

Abstract: To extract the regularity in digital integrated circuits, a novel algorithm is proposed. It can automatically identify and extract the subcircuit which appears frequently. By extracting and analyzing the properties of all two connected standard cells in the circuits, a series of templates including two standard cells will be obtained. The template with a high frequency will be extended so that it becomes longer than two, and then the instances of all longer templates will be explored using the proposed algorithm. To reduce the complexity and accelerate the algorithm, the matched vertexes will be deleted gradually from the search space. This algorithm has been implemented successfully in industrial projects, and has replaced the traditional manual analysis at the gate level. Furthermore, the complexity of the reverse analysis for VLSI is reduced, and the work efficiency can also be raised distinctly.

Key Words: subcircuit isomorphic; regularity; subcircuit template; logic synthesis; standard cell

随着集成电路产业的发展, 数字集成电路尤其是具有核心地位的通用微处理器专用集成电路的总线位宽已经扩展到 64 位, 这种数据通道型集成电路具有高度的规律性, 利用其规律性可以实现规则的布图以提高芯片的性能及可制造性. 数据通道型集成电路设计中一项非常重要的任务就是提取有规律性的电路. 通常高性能通用微处理器中的数据通道逻辑设计几乎全部靠手动^[1], 因为现有的电子设计自动化(EDA)工具无法充分地提取和利用电路的规律性来实现具有竞争性的设计. 目前普遍认为下一个 EDA 比较大的挑战是将设计与可制造性设计流程统一起来^[2], 其中最为有效的一种可制造性设计方法就是产生规律性的布图^[3]. 因此, 由于规则性构造带来的高成品率及其可制造性将会使规则性方法成为一项关键的技术, 并且电路的这种规则性应该在电路设计的整个流程中被保持. 实际上, 规则性设计在 65 nm, 45 nm 及更小尺寸的芯片制造工艺中正逐步占据主导地位^[4].

收稿日期: 2008-06-10

基金项目: 国家自然科学基金资助(60506020); 国家部委科技预研项目资助(51308010301)

作者简介: 潘伟涛(1981-), 男, 西安电子科技大学博士研究生, E-mail: wtpan@mail.xidian.edu.cn.

研究规则性电路提取问题的方法,按照模板的提供方式可分为两类:第 1 类是给定一系列的模板去覆盖整个电路^[5-8],该方法的局限性是最终结果依赖于用户定义的模板,丧失了电路自身规律性提取的机会;第 2 类是自动从给定的电路中产生一系列的模板,再进行整个电路的覆盖^[4,9].文献[9]首次提出从标准单元的输入出发进行扩展,利用集成电路自身的拓扑结构特点,提出了树形(TREE)及单主要输出(SPOG)两类模板的提取方法,但该方法的算法复杂度很高,为 $O(V^5)$,不满足实际工程的需要;文献[4]则针对文献[9]算法复杂度高的特点,将文献[9]中同构子电路匹配的步骤转化为哈希操作后字符串的匹配问题,虽然算法复杂度有所降低,但由于需要存储大量的哈希字符串,算法的空间复杂度较高,也不适合对规模较大集成电路的规律性提取.另外,国内对门级数字集成电路中规律性提取的研究还处于初级阶段^[10],仅局限于在目标电路中寻找已知结构模板的同构子电路匹配阶段.

除自身固有的局限性外,上述各种方法也不适合带有缓冲器单元电路中规律性的提取.事实上,数字 IC 芯片中带有大量的缓冲器,文献[11]在对 ISCAS85^[12]基准电路进行反向分析整理时,统计出缓冲器占整个门级电路的 15%左右.因此,上述算法对具有缓冲器结构的规律性提取不充分,如图 1 所示的几种带有缓冲器但具有相同功能的同构子电路就无法提取出来.笔者研究的重点正是如何将逻辑综合阶段的规律性提取问题转化为带有缓冲器的物理设计阶段的规律性提取问题.借鉴已有的工作,提出了一种可应用于实际物理设计阶段的规律性快速提取算法.采用压缩式存储结构降低算法的空间复杂度,同时采用二同构思想,将同构子电路的搜索空间缩小至二同构电路集合中,降低了算法的运行时间.

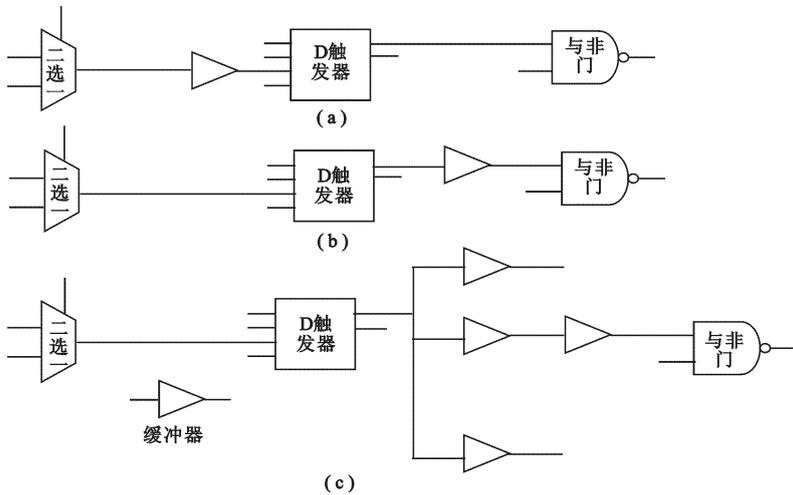


图 1 带缓冲器的同构子电路

1 规则性模型

进行电路的规律性提取时,通常将电路的门级网表转化为对应的有向图,图中的一个顶点表示电路中一个标准单元,图中的一条边对应电路中的一条连线,图中边的方向对应电路中数据流的方向.设 C 代表某一电路,则有如下定义.

定义 1 设 $G(V, E)$ 为某电路 C 的有向图表示,若图 $G'(V', E')$ 满足 $V' \subseteq V$ 及 $E' \subseteq E$,则称 G' 是 G 子图.对于集合 $C(G) = \{C_1, C_2, \dots, C_n\}$,其中 $C_i = (V_i, E_i)$, $i = 1, 2, \dots, n$ 均为电路 C 的子电路.则称集合 $C(G)$ 是电路 C 的一个覆盖.

定义 2 对于电路 C 的两个子电路 $C_m = (V_m, E_m)$ 和 $C_n = (V_n, E_n)$,如果 V_m 和 V_n 之间存在一一对应的映射关系 f ,同时,按照同样的映射关系 f , E_m 和 E_n 也是一一对应的,那么称电路 C 的两个子电路 C_m 和 C_n 是同构的.若互为同构的两个子电路中标准单元的个数为 2,则称两个子电路为二元同构;若子电路中标准单元个数为 j ,则称两个同构子电路互为 j 元同构,简称 j 同构.

定义 3 设 C 代表整个电路, C 的模板定义为 C 中某种重复出现的子电路结构,而与此模板结构相同的

子电路称为该模板的实例。

定义 4 若电路 C 共有模板种类为 k , 且每种模板分别在 C 中可以找到 p_1, p_2, \dots, p_k 个子电路实例, 则由 $p_1 + p_2 + \dots + p_k$ 个子电路组成的子电路集合 R 是电路 C 的一个规则性覆盖. 若电路 C 的有向图表示 $G(V, E)$ 中顶点的个数为 N , 而 R 中所有顶点个数为 t , 显然有 $t \leq N$, 则称 $(t/N) \times 100\%$ 为电路 C 的规则性覆盖率.

2 规则性电路提取

2.1 规律性提取流程

为体现二同构思想在电路规律性提取方面的优势, 给出图 2 所示的物理设计阶段的规律性提取流程. 首先对电路进行分析, 删除缓冲器单元, 如图 3 所示; 再提取二同构电路; 然后以一系列二同构电路为核心, 生成子电路模板; 再对每种模板进行同构子电路的搜索匹配; 之后再通过规则性覆盖率最大或其他优化目标进行优化, 最后得到用户满意的最终子电路模板及相应的最终子电路实例; 最终的子电路实例将会生成相应的 EDIF200 文件, 可导入各种主流的 EDA 工具进行查看分析. 在该流程中, 导入的门级网表用 Verilog HDL 语言描述, 整个规律性提取流程全部用 C 语言实现.

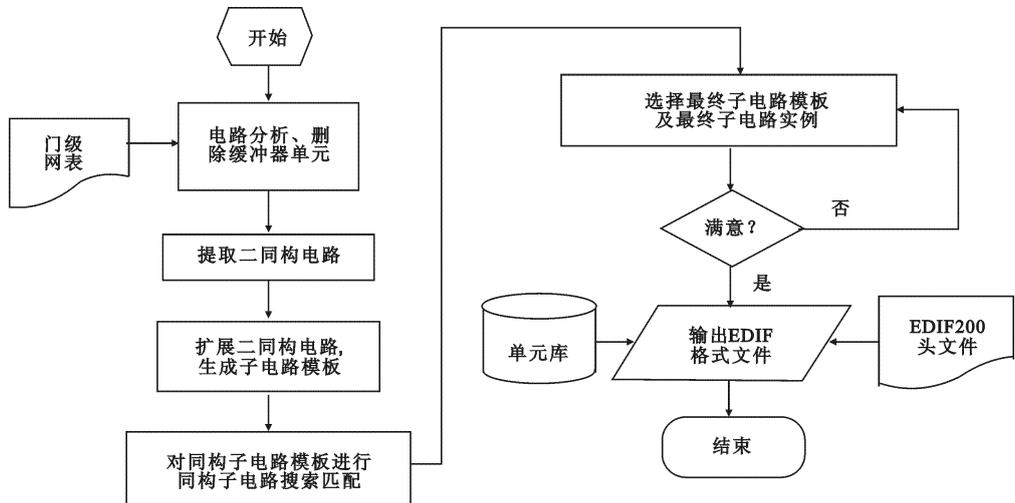


图 2 物理设计阶段规律性提取流程

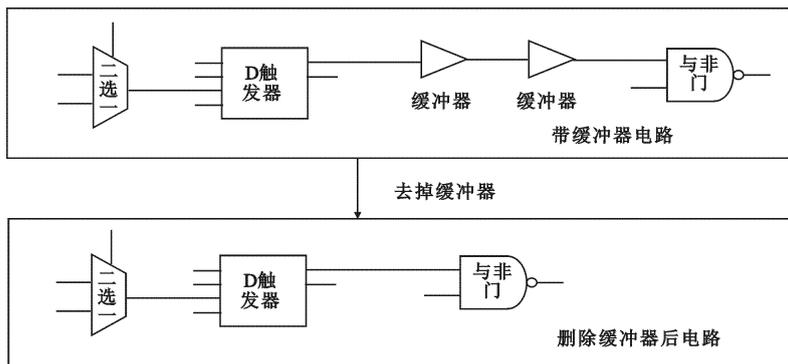


图 3 删除电路中的缓冲器

2.2 电路分析并删除缓冲器单元

为提取有用信息, 在电路的准备阶段将电路中的缓冲器删除, 同时将电路中一些已知功能的全局信号线删除, 如时钟、全局复位、扫描使能、扫描链的数据输入输出等, 减少电路的复杂度. 电路图转换为对应的有向图之后, 各标准单元相互间的连接关系可通过邻接矩阵表示. 事实上, 电路图对应的有向图的邻接矩阵为一

个稀疏矩阵,矩阵中有大量的元素 0,且电路规模越大矩阵越稀疏.结合门级电路自身的特点,笔者采用改进的稀疏存储结构^[13],只存储邻接矩阵中的非零元素.规定各标准单元的各扇入标号为该连线对应父节点的标号,将电路的连接关系矩阵灵活地转化为每一根线网的属性,降低了算法的空间复杂度.算法采用邻接矩阵直接存储时仅支持一万个标准单元规模的电路,改进之后的算法可支持百万级标准单元规模的电路,完全满足实际工程的需要.

2.3 提取二同构电路

传统的电路模板生成算法往往选取电路中同一种类的所有标准单元两两配对作为根节点,进行比较扩展生成模板.事实上,这样会造成模板产生时的重复操作,导致算法复杂度过高.为降低算法的复杂度,采用二同构思想降低模板产生时需要比较的根节点的数量.为将电路中所有的二元子电路进行分类,首先统计出电路中所有标准单元的种类总数 r ,并给每种标准单元从 1 到 r 分配唯一的种类编号.然后给所有连接两个标准单元的内部连线赋权值,对某条内部连线 $E_{ij}(V_i, V_j)$,其中 V_i 和 V_j 分别是该内部连线的始端和终端,所对应标准单元的种类编号分别为 r_i 和 r_j ,则该连线权值 W_{ij} 规定为

$$W_{ij} = r_i \times 10^k + r_j, \quad 0 < r \leq 10^k,$$

其中 k 为正整数.如图 4 所示,对其中的三元电路,共有 3 种标准单元 A, B, C ,分别分配种类序号 1, 2, 3,按照上述计算内部连线权值的公式,则得到的 3 个内部连线的权值分别为 12, 13 和 32.显然,按照上述公式确定二元电路的权值,不会出现两个结构不同的二元电路具有相同的特征权值.对所有内部连线的权值进行统计,则称内部连线权值相等的二元子电路互为二同构电路.

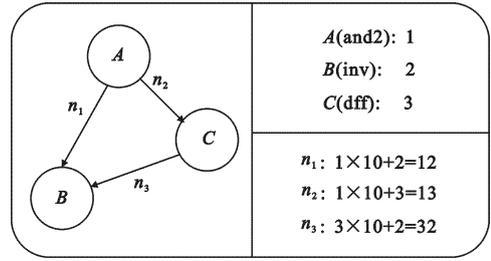


图 4 连线权值计算示例

2.4 生成子电路模板

传统算法模板的生成按照标准单元的分类,在某一种类标准单元中任取两个作为根节点,进行前向扩展或后向扩展,扩展后的两个电路结构相同的部分则为模板.显然该子电路模板至少具有两个子电路实例.但由于以单一标准单元的种类作为模板根节点选取范围,可选择范围巨大,且其中有很多重复性操作,给算法实现带来了很大的困难,不适合用于大规模数字集成电路规律性的提取.笔者提出的二同构扩展的规律性提取方法,使得具有相同功能的二同构电路取代了单一标准单元而成为操作对象的最小单位.

对规模为 g (电路中标准单元的个数)的电路,假定 $F = \{F^1, F^2, \dots, F^m\}$ 代表不同权值的二同构电路集合.权值分别为 f_1, f_2, \dots, f_m ,设 u_j^i 为 F^i 中的第 j 个元素,有

$$\begin{aligned} F^1 &= \{u_1^1, u_2^1, u_3^1, \dots, u_{n_1}^1\}, & |F^1| &= n_1; \\ F^2 &= \{u_1^2, u_2^2, u_3^2, \dots, u_{n_2}^2\}, & |F^2| &= n_2; \\ F^m &= \{u_1^m, u_2^m, u_3^m, \dots, u_{n_m}^m\}, & |F^m| &= n_m. \end{aligned}$$

若有 $n_1 \geq n_2 \geq \dots \geq n_m$,则规律性提取从 F^1 开始,从 F^1 中任取两个元素 u_x^1 及 u_y^1 作为根节点进行扩展,其中 $x \neq y$,且 $x, y \in [1, n_1]$.根据二同构定义,有 $u_x^1 = \{a_x^1, b_x^1\}$, $u_y^1 = \{a_y^1, b_y^1\}$,即标准单元 a_x^1 与标准单元 a_y^1 种类序号相同,标准单元 b_x^1 与标准单元 b_y^1 种类序号相同,且有 a_x^1 的输出接到 b_x^1 的输入, a_y^1 的输出接到 b_y^1 的输入,权值为 f_1 .由于 F^i 中每个元素均包含两个标准单元,规定任一标准单元在二同构集合里面至多出现两次,其中一次是在二同构电路的始端 a_x^i ,另一次是在二同构的终端 b_x^i .则有 $n_1 + n_2 + \dots + n_m \leq g$.事实上,在实际电路中,经常出现多个标准单元的输出连接到同一个标准单元 h 上,而标准单元 h 作为终端仅允许出现一次,因此,许多二元电路由于其终端或始端作为重复次数较多的二同构电路被提前提取,则在后续的二同构电路集合中就不会被重新作为终端或始端使用,故 $n_1 + n_2 + \dots + n_m < g$.另外,由于进行扩展的前提需保证非根节点的另外一个节点要在扩展的路径上,故以后向扩展为例,分别选取二同构电路 F^i 中元素 $u_x^i = \{a_x^i, b_x^i\}$ 及 $u_y^i = \{a_y^i, b_y^i\}$ 中的 b_x^i, b_y^i 作为根节点,若与 b_x^i 及 b_y^i 种类相同的标准单元个数为 z ,则有 $|F^i| = n_i \leq z$.显然,在实际电路中以 z 个具有相同种类的标准单元作为终端的二元电路很少有全部互为同一种二同构电路的情况,因此,二同构规律性提取方法不仅使得总的需要比较的顶点数目减少,而且在一定程度上降低了同一种

类标准单元进行扩展时需要考虑的根节点对数,即由原来的 C_2^g 降低为 $C_{n_i}^2$.

2.5 同构子电路搜索匹配

同构子电路的搜索匹配是针对生成的子电路模板,在相应的二同构电路中进行搜索,从而得到所有与子电路模板结构相同的所有子电路.即对于权值为 f_i 的二同构电路 F^i ,由其中的两个元素 u_x^i 及 u_y^i 扩展生成子电路模板后,再进行同构子电路搜索时,传统方法需要在整个电路中对所有顶点进行遍历.事实上,真正有可能与该子电路模板同构的子电路只能是二同构电路 F^i 中剩余的 $n_i - 2$ 个权值为 f_i 的二同构电路扩展生成的子电路.因此,与传统方法相比,同构子电路的搜索范围由原来的 $g - 2$ (其中 g 为所有顶点的数目) 减少为 $n_i - 2$, 降低了搜索的范围.

2.6 选择最终的子电路模板实例及输出结果

在二同构电路 F^i 中扩展生成子电路模板时,需要两两比较的顶点对数共有 $C_{n_i}^2 = n_i(n_i - 1)/2$ 对,可产生的模板数量最多有 $C_{n_i}^2$ 个.在 $C_{n_i}^2$ 个子电路模板中,常常有重复的模板产生,因此在生成新模板时需要在已产生的模板集中进行搜索,若该模板在已产生模板集中存在,则不进行记录;若在已产生模板集中不存在,则作为新模板添加到模板集中.同时,每产生一个新模板,就需要在相应的二同构电路中进行同构子电路搜索,因此,可以得到相应的同构子电路实例的数目.显然,对于较大的子电路模板,同构子电路数目比较少;但对于较小的模板,同构子电路的数目就会较多,如二同构电路 F^i 中至少存在一个二元电路模板,且其同构子电路的数目为 n_i .但实际中,取模板的规模至少为三元电路.因此,可以选取二同构电路 F^i 中同构子电路实例最多的模板作为最终子电路模板,也可选取子电路模板规模最大的模板作为最终子电路模板,甚至用户也可指定某些模板作为最终的子电路模板,直到用户满意为止.将最终的子电路实例按照一定的规律排列,生成相应的 EDIF 文件,可直接导入 Cadence 等工具中查看.

3 应用实例及实验结果

为说明二同构扩展规律性提取的方法,考虑如图 5(a)所示的电路.提取二同构电路之后可得到重复出现次数最多的二同构电路为(AND,OR),若按后向扩展生成子电路模板,则需要考虑的根节点对数为: (V_8, V_5) ; (V_8, V_{16}) ; (V_5, V_{16}) .考虑根节点对 (V_8, V_5) ,会生成模板 T_1 ,将模板 T_1 在剩余的二同构电路中进行同构子电路搜索,即从顶点 V_{16} 出发,寻找与 T_1 结构相同的电路,最终产生的电路如图 5(b)所示;考虑根节点对 (V_8, V_5) ,得到的结果也如图 5(b)所示;考虑根节点对 (V_5, V_{16}) ,则会生成模板 T_2 ,再进行同构子电路搜索,从 V_8 出发未找到与模板 T_2 相同的结构,最终得到的电路如图 5(c)所示.则二同构电路(AND,OR)一共可产生两个模板 T_1 和 T_2 ,其中 T_1 对电路进行覆盖,共有 3 个同构子电路实例;而模板 T_2 对整个电路进行覆盖,共有 2 个同构子电路;因此,模板 T_1 属于出现最频繁的模板,而模板 T_2 则属于生成的规模最大的模板,用户可根据需要选取 T_1 或 T_2 作为最终的子电路模板.若选 T_1 作为最终的子电路模板,则电路的规则性覆盖率为 $(9/16) \times 100\% = 56.25\%$,若选 T_2 作为最终子电路模板,则电路的规则性覆盖率为 $(12/16) \times 100\% = 75\%$,用户可根据自己的需要进行选择.

事实上,若按文献[4,9]中的方法进行提取,需要对整个电路中的具有相同种类的所有顶点进行考虑.如图 5(a)电路,需要考虑的顶点对数为 $C_9^2 + C_3^2 + C_2^2 + C_2^2 = 41$ 对,而二同构方法需要考虑的顶点对数仅为 $C_3^2 = 3$ 对.同时,文献[4,9]中方法生成模板的模板数量更多,更重要的是生成的模板对整个电路进行覆盖时需要考虑的顶点数目会更多,且模板有可能是中间状态的模板,就可能产生中间状态模板 $\text{AND} \rightarrow \text{INV} \rightarrow \text{DFF} \rightarrow \text{AND}$,这样,不仅增加最终模板选择时的复杂度,也增加模板存储使用的空间,更会造成重复性的操作.

笔者提出的算法用 C 语言编程实现,实验所用的硬件配置为 P IV2.66 GHz,256 M 内存.实验数据来自实际工程项目 SoC 芯片中的 IP 模块以及 ISCAS89^[14]的部分 Benchmark 电路,如表 1 所示.

表 1 中第 1 列为目标电路名称;第 2 列为电路的规模,其中括号内数据为去掉缓冲器之后电路的规模;第 3 列为最终同构子电路实例数;第 4 列为程序运行时间;第 5 列为规则性覆盖率.表格后面 3 行数据是来自实际工程项目中一款 SoC 芯片中的 3 个 IP 核.实验中选取出现最频繁的模板作为最终模板.由表 1 可知,

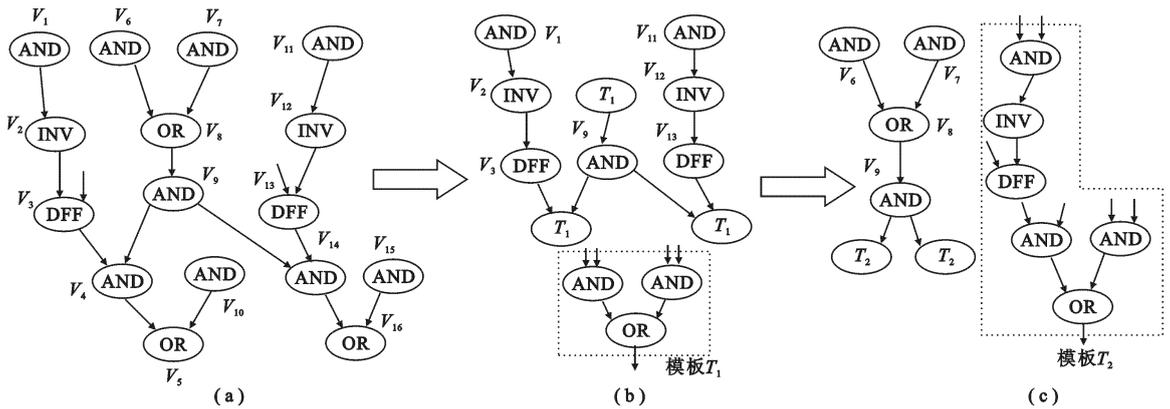


图 5 二同构扩展规律性提取示例

算法通过删除电路中的缓冲器,不仅降低了电路的规模,也使得电路中规则性电路得到充分的提取.另外,由于采用了二同构思想,算法在用户可容忍的时间内得到较好的规律性提取结果,实践证明,可满足实际工程的需要.

表 1 集成电路规律性提取结果

目标电路名称	电路规模	实例数	时间/s	覆盖率/%
S1196	574(493)	91	0.203	53.9
S5378	2958(1850)	672	5.734	71.3
S9234	5808(2796)	982	29.110	68.1
S13207	8589(3875)	1425	412.00	69.9
S15850	10306(5118)	1811	692.50	71.4
ME_CTL	4258(3886)	843	44.420	66.4
SRAM_C	8496(6515)	1759	137.200	66.7
SD_CTL	13199(11285)	2668	717.200	63.8

笔者提出的算法完全独立于电路功能,充分利用集成电路中标准单元自身的特点,按照某种相似的特征,首先对两两相连的所有标准单元进行特征提取,然后统计每种特征值出现的次数,产生一系列二元同构电路,按重复出现次数从多到少的顺序对这一系列的二元同构电路进行扩展,最大限度地保证了重复出现次数最多的结构得到优先提取.同时,每搜索匹配完一系列的重复结构,被搜索到的标准单元将被删除,不再参与下一个模板的搜索匹配,这样可以大大降低算法的复杂度.算法中的子电路同构搜索函数也可单独使用.对逆向设计过程,则可大大加快整理速度.算法最后将所有满足条件的标准单元按照某种规律排列后输出 EDIF 200 格式的文件,可以实现与 Cadence 等业界主流 EDA 工具的无缝衔接,使得算法具有很好的实用性.该算法使用 C 语言进行设计和实现,具有较强的平台通用性和移植性,可以在 Microsoft Windows, Linux, SUN Solaris 等平台上运行.

4 总 结

笔者将逻辑综合阶段的电路规律性提取思路应用到物理设计阶段,并提出一种新的既适合逻辑综合阶段又适合物理设计阶段的基于二同构扩展的集成电路规律性提取算法.实验结果表明,该算法对电路中规则性电路的提取时间较短,能处理实际电路中碰到的多种情况,具有很强的实用性.该算法已成功应用于芯片的逆向分析工程项目,提高了电路分析整理的效率.另外,在该算法建立平台的基础上,添加上线网及标准单元的位置坐标信息,稍加改动,便可直接用于版图布局规划、LVS、电路时钟树设计与分析、电源供电网格规划与分析及芯片的成品率分析等领域.