

一种可测性分析的新方法

邢 军

XING Jun

牡丹江师范学院 计算机科学与技术系, 黑龙江 牡丹江 157012

Department of Computer Science, Mudanjiang Teachers Colleges, Mudanjiang, Heilongjiang 157012, China

E-mail: xingjun2008@live.cn

XING Jun. New method of testability analysis. Computer Engineering and Applications, 2009, 45(28): 86-88.

Abstract: This paper proposes a VLSI high-level testability analysis(TA) new approach HLTA-TTED based on Timed Taylor Expansion Diagram (TTED), which models the critical sensitization path with TTED and establishes a unique representation model of certainty and probability failure. The line's sensitization is obtained by using the symbolic variable. Considering the case of single sensitization and multi-sensitization of the circuit, this paper computes and analyzes the testability of the circuit. A good result is obtained at last, the experiment confirms the approach's effectiveness.

Key words: Very Large Scale Integrated circuits(VLSI); testability; sensitization equation; Timed Taylor Expansion Diagram(TTED)

摘 要: 提出一种基于时序泰勒展开图(TTED)的 VLSI 高层可测性分析(TA)新方法, 以时序泰勒展开图(TTED)为关键敏化路径建模, 建立起确定性和概率性故障的统一表示模型。利用符号变量获取线路的敏感性, 并且考虑电路的单敏化和多敏化情况, 进行电路的可测性计算和分析, 取得了较好的效果, 实验证实了该方法的有效性。

关键词: 超大规模集成电路(VLSI); 可测性; 敏化方程; 时序泰勒展开图

DOI: 10.3778/j.issn.1002-8331.2009.28.025 **文章编号:** 1002-8331(2009)28-0086-03 **文献标识码:** A **中图分类号:** TP391.4

根据美国半导体工业协会制订的 2006 年国际半导体技术发展指南, 从 2006 到 2011 年, 集成电路仍将按摩尔定律持续高速发展。工艺的进步使人们对电路可测性有了更高的要求。高层次的可测性分析由于对电路设计有较大的帮助, 引起了人们的日益关注, 早期的高层次可测性分析有算法 COP^[1]利用一系列公式计算从主输入到主输出的每个结点信号的可控性值, 这些信号可控性值通过相同的规则被用来计算每个结点的可观察值。这种方法的缺点是计算复杂性高和结果不精确。后来出现了基于 VHDL^[2]和基于状态依赖流图(SDF)^[3]的分析方法, 以及基于规则表达式的分析方法^[4], 这些方法通过统一框架来表达多类型的电路。文献[5]针对文献[1]计算不精确和文献[6]只考虑简单信号关联的缺点提出两种改进, 提高计算速度和精度, 也考虑了“较远”信号关联的情况, 进一步提高了可测性分析的结果。最新的方法则是文献[7]提出的符号路径敏化方法, 它提出了基于布尔方程框架来捕捉组合电路的敏感条件应用于输入敏感分析, 这种方法可看作是符号化关键路径跟踪。该文即是在此基础上提出基于时序泰勒展开图(TTED)敏化方程的 VLSI 高层可测性分析方法 HLTA-TTED, 建立起了确定性和概率性故障的统一表示模型。

1 VLSI 可测性分析方法

电路的可测性是一个抽象的概念, 涉及测试的各个方面,

可测性包括两方面因素: 可控制性(controllability)和可观测性(observability)。数字电路的可控制性为设置特定逻辑信号为 0 或 1 的难度, 可观察性为观测逻辑信号状态的难度。可测性的分析方法很多, 但 Goldstein 提出的系统的、有效的计算这些度量的 SCOAP 可测性度量算法被广泛接受。可测性(testability)是电路的设计与制造中需要解决的一个主要问题。随着电路集成度和复杂度的提高, 测试生成的难度越来越大, 测试与诊断的成本也相应增加。为了使电路测试的复杂程度降到最低, 就必须引入可测性的设计方法。基于可测性度量的分析判断信息可以指导设计、修改以改善电路的可测性, 也可以用于辅助测试生成过程。

2 关键路径敏化

路径敏化条件大都基于 D 算法思想。Roth 于 1966 年提出 D 算法并用于组合逻辑电路的固定型(Stuck-at)故障测试, 对于任意非冗余组合电路的固定型故障均可由 D 算法找到这个故障的测试矢量。为了方便问题描述, 给出以下定义:

定义 1 $P=(g_0, g_1, \dots, g_m)$ 表示网络中原始输入到输出的一条路径, 其中 g_0 表示原始输入, g_m 表示原始输出, $g_i (1 \leq i \leq m-1)$ 表示内部结点。

定义 2 $P=(g_0, g_1, \dots, g_m)$ 表示网络中一条路径, 门 g_i 异于 g_{i-1} 的扇入称为门 g_i 的旁输入。

基金项目: 国家自然科学基金(the National Natural Science Foundation of China under Grant No.60273081)。

作者简介: 邢军(1976-), 研究方向: 计算机应用, CAD 技术。

收稿日期: 2009-04-14 修回日期: 2009-06-15

定义 3 门的输出由门的某个输入决定,与其他输入无关,该输入值称为该门的控制值,而其他输入称为该门的非控制值,相应此时门的输出值称为门的受控值,否则称为门的非受控值。

定义 4 如果存在一个原始输入矢量模式 X , 使得路径 $P=(g_0, g_1, \dots, g_m)$ 中的每一个门 $g_i (1 \leq i \leq m-1)$ 的旁输入为门 g_i 的非控制值,则称路径 P 是静态敏化的。静态敏化可能将一条敏化路径归为伪路径。

两个寄存器间的组合逻辑称为一条时延路径。在进行综合时,最长的时延路径称为“关键路径”(Critical Path)^[8]。考虑电路中的故障只与线路的状态有关,分别用 3 个不同变量来表示电路状态: S_1 :固定 1 故障; S_0 :固定 0 故障; S_n :正常状态。在后面,将用 TTED 进行扩展。 S_{in} 和 S_{out} 表示线路源点和目标结点的信号值。一个线路 a 的目标方程可以表示为:

$$S_{out} = S_1 + S_{in} S_n \quad (1)$$

$$S'_{out} = S_0 + S'_{in} S_n \quad (2)$$

式(1)表明值为 1 的输出的原因可能是由于线路出现 S_1 故障,或者是线路正常,输入为 1 引起的。式(2)表明值为 0 的输出的原因可能是由于线路出现 S_0 故障,或者是线路正常,输入为 0 引起的。

假定故障只与线路有关,则可以依据关键路径中的电路连接关系得到敏化关键路径。 $A=B+C$,敏化方程即为:

$$a_{in} = b_{out} + c_{out} \quad (3)$$

$$a'_{in} = b'_{in} c'_{in} \quad (4)$$

综合电路的布尔方程即可得到敏化的关键路径。

3 时序泰勒展开图(TTED)建模关键路径

3.1 泰勒展开图

泰勒展开图(TED)是通过有向无环图来表示函数,由一条由根结点引出的边来表示一个函数,这个函数是以根结点为变量的函数。因为采用结点的连接边来表示函数并利用 TED 的边权值来表示函数的系数,所以需要一些操作规则来实现 TED 标准化。结点变量为 1 的结点表示一个函数。

从 TED 的定义可以清楚地知道, TED 只能表示连续的函数。通常函数的值域是整数域,也可以是整数范围。如果被表示的函数能够被表示为有限次的多项式,则泰勒展开图含有有限的项。由此, TED 能够表示该函数,并且可以表示含有布尔变量的整函数。为了解释 TED 对函数表示,图 1 给出了函数 $f(x,y)=4+2xy^2+4x^2y^2+8x^3y$ 的 TED 表示。变量的次序是 (x,y) , 0 阶导数边用点划线表示, 1 阶导数边用单线表示, 高阶导数边用双线和三线表示。

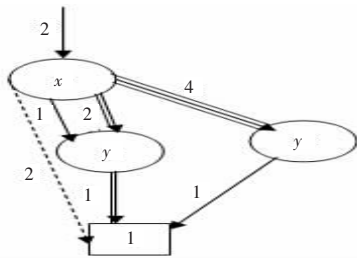


图 1 $f(x,y)=4+2xy^2+4x^2y^2+8x^3y$ 的泰勒展开图

3.2 时变泰勒展开图

将在 TED 的基础上给出带有时序信息的泰勒展开图的新模型,称之为 TTED。TTED 对带有时序信息的混合变量函数的

表示是唯一的,即一个 TTED 对应一个含有序信息的函数 F 。

为了构造一个压缩的 TTED,先定义一些对带有时序信息的函数的一些转换,这些转换有利于 TTED 的结点共享。

假设 $F(t)$ 是一个含有序信息的函数,定义如下:

$$F_\omega(t) = F(t-\omega)$$

ω 称为函数 $F(t)$ 的延时。如图 2 所示,令加法器的延迟为 1,乘法器的延迟为 2,令函数

$$f^*(t) = x_1(t) + x_2(t)$$

$$g^*(t) = x_2(t) + x_3(t)$$

可以得到:

$$f(t) = f_1^*(t), g(t) = g_1^*(t)$$

$$f_2(t) = f_3^*(t), g_2(t) = g_3^*(t)$$

$$y(t) = f_2(t) * g_2(t) = f_3^*(t) * g_3^*(t)$$

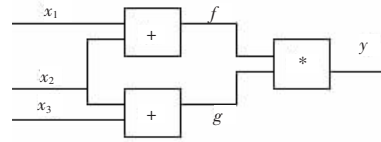


图 2 一个实例

用一个三元组 $\langle f, wr, wl \rangle$ 来表示一个 TTED 函数。在一个 TTED $\langle f, wr, wl \rangle$ 的表示图中,用一个表示函数 $f(x(t-k_1), \dots, y(t-k_1), \dots)$ 的单根有向无环图(DAG)来表示 f ,并称之为 TTED $\langle f, wr, wl \rangle$ 的基本函数。权值 wr, wl 分别标记在根结点 f 的一条入边的右面和左面,右权值 wr 是函数 f 的系数,即 $wr[f(t)]$,而左权则表示函数 f 的时延,即 $f_{wl}(x(t-k_1), \dots, y(t-k_1), \dots)$ 。在 DAG 中的每一个非终结点 F ,如图 3 所示,表示一个与在 DAG 中的结点 $\langle v, wv \rangle$ 和有向边所指的函数 $f(0), f'(0), f''(0), \dots$ 相关的函数。在结点 $\langle v, wv \rangle$ 中, v 可以是字级变量, wv 是一个与结点关联的时间常数,即表示信号 $v(t)$ 的延迟 $v(t-wv)$,称之为结点 $\langle v, wv \rangle$ 的权值。结点 F 可以通过一个 n 元组 $\langle v, wv \rangle, \langle f(0), \dots, wr_0, wl_0 \rangle, \langle f'(0), wr_1, wl_1 \rangle, \langle 1/2 f''(0), wr_2, wl_2 \rangle, \dots$ 来表示,其中 $\langle v, wv \rangle$ 表示 $v(t-wv)$,叫作基本函数 F 的首变量。把以结点 v 为根结点的函数和第 k 个派生函数称为结点 v 的 k -child: $f(x(t-wv)=0, \dots)$ 是 0-child, $f'(x(t-wv)=0, \dots)$ 是 1-child, $1/2 f''(x(t-wv)=0, \dots)$ 是 2-child 等。则 F 表示基本函数 $f(x(t-k_1), \dots, y(t-k_1), \dots)$ 。

在实值变量 $x(t-wv)=0$ 点表示为:

$$f = wr_0 * f_{wl_0}(x(t-wv)=0, \dots) + wr_1 * f'_{wl_1}(x(t-wv)=0, \dots) +$$

$$wr_2 / 2 * f''_{wl_2}(x(t-wv)=0, \dots) + \dots$$

终结点表示 0 或 1 的常函数。如果一个非终结点有一个终结点作为它的一个 i -child,则它相应的左权值定为 $+\infty$ 。

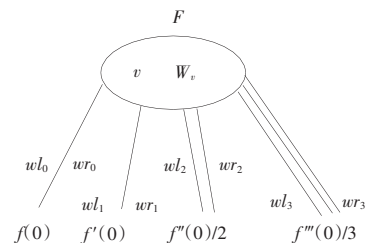


图 3 一个 TTED 节点

对于一个 TED,变量是有序的,即对变量集合强加一个总序 \prec 。对于 TTED 的实值变量强加一个序。

TTED 对实值变量 $x(t-k_i)$ 强加一个总序,也就是对每一个实值变量 $x(t-k_i)$ 给定一个序号。在每一个 TTED 的路径中变量的出现必须是降序的,如同 TED。一个函数的 TTED 表示的大小很大程度上取决于变量的序。

在 DAG 中,规定用点划线来表示 0-child,用单线表示 1-child,用双线来表示 2-child,用三线表示 i -child($i>2$)。很显然,在对同一函数的表示过程中,与输入变量相比实值变量要多得多。可能引起 TTED 的表示迅速增加。因此关键是构造一个合理的压缩的 TTED。

3.3 构建关键路径的 TTED 表示

假定给定关键路径方程用布尔方程表示,只需对其进行简单扩展,将布尔变量扩充为多项式变量,再利用上面定义,即可方便地构建到关键路径的 TTED 表示。构建算法如下:

- (1)构建电路中关键路径各个结点的初始 TTED 表示,其中决策变量须按顺序排序。
- (2)权值 w_r, w_l 分别标记在根结点 f 的一条入边的右面和左面。
- (3)如果一个结点和入边恰等于另一结点的出边,则合并两结点。
- (4)重复对关键路径中结点应用步骤 3 即可得到最终的 TTED 表示。

通常来说模型表示范围会增加复杂度,但该文的方法相比其他方法却只需增加最小的额外复杂度。

3.4 TTED 的可测性分析方法

3.4.1 提取结点可控性

可以给出可控性的定义如下:

定义 5 结点 n 的 1 可控性或者说信号概率性 $p(n=v)$ 是指结点 n 值为 v 的概率。多信号概率性 $p(n_0=v_0, n_1=v_1, \dots, n_k=v_k)$ 表示多个结点 n_i 值为 v_i 的概率,如果所有的这些输入信号是相互独立的,那么可以得到

$$p(n_0=v_0, n_1=v_1, \dots, n_k=v_k) = p(n_0=v_0) * p(n_1=v_1) * \dots * p(n_k=v_k)$$

可控性的定义可以表示概率性,如果 $v=1$,那么结点可控性就是 1-可控性,如果 $v=0$,结点可控性就是 0-可控性。

同时施加以下两条准则:

准则 1 如果一个结点没有被任何关键路径遍历到,那么这是结点是不可测的(即非可控和可观察的)。

准则 2 一个结点被越多的关键路径遍历到,那么可控和可观察性越高。

通过以上定义结合 TTED 表示就可以进行精确的可控性计算。设输入结点为 x_i ,输出结点为 y_j ,中间经过的路径为 pa ,那么输出结点的可控性记为 $C_v(O_{i,j})$,由此可以得到

$$C_v(O_{i,j}) = \min\{C_v(pa)(O(i,j))\}$$

3.4.2 提取结点可观察性

假定一个电路输入为 x_1, x_2, \dots, x_n ,输出为 $y_j = f(x_1, x_2, \dots, x_n)$,其中 $j \in [1, \dots, m]$,称一个内部变量(或者说主输入)是可观察的当且仅当将 x_i 的值定为 q 而不是 p 引起变量 y_j 从 s 变为 t 。相关可观测性概率记为 $O_{y_j:s,t}(x_i:p,q)$ 如果 $(x_i:p,q)$ 通过一个转换 $(y_j:s,t)$ 是可观察的, $O_{y_j:s,t}(x_i:p,q)$ 被评估为一个不为零的值。四种可观察性的概率都存在:即 x_i 值为 0 或 1, y_j 的值为 0 或 1。可观察性的计算用相反拓扑序进行,使用一个后向传播过程,通过使用 TTED 图(如图 4 所示),从每一个关键路径的输出开始,这与依靠一个内部结点或主输入的情形是不一样的。

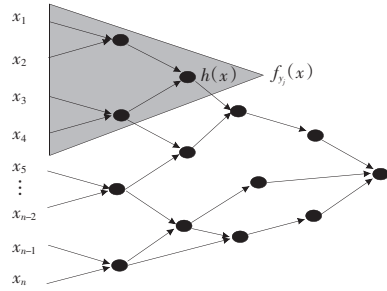


图 4 内部可观察性计算

如果 x_i 是主输入,每个可观察性概率计算为:

$$O_{y_j:s,t} = \sum_{s \neq t, p \neq q} P(f_{y_j=s}(x_i=p) \wedge f_{y_j=t}(x_i=q))$$

其中 $s, t, p, q \in [0, 1]$ 。

如果 x 是一个内部结点,假定 h_x 为代表 PI 和寄存器关系方程,考虑输出 y_j ,方程为 f_j :

$$f_j = f_{y_j}(x_1, x_{i-1}, x, x_{i+1}, \dots, x_n)$$

$O_{y_j:s,t}(x_i:p,q)$ 概率性计算如下:

$$O_{y_j:s,t}(x_i:p,q) = \sum_{s \neq t, p \neq q} \frac{P(f_{y_j=s}(x_i=p) \wedge f_{y_j=t}(x_i=q) \wedge h_{x=pp})}{P(h_{x=pp})}$$

其中 $h_{x=pp}$ 包含在计算可观测性概率过程中,假定结点 x 值为 P 。

3.4.3 提取其他信息

假定得到一个关键路径方程 $f(x_1, x_2, \dots, x_n)$ 的 TTED 表示(其中 x_1, x_2, \dots, x_n 为 n 个输入向量),就可以计算它的输出概率,任意一个关键路径输入 x_1, x_2, \dots, x_n 定义了一条从根结点到终端结点的路径,假定路径中每条边的权重为 p_1, p_2, \dots, p_m ,则可以得到 $f(x_1, x_2, \dots, x_n) = p_1 * p_2 * \dots * p_m$ 。此外还可以得到输出错误概率性,它不是从概率表而是直接从 TTED 中获得。

4 实验分析

在 ISCAS 平台进行可测性分析方法 HLTA-TTED,所有的程序都在 SUN 工作站上完成(P4 3.0G, 1GRAM, Linux),其中从文献

[6]中选取一些基本电路,电路的可测性计算公式为 $\frac{1}{|faults|} \sum_{faults} \frac{1}{pd_i}$ (pd_i 为故障 i 的检测概率)。对比以前的几种方法,得到的结果如表 1、表 2 所示(其中表 2 运行时间为 CPU 的运行时间),结果显示了 HLTA-TTED 方法成功地提高了可测性分析的结果。

表 1 电路可测性比较

电路	$\frac{1}{ faults } \sum_{faults} \frac{1}{pd_i}$			
	EXACT	TAIR	TFC	HLTA-TTED
Alu2	77.6	841.5	800.9	785.2
Alu4	93.2	3 530.2	2 540.4	2 235.1
Apex7	73.3	93.2	80.0	75.6
C17	6.3	6.5	6.3	6.2
C1908	186.1	218.1	216.7	214.7
I6	8.8	8.8	8.8	8.8
I8	44.1	40.7	42.3	41.2
set	109.0	69.3	87.3	89.1
T481	14 515.1	12 963.4	13 555.9	13 502.1
Ttt2	115.2	89.2	117.2	112.3
X1	661.0	841.9	729.6	720.1
average	1.000	0.721	0.792	0.784