

# FPGA 在雷达信号处理中的应用

李雅萍<sup>1,2</sup>, 朱乃立<sup>2</sup>, 孟红文<sup>3</sup>, 任宏伟<sup>4</sup>

(1. 西北工业大学计算机学院, 西安 710072; 2. 洛阳大学电子信息工程学院, 洛阳 471023;  
3. 中国人民解放军 96251 部队; 4. 中国工商银行洛阳分行, 洛阳 471000)

**摘要:** 随着数字信号处理理论和微电子技术的发展, 利用 FPGA 的高速特性来满足雷达信号处理的实时要求, 目前已经成为该领域的研究及开发热点。该文结合科研实践, 介绍了 EP1S30 芯片和 IDT72V3670 芯片的技术特性与功能原理。FPGA 在实际电路中的相应配置方法, 围绕工程项目完成了雷达杂波抑制电路的设计与调试。

**关键词:** 雷达; 杂波抑制; 现场可编程门阵列

## Application of FPGA in Radar Signal Processing

LI Yaping<sup>1,2</sup>, ZHU NaiLi<sup>2</sup>, MENG Hongwen<sup>3</sup>, Ren Hongwei<sup>4</sup>

(1. College of Computer, Northwest Polytechnical University, Xi'an 710072; 2. College of Electronics and Information Technology, Luoyang University, Luoyang 471023; 3. The PLA of 96251 Units; 4. Luoyang Branch, Industrial and Commercial Bank of China, Luoyang 471000)

**【Abstract】** By development of the digital signal processing theory and improvement of microelectronic technology, using the feature of high speed of FPGA has been the focus of research and exploitation in satisfying real time of digital signals processing in RADAR. Combining scientific research, the paper introduces architecture description of EP1S30 and IDT72V3670 chip, involves configure method. According to the need of project, it discusses the designing and debugging of electrocircuit.

**【Key words】** Radar; Clutter rejection; FPGA

近年来, 雷达信号处理中杂波抑制能力, 随着芯片嵌入技术的发展和数字信号处理理论的成熟, 不断得到加强和提高。杂波中的目标检测问题已成为近代雷达理论的一个重要方面。一个完备的杂波抑制系统是 MTI、AMTI/MTD、杂波图、CFAR 检测技术的综合应用, 实现从杂波和噪声环境中检测目标的任务。本论文结合实际项目重点分析了在雷达信号处理系统中使用 FPGA 完成 MTI、AMTI、CFAR 检测等功能。在工程开发设计中, 采用了 EP1S30 和 EPC16 配置芯片, 使用 ISP 模式和串行配置方式, 完成信号的数字处理。

### 1 动目标显示技术(MTI)

运动目标的检测任务就是根据运动目标回波和杂波在频谱结构上的差别, 从频率上将它们区分, 以达到抑制固定杂波而显示运动目标回波的目的。

杂波功率谱  $C(f)$  可以分为两部分:

$$C(f) = C_1(f) + N_0 \quad (1)$$

其中,  $N_0$  为均匀分量的功率谱密度。它取决于系统的稳定性。稳定性越高,  $N_0$  越小。 $C_1(f)$  是由杂波特性(包括天线扫描和杂波内部起伏)决定的梳状分量, 天线扫过目标时收到的回波脉冲数越少, 杂波内部起伏越大, 则梳状谱的宽度就越宽。

根据最佳滤波理论, 当杂波功率谱  $C(f)$  和信号频谱  $S(f)$  已知时, 最佳滤波器的频率响应为

$$H(f) = \frac{S^*(f)e^{-j2\pi ft_s}}{C(f)} \quad (2)$$

式(2)中,  $S^*(f)$  是  $S(f)$  的共轭函数;  $t_s$  是使滤波器能够实现而附加的延迟时间。式(2)的滤波器可分成两个级联的滤波器  $H_1(f)$  和  $H_2(f)$ , 其传递函数形式为

$$H_1(f) = \frac{1}{C(f)} \quad (3)$$

$$H_2(f) = S^*(f)e^{-j2\pi ft_s} \quad (4)$$

其中  $H_1(f)$  是用来抑制杂波,  $H_2(f)$  用来对脉冲串信号匹配。动目标显示所用的滤波器相当于这里的  $H_1(f)$ 。实际上能做到的杂波抑制滤波器, 只能使滤波特性的凹口, 宽度基本上和杂波梳状谱的宽度相当, 这种情况也只能属于准最佳滤波。

MTI 滤波器, 在可用脉冲数  $N$  小于 4 时采用二脉冲对消器或三脉冲对消器。当可用脉冲数  $n$  大于 4 时, 可以采用 FIR 滤波器。

FIR 滤波器的输出为

$$Y_n = \sum_{i=0}^{N-1} W_i e^{-j2\pi fT} \quad (5)$$

因此, MTI 滤波器的频率特性只与滤波器系数  $W_0, \dots, W_{N-1}$  有关, 等 T 情况下的 MTI 滤波器特性为

$$H(jf) = \sum_{i=0}^{N-1} W_i e^{-j2\pi fT} \quad (6)$$

### 2 参差 MTI 滤波器和参差码

为了避免盲速, 可以采用参差变 T 的方法, 即发射脉冲重复频率以某种规律变化, 其参差周期比为

$$T_1 : T_2 : \dots : T_{N-1} = K_1 : K_2 : \dots : K_{N-1} \quad (7)$$

式(7)中,  $[K_1, K_2, \dots, K_{N-1}]$  称为参差码, 参差码中最

**作者简介:** 李雅萍(1968 -), 女, 讲师、硕士生, 主研方向: 计算机信号与数据处理, 计算机网络, 分布式系统; 朱乃立, 教授; 孟红文, 工程师、硕士生; 任宏伟, 工程师

**收稿日期:** 2006-05-08 **E-mail:** yaping66@sohu.com

大的  $K$  值与最小的  $K$  值之比称为最大变比。

$$r = \max [K_1, K_2, \dots, K_{N-1}] / \min [K_1, K_2, \dots, K_{N-1}] \quad (8)$$

如果  $K_i$  之间互异互素, 且满足

$$\Delta T = T_1 / K_1 = T_2 / K_2 = \dots = T_{N-1} / K_{N-1} \quad (9)$$

则称  $\Delta T$  为参差周期的最大公约周期, 这时参差 MTI 滤波器的第一盲速点:

$$F_B = 1 / \Delta T \quad (10)$$

这时的雷达的平均重复周期为

$$T_r = \frac{1}{N-1} \sum_{i=1}^{N-1} T_i = \left[ \frac{1}{N-1} \sum_{i=1}^{N-1} K_i \right] \Delta T \quad (11)$$

式(11)中,  $K_{av}$  是参差码的均值。

$$K_{av} = \frac{1}{N-1} \sum_{i=1}^{N-1} K_i \quad (12)$$

根据式(10)得:

$$K_{av} = T_r / \Delta T = T_r F_B = F_B / F_r \quad (13)$$

式(13)中,  $F_r = 1 / T_r$  称为平均重复频率, 所以也称  $K_{av}$

为盲速扩展倍数。

$$\begin{aligned} X_{t_{n-1}} &= X_{t_{n-T_1}} \\ X_{t_{n-2}} &= X_{t_{n-T_1-T_2}} \\ &\vdots \\ X_{t_{n-N+1}} &= X_{t_{n-T_1-T_2-\dots-T_{N-1}}} \end{aligned} \quad (14)$$

MTI 的输出为

$$Y(n) = \sum_{i=0}^{N-1} W_i \square X_{t_{n-i}} \quad (15)$$

频率特性为

$$H(j\omega) = W_0 + W_1 e^{-j2\pi f T_1} + \dots + W_{N-1} e^{-j2\pi f (T_1+T_2+\dots+T_{N-1})} \quad (16)$$

在 FPGA 内部电路设计中, 和差两个支路的杂波抑制电路接受主监控的命令决定进行 MTI 滤波, AMTI 滤波还是 (MTI + AMTI) 滤波。在自适应滤波的情况下, 自适应权值计算电路计算的权系数同时提供给和差两路杂波抑制电路。

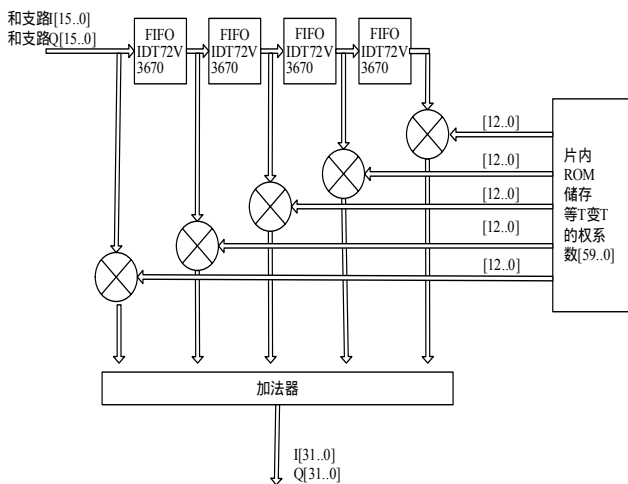


图1 杂波抑制中 MTI 滤波器

由图1可以看到从外部进入 FPGA 的数据, 进入 MTI 滤波器输出  $I [31.0]$  和  $Q [31.0]$ , 再求模值与相位。滤波器对应的各类权系数统一事先存储在 FPGA 内部储存区域。⊗ 为复数乘法器。

### 3 恒虚警处理

恒虚警率(constant false-alarm rate, CFAR)是雷达信号处

理的重要组成部分。恒虚警率处理的目的是保持信号检测时的虚警率恒定。保持恒虚警率的检测叫做恒虚警率处理, 分为两大类: (1)慢门限恒虚警率处理, 用于噪声工作环境; (2)快门限恒虚警率处理, 用于杂波工作环境。根据干扰环境的变化进行自动转换。

#### (1)慢门限恒虚警率处理

接收机噪声是白色高斯噪声, 如果不存在杂波和其它干扰, 在接收机的白色高斯噪声中, 检测目标可以采用噪声恒虚警电路。如图2所示, 因为白色高斯噪声经幅度检波器后, 概率密度分布符合瑞利分布, 所以只需求得其噪声均值, 再乘以一个大于1的门限因子, 作为检测门限就可以将虚警概率控制在允许值以下。门限因子由工作方式中的脉冲数决定, 分别设置门限因子, 改变检测门限, 保证不同工作方式下的虚警概率相同。

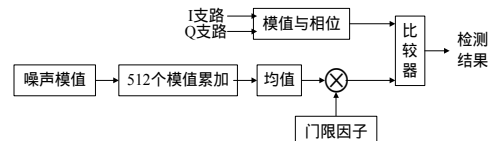


图2 慢门限恒虚警率处理的工作原理

#### (2)杂波背景下的 CFAR 检测

杂波可以看作是许多独立照射单元回波的叠加, 杂波包络的分布也接近瑞利分布, 求杂波均值的样本只能从被检测目标邻近单元来获得。一般采用其改进电路——两侧单元平均选大电路, 如图3所示。在被检测单元两侧各选  $N$  个单元, 分别求这  $N$  个单元的均值, 二者选大后输出, 乘以门限因子作为检测门限。保护单元是为了避免目标本身对门限值的影响。因子可以在雷达调试过程加以设定。此电路在 MTI 滤波情况下, 可直接进行 CFAR 检测。

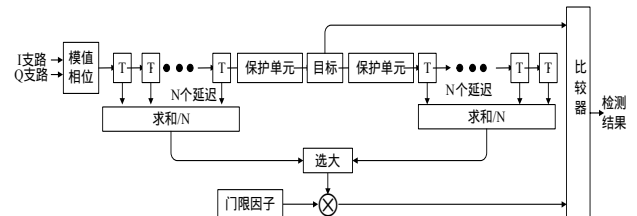


图3 快门限(相邻单元平均)恒虚警处理工作原理

系统在噪声区工作阶段(各个工作区的间隙, 时间跨度是512个时钟周期), 采集噪声数据, 送入正常通道求取模值, 并进入噪声均值电路, 输出结果用位后, 即为当前的噪声均值, 均值求得后首先根据其大小不同, 实际中划分为小于8、大于等于8且小于13、大于等于13且小于18、大于等于18等情况, 定义慢门限的门限系数, 并将此系数与噪声均值二者相乘, 作为噪声恒虚警电路的门限值。

和支路数据  $\Sigma I(n)$  和  $\Sigma Q(n)$  同时用作正常支路的数据输入, 求模后送往噪声 CFAR 电路反异步干扰电路和动态杂波图。噪声 CFAR 电路利用慢门限进行检测, 检测结果根据波束驻留期间的实际脉冲数进行非相干积累和  $M/N$  检测, 输出正常检测结果和正常信号幅值。

快门限检测是根据杂波恒虚警的相邻单元平均选大电路实现的。在目标单元的两侧各留有一保护单元, 是防止目标回波延伸到参考单元里去, 保证参考单元的平均估值可靠, 提高目标的检测性能。在 FPGA 中资源允许情况下, 使用并行加法器, 通过用位实现了单元平均。在两侧选大电路中, 因为右侧各参考单元的总和为左侧各参考单元总和的延迟。

图 4 是将左侧单元并行相加，并用位取得平均估值，然后经适当延迟成为右侧单元平均估值，前后比较选大。

由于实际电路中存在着延迟，因此在调试阶段要根据 FPGA 内部选用的逻辑器件，根据产生的快门限来确定当前所对应的目标单元。

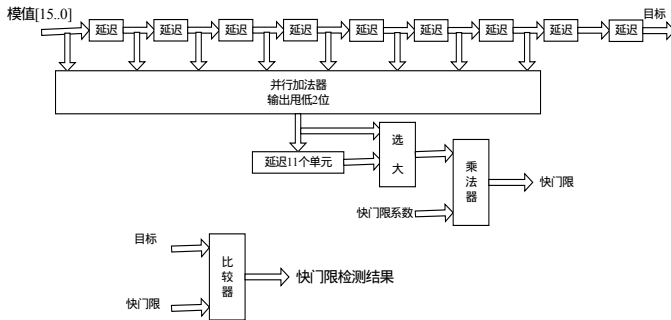


图 4 快门检测电路

#### 4 印刷电路板的制作

EP1S30 芯片有 956 个管脚，由于采用的是球形阵列(BGA)封装，BGA 封装的器件安装到印刷电路板上之后，电路设计不易更改，因此在设计含有 BGA 封装器件时，尽量把一些有用的信号布在表层，这样为以后的调试提供了方便。

由于这种新型器件为了节省功耗，采用多电源，内核电压为 1.5v，外部端口电压为 3.3v，并且部分分布在器件的中部。因此，印刷电路板要有两个电源层。器件中央有大量的地，这些同时也兼顾散热功能，因此在设计多层板时，至少要有一层地，并且在管脚地附近通过过孔尽量直接连到地层，并且加工印刷电路板时地层要较厚，这样就可以达到较好的器件散热。电源和地之间有必要放一些去耦电容。在数量上，每个电源层 3.3v、1.5v 和地都需要 8 个左右 0.02 $\mu$ f。由于这种 PBGA 封装的器件，电源和地位于器件的中部，并且管脚是密集布满的，按着去耦电容离电源地最近的原则，去耦电容只能放到印刷电路板的背面。由于器件的体积小，放的电容数目较多，因此选择体积较小的片状电容较理想。考虑到电流大，整个印刷电路板还要配置若干个容量的钽电容进行去耦。

EP1S30 芯片的管脚球的大小为 0.35mm，制板时线宽建议采用 6mil，线距为 6mil 的加工工艺，过孔不超过 10mil。

#### 5 EP1S30 芯片的配置方式

它包括正常模式与编程模式。

正常模式是使用 Flash 存储器中的压缩数据来控制 PLD 的配置过程。加电前，POR 单元产生所有的复位信号。待 POR 计数器工作完成复位后，芯片 OE 引脚为低时，POR 时间才能被扩展。配置过程开始前，芯片取样 PGM [ ] 选择引脚来

决定闪存中哪页文件将用于 PLD 配置。CDU 将按照操作位的设定来转变新的内部时钟，此时芯片开始读取闪存中的配置数据。OE 引脚变高来驱动配置开始，PCU 开始产生新时钟 DCLK 并配置 PLD。当最后一个配置数据从闪存中读出后，页计数器不工作，PCU 停止从闪存的读操作。这时如果没有 CONF\_DONE 错误检查发生，DCLK 时钟继续，直到 nCS 引脚变高，表明 PLD 配置成功。若 CONF\_DONE 检查有错误发生，POR 锁定 OE 并开始新的 PLD 配置。配置过程完成后，PCU 停止 DCLK 时钟。闪存保持在停顿状态。

编程模式是由 JTAG 接口控制数据总线，在闪存中存取数据。系统执行 ISP 指令是通过 JIU 来存取闪存。JIU 收到一个 ISP 指令后，按照特定的闪存总线周期，对指令进行编码。在编程模式中，JIU 接口由 PLD 来初始一个 PLD 重新配置周期，JTAG 接口取得总线权，开始重新配置 PLD。在配置过程中，JTAG 接口将不再发出任何指令防止干扰 PLD 的配置。配置成功后，PLD 驱动 CONF\_DONE 变高，此时 DCLK 驱低并保持 DATA [ 7..0 ] 在最后逻辑状态。图 5 为 ISP 模式和串行配置方式的连接示意图

配置引脚说明：控制信号引脚(DATA [ ], DCLK，nCS，nINIT\_CONF 和 OE)直接与 PLD 芯片的控制信号相连。DCLK 是配置参考时钟，起着配置数据“写使能”作用。OE 信号是在加电稳定后驱低，使芯片地址计数器归零。nCS 与 PLD 芯片的 CONF\_DONE 引脚相连，当最后一组配置数据传送到 PLD 后，检查配置是否成功。nINIT\_CONF 与 PLD 芯片 nCONFIG 引脚相连，nINIT\_CONF 信号驱高开始加载配置。

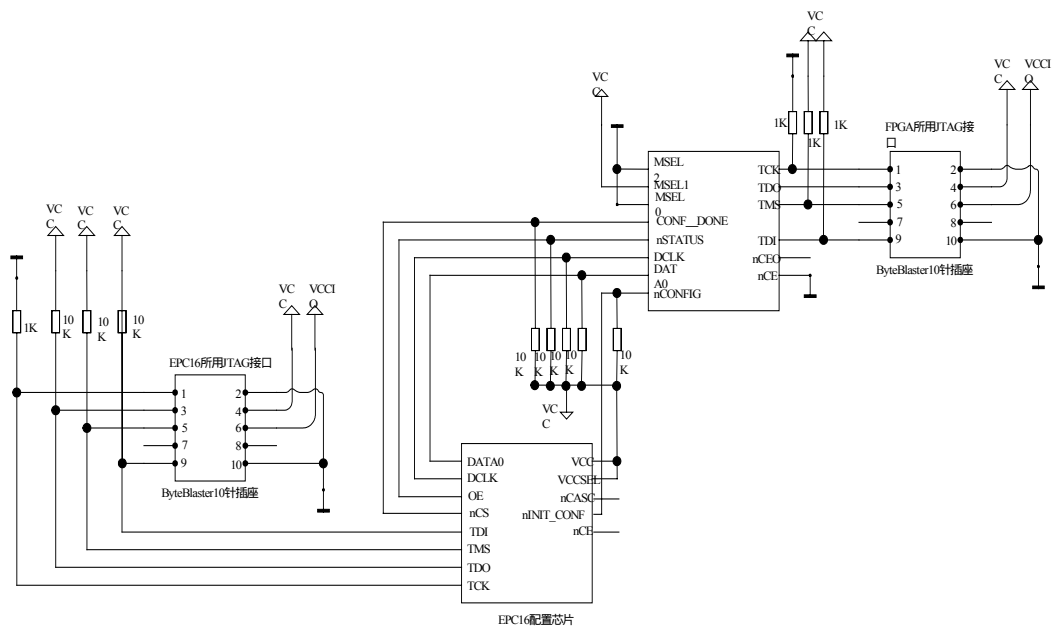


图 5 ISP 模式和串行配置方式连接示意图

#### 6 电路调试情况

在实际电路的调试过程中，由于各个分系统电路板全部进入机箱工作相互之间电气干扰与影响势必存在，主要遇到 3 类问题。

- (1) 波形不够稳定，有抖动现象，不能和参考波形保持同步，处理方法是改善电源，强化电路板的屏蔽措施。
- (2) 波形上有毛刺。这有两种原因：1) 接地不好或者信号受到其它高频信号干扰。2) 多路信号的电平值发生变化时，在信号变化的瞬间，组合逻辑的输出状态不能确定，出现毛

刺这种情况,如果是从 FPGA 芯片输出的信号有毛刺,一般有 3 种处理办法:①在 FPGA 输出引脚上串接一个 RC 电路,构成一个低通滤波器,能够消除毛刺信号的大部分能量;②在输出信号的保持时间内,用一定宽度的高电平脉冲与输出信号做逻辑“与”运算,由此获得输出信号的电平值;③利用 D 触发器的 D 输入端针对毛刺不敏感的特点,在输入信号的保持时间内,用触发器读取组合逻辑的输出信号。如果是在 FPGA 芯片内产生的过渡或中间信号,不用于输出,那使用上述的第②、第③种方法较好。

(3)信号的延迟。信号延时是必然存在的。因为信号每通过一个逻辑单元,就会产生一定的延时,延时的大小除了受路径长短的影响外,还受器件内部结构特点、制造工艺、工作温度、工作电压等影响。所以在物理特性方面的延迟是不可避免的,但降低延时还是有可能的。对于简单的逻辑可以使用 VHDL 语言描述,较复杂的逻辑尽量用电路来实现。用语言编的模块一方面给电路带来的延时比较大,另一方面占用电路的逻辑资源比较多。

为了维持旁路电容的效果,应根据电流脉冲的频率来决定采用何种旁路电容。对于低频的电流脉冲,如主电源装置,选用约  $100\ \mu F$  的电容即可,这一类的电容封装是有接脚导线的,而且接脚电感和体电容的容值都不小,因此所形成的谐振频率也不高。

由于电流脉冲的频率基本上也不很高,因此体电容的旁路仍然有效果。至于高速的数字 IC 则较适合采用约  $0.1\ \mu F$  的芯片电容,其优点是没有导线接脚,所以产生的接脚电感也是非常小的,很适用于调频瞬时能量的耦合工作。

为了保证时钟与数据信号不受任何干扰,使 FPGA 正常工作,在设计电路板时通常要在 VCCIO 与 VCCINT 电源和 GND 之间加  $0.1\ \mu F$  和  $0.01\ \mu F$  的滤波电容。根据 FPGA 管脚分布特点,VCCIO 的滤波电容焊接在 FPGA 芯片的四周,

(上接第 258 页)

期。在实际中,有些停顿需要的额外周期可能不止 1 个,而有些停顿位所指示的停顿可能是指令包之间的,采用轮转的分派线程选择策略,可以使停顿值小于 1,这样把  $\lambda$  作为对其平均值的一种估计。从以上的分析中可以看出  $\lambda$  的取值应在 1 附近,跟指令包中的停顿类型(即是指令包内部停顿还是指令包间的停顿)、活跃线程个数、指令包停顿所带来的周期损失、工作负载等有关。对于  $\lambda$  可以通过模拟确定。

### (3)硬件代价

SICOUNT 线程选择策略需要对指令条数和停顿位个数进行计数。由于采用分离的指令包队列,每个线程的指令包个数很容易统计;同时,由于在译码阶段,可以很容易地从指令模板中获得停顿位信息,对停顿位进行计数所增加的硬件复杂性也不会很大。

### (4)结论

综上,SICOUNT 以分离的指令包队列、轮转的分派线程选择策略作为基本结构,将最高优先权赋予计数值  $C_k$  最小的线程。通过这种机制,SICOUNT 可以在只增加较小的硬件复杂性的情况下充分利用 EPIC 中编译器和硬件的通信能力。

## 3 下一步工作

SICOUNT 试图充分利用 EPIC 中编译器和硬件的通信能力,在线程选择策略中对编译器提供的相关信息加以考虑,

VCCINT 的滤波电容焊接 FPGA 芯片底部的中心部位。

在电路实际测试过程中,数据经过 MTI 与 AMTI 滤波后,在检测设备终端所显示的检测结果与理论计算是完全相符合的。

## 7 结束语

一般来说,FPGA 芯片在数字信号处理系统中的应用,都要经过设计输入、仿真、设计输入编译、设计输入的优化、布局布线、功能仿真及流片。对于现在雷达信号处理系统的研发生产而言,基于 FPGA 芯片的产品越来越具竞争力和系统高可行性。

随着超大规模集成电路(Very Large Scale IC, VLSI)工艺的不断改进,单一芯片内部可以容纳上百万个晶体管,芯片规模也越来越大,其单片逻辑门数已达到数十万门,它所能实现的功能也越来越强,便于实现系统集成。在实际工程,在一个单片上集成实现了滤波的正常通道、MTI、AMTI 和高通道等系统功能,大大节约了产品的研制费用。

对 FPGA 芯片和 EPROM 配合使用时,用户可以反复地编程、擦除、使用或者在外围电路不动的情况下用不同的 EPROM 就可实现不同的功能特点。尤其是如果构造出该 FPGA 芯片的实验板,则可更加灵活地实现不同电路的功能。

## 参考文献

- 1 丁鹭飞. 雷达原理[M]. 西安:西北电讯工程学院出版社,1984.
- 2 巴顿 D K. 雷达系统分析[M]. 陈方林,译. 北京:国防工业出版社,1985.
- 3 Goldstein H, Donald E K, Arthur E B. Propagation of Short Radio Waves[M]. New York: McGraw-Hill Book Company, 1951.
- 4 宋万杰,罗 丰,吴顺君. CPLD 技术及其应用[M]. 西安:西安电子科技大学出版社,2001.

这就使得 SICOUNT 在取指线程的选择上能更精确地估计各个线程的流动速度,从而使取出指令的质量更高。

但是本文对于 SICOUNT 的研究是基于轮转式分派线程选择策略的,在分派线程选择中如何采用其他策略,以及采用其他策略对取指策略又会产生怎样的影响、如何改进等问题都值得进一步研究。本文的工作是 EPIC 动态同时多线程模拟器开发的一部分,在接下来的研究中,将以该模拟器为基础,对这些取指策略的性能进行进一步分析。

## 参考文献

- 1 Tullsen D, Eggers S, Levy H. Simultaneous Multithreading: Maximizing On-chip Parallelism[C]//Proceedings of the 22<sup>nd</sup> Annual International Symposium on Computer Architecture. Santa Margherita Ligure, Italy. 1995-06: 392-403.
- 2 Tullsen D, Eggers S, Emer J, et al. Exploiting Choice: Instruction Fetch and Issue on An Implementable Simultaneous Multithreading Processor[C]//Proceedings of the 23<sup>rd</sup> Annual International Symposium on Computer Architecture, PA, USA. 1996-05: 191-202.
- 3 Tullsen D, Brown J. Handling Long-latency Loads in a Simultaneous Multithreaded Processor[C]//Proceedings of the 34<sup>th</sup> Annual ACM/IEEE International Symposium on Microarchitecture., Texas, USA. 2001-12: 318-327.
- 4 Schlansker M S, Rau B R. EPIC: Explicitly Parallel Instruction Computing[J]. IEEE Computer, 2000, 33(2): 37-45.
- 5 Itanium Processor Microarchitecture Reference: for Software

Optimization[Z]. 2000. <http://www.developer.intel.com/design/ia64/itanium.htm>.