

高性能半静态双边沿 D 触发器

王伦耀^① 夏银水^{①②} 叶锡恩^①

^①(宁波大学信息学院 宁波 315211)

^②(Napier大学工程学院 英国爱丁堡 EH10 5DT, UK)

摘要 在分析现有静态结构双边沿触发器和动态结构双边沿触发器优缺点的基础上, 该文提出了半静态结构双边沿触发器设计。PSPICE 模拟表明, 新设计功能正确。与以往一些设计相比, 新设计在功耗、速度、功耗延迟积以及减少 MOS 晶体管使用数目等方面都具有明显的优势, 从而使新设计具有良好的综合性能。该文的另一个贡献是对双边沿触发器性能的测试方法进行了探讨, 提出了测试双边沿触发器最高频率的新方法。

关键词 集成电路, 半静态, D 触发器, 低功耗, 双边沿触发器

中图分类号: TN432

文献标识码: A

文章编号: 1009-5896(2006)11-2186-05

Design of High Performance Semi-Static Double Edge-Triggered Flip-Flops

Wang Lun-yao^① XiaYin-shui^{①②} Ye Xi-en^①

^①(Faculty of Information Science & Technology, Ningbo University, Ningbo 315211, China)

^②(School of Engineering, Napier University, Edinburgh EH10 5DT, UK)

Abstract Based on analysis of traditional static and dynamic Double Edge-Triggered Flip-Flops (DETFFs), a new semi-static DETFF is proposed in this paper. PSPICE simulation shows that the proposed DETFF has correct operation. Compared with traditional static DETFFs, the proposed DETFF has significant improvement in terms of power, speed, Power-Delay-Product (PDP) and area. In addition, the performance measurement of the DETFFs is also discussed in this paper, and a new approach is proposed for testing the maximum working frequency of the DETFFs.

Key words IC, Semi-static, D flip-flops, Low power, Double edge-triggered flip-flops

1 引言

在CMOS电路的功耗中决定性的一项来自电路对给定节点的充放电^[1]。与此相应的功耗可由下式表示:

$$p = 0.5C_L V_{DD}^2 f_{clk} E_{sa} \quad (1)$$

式中 C_L 为该节点的物理电容, V_{DD} 为电源电压, f_{clk} 为时钟频率, E_{sa} 为开关活动性, 即每个时钟周期中的平均输出跳变数。

在时序电路里时钟功耗是整个电路功耗的主要贡献者, 因为时钟是时序电路里唯一一直在跳变的信号。此外, 时钟信号的负载总是最大的。为了分布时钟线及控制时钟的偏移, 需要构建一个含有时钟缓冲器的遍布系统的时钟网络(通常称为时钟树)。所有这些均增加了时钟网络的节点电容。研究表明, 时钟网络的功耗约占整个电路功耗的 20% 至 45%^[2]。因此减少时钟功耗将可以大幅度降低整个电路的总功耗。时钟信号在一个周期内要跳变二次($E_{sa}=2$), 而电路的其它节点在不计信号竞争冒险所致的“毛刺”时最多只跳变一次, 这起因于单边沿触发器的工作特点, 它们只对时钟某个特定的跳变方向(上升沿或下降沿)敏感。这样, 另一个方向上的时钟跳变纯属一种冗余跳变, 而它对应的大量功耗也纯

属浪费。试想, 如果触发器能对时钟信号的二个跳变均敏感, 则原来另一半为冗余跳变的时钟信号将被有效利用, 这便是双边沿触发器的设计思想^[3]。与单边沿触发器相比, 采用双边沿触发器优点明显。首先, 采用双边沿触发器后, 在保持原有的数据传输速率的条件下, 时钟信号的频率可以减半, 由此就可以降低集成电路的功耗。另外, 如果保持原有的时钟频率不变, 则系统处理数据的速度将加倍, 从而提高系统的效率。但另一方面, 双边沿触发器要比相应的单边沿触发器电路结构更复杂。复杂的电路结构不但占用了更多的硅片面积, 而且增加了电路内部节点数和节点电容。这反过来又将增加电路的功耗。因此如何减少为实现双边沿触发而增加的电路面积和功耗是双边沿触发器设计中所必须解决的问题。在本文中, 利用CMOS电路固有的电容特性, 提出半静态结构的双边沿触发器。这种结构的触发器与以往的静态结构触发器相比, 具有结构简单, 占用电路面积小, 功耗低的特点。而与以往的动态触发器相比, 又具有静态触发器不需要刷新的优点。从而达到减少额外的辅助电路及相应功耗的目的。

2 双边沿触发器设计原理

双边沿触发器一般都采用图 1 所示的并列结构。在图 1 电路中, 两个闩锁(Latch1, Latch2)总是交替处于锁存和接受

2005-03-11 收到, 2005-08-30 改回
国家自然科学基金(60273093), 国家自然科学基金国际重点合作项目(60311130191)和浙江省教育厅科研项目(20051732)资助课题

数据状态,而数据选择器MUX总是选择处于锁存状态的数据加以输出,从而实现双边沿触发的功能。图 2 为一些采用并列结构的双边沿触发器设计^[3-6]。除了采用并列结构外,双边沿触发器的另外一种设计就是采用单Latch结构^[7]。图 3(a)为一种单Latch双边沿触发器的设计。单Latch触发器一般采用时钟链产生的一组有不同延时的时钟信号来控制数据输入端与Latch之间的导通情况。而数据通路的导通时间持续非常短,一般为 3 个反相器的延迟时间,见图 3(b)。在图 3(a)所示的电路结构中,数据 D 只能在图 3(b)中的 $clk \cdot clk1b$ 和 $clkb \cdot clk2$ 波形的高电平部分写入Latch中,在其它时间里输入端的数据变化对Latch存储的内容和触发器的输出没有影响。由于 $clk \cdot clk1b$ 和 $clkb \cdot clk2$ 波形的高电平分别对应时钟信号 clk 的上升和下降沿,从而实现双边沿触发的功能。

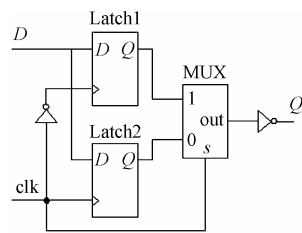


图 1 双边沿触发器的通用结构示意图
Fig.1 The general structure of DETFFs

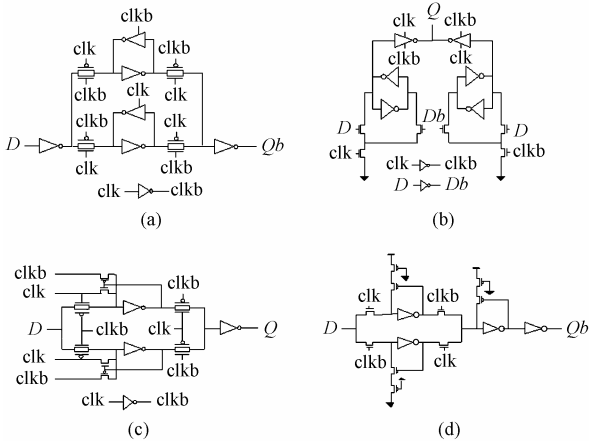


图 2 文献[3-6]提出的双边沿触发器结构
(a)文献[3]设计 (b)文献[4]设计 (c)文献[5]设计 (d)文献[6]设计
Fig.2 The configurations of DETFFs proposed in Ref.[3-6]
(a) The DETFFs in Ref.[3] (b) The DETFFs in Ref.[4]
(c) The DETFFs in Ref.[5] (d) The DETFFs in Ref.[6]

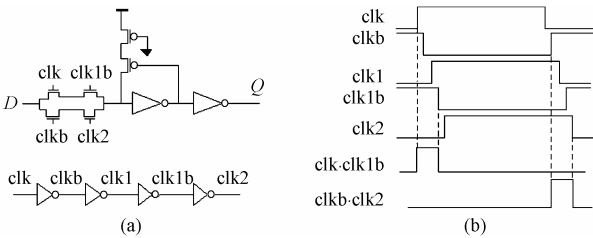


图 3 (a) 文献[7]提出的单 Latch 双边沿触发器结构
(b) 利用时钟信号延迟产生的窄脉冲
Fig.3 (a) Single Latch based DET flip-flops proposed in Ref.[7]
(b) Narrow pulses generated with clock signal racing

图 2, 图 3 所示的设计都是采用静态的电路结构。但实

际上,随着现代数字集成电路的工作频率越来越高,使得动态结构触发器设计成为现实。动态结构触发器的实现基于这样两个因素:(1)由于 CMOS 电路存在节点电容,每个节点电容都能在不太长的时间内能有效地起到存储电荷的作用;(2)当电路工作在较高的时钟频率下,使得触发器内部各个节点电容存储的电荷能及时得到刷新,从而保证存储的数据的准确性。图 4 为文献[8]提出的动态双边沿触发器电路结构。

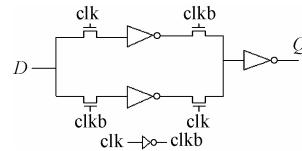


图 4 动态结构双边沿触发器
Fig.4 Dynamic DETFFs

从图 4 可以看出,采用动态结构设计的触发器的电路比采用静态结构设计的电路要简单许多。也就是说,图 4 的设计要比图 2 的各个设计节省电路面积。但另一方面,由于图 4 电路中没有 Latch 结构,因此随着时间的增加,节点电容中存储电荷的流失,将导致输出 Q 变得不准确。为了保证这种动态电路输出的准确性,通常的做法就是加上额外的刷新电路进行不间断的刷新。显然额外的刷新电路和刷新操作都将增加电路的功耗和面积。

3 半静态双边沿触发器的设计

由于静态触发器具有不需要刷新的优点,动态触发器具有电路结构简单的特点。因此,如果择其两者优点,采用静态结构和动态结构混合的方法来设计,这就是所谓的半静态结构的设计思想。事实上,这一思想已被应用于单边沿低功耗触发器的设计,并且获得了良好的效果^[9,10]。因而,结合双边沿触发器设计方法,这种设计思想理应为双边沿半静态触发器设计所借鉴。

图 5(a)为双边沿半静态触发器的新设计。在图 5(a)电路中,利用 CMOS 电路的电容特性,用两个反相器替换了图 1 所示电路中的 Latch,因此,这一部分是动态的。两个反相器存储的数据经选择后被存储在 Latch 中,经缓冲后输出,因此,这一部分电路是静态的。这种在电路结构上既有动态结构又有静态结构的触发器,本文称之为半静态触发器。

从图 5(a)可知,当 clk 为由低电平变到高电平时, M_1, M_4 导通, M_2, M_3 截止。由于 CMOS 电路具有电容特性,此时反相器 I_2 处于存储状态。它存储的数据通过 M_4 被锁存在 Latch 中并输出。由于 M_1 导通,此时反相器 I_1 处于接受数据状态。 I_1 的输出随着 D 的变化而变化。但由于 M_2, M_3 都截止,所以输入数据 D 的变化不会引起触发器输出的变化,从而实现上跳沿触发功能。当 clk 由高电平变到低电平时, M_2, M_3 导通。此时, I_2 处于接受数据状态, I_1 处于存储状态。 I_1 存储的数据经 M_2 锁存在 Latch 中并输出。因 M_1, M_4 截止,使得输入数据 D 的变化同样不会引起触发器输出的变化,从而实现下跳沿

触发的功能。从图 5(b) 所示的PSPICE模拟后得到的瞬态波形可知, 新设计的逻辑功能正确。

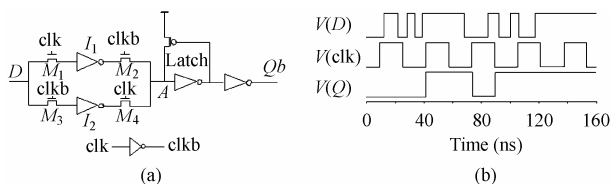


图5 (a)半静态双边沿触发器 (b)瞬态波形分析

Fig.5 (a) The configuration of semi-static DETFFs

(b) Transient analysis waveforms

图 5(a)所示的半静态双边沿触发器电路结构有如下特点: (1)将图 1 所示电路中的两个静态Latch用两个反相器来代替。这有助于电路面积的节省和数据通路功耗的降低。(2)采用对选择后的数据用静态Latch锁存后再加以输出, 弥补了前级采用动态结构后需要刷新的不足, 保证输出数据准确、可靠。(3)输出端采用了结构简单, 性能相对较好的Latch^[11], 可以期望在功耗、面积和功耗延迟积上会有明显的改进。

4 双边沿触发器性能比较方法

双边沿触发器的性能比较包括触发器在不同激励下的功耗、最高工作频率、面积、输出延迟、功耗延迟积等多个方面。

(1) 功耗测试。图 6 为触发器的功耗测试电路, 其中负载为 100fF 电容。触发器的数据输入端和时钟输入端消耗的功耗通过测量反相器 I_D 和 I_C 的功耗来获得的。由于整个测试电路的功耗和负载的大小有关, 为了能明确衡量触发器的功耗大小, 本文测试的是图 6 中虚线方块内电路的功耗。即加负载后, 触发器电路的功耗与数据及时钟信号输入端的功耗之和。

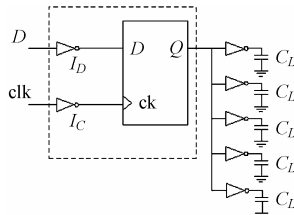


图6 功耗测试电路($C_L=20\text{fF}$)

Fig.6 The power dissipation test bench of flip-flops ($C_L=20\text{fF}$)

(2) 毛刺对触发器功耗的影响。在以往一些关于触发器功耗的讨论^[4,5,6,8,12]中, 输入激励中只涉及了数据信号没有毛刺情况下触发器的功耗。但在实际应用中, 触发器的输入往往是组合电路的输出。由于信号传输延迟的存在, 使得组合电路的输出不可避免地存在毛刺。毛刺将引起电路节点电容的充放电而最终导致电路动态功耗的增加。有资料^[13]表明, 毛刺引起的功耗占总功耗的 20%—70%。因此将触发器功耗对毛刺的敏感程度作为衡量触发器性能的一个指标是非常必要的。本文在测试触发器毛刺功耗时采用的激励是毛刺数和触发沿的个数之比为 1:1。即在每一个触发沿到来之

前, 输入信号里含有一个毛刺。

(3) 最高频率测试。文献[8]提出了触发器最高数据传输率的测试方法, 并进行了单边沿和双边沿触发器最高数据传输率的测定。测试电路见图 7。

图 7 所示电路本质上是一个只有 1 个触发器的移位寄存器。该电路能保证每一次的输入和前一次的输入不同。该测试电路对单边沿触发器而言, 确实能测出在输入数据序列为最差情况下的最高数据传输速率。但是对双边沿触发器而言, 图 7 的测试电路不适用。原因分析如下。

假设初始的输入数据 $in=0$, 因此随着时钟触发沿的不断到来, in 的变化规律为 10101010...。从表面上看, 输入数据在前后二次触发沿到来时都不一样。但实际上, 对图 1 所示的电路而言, Latch1 接受的数据是 1111, ..., Latch2 接受的数据是 0000, ..., 或者两者相反。即, 电路中的两个 Latch 存储的数据并没有随着输入数据的变化而变化。因此用这种测试电路产生的激励信号并不能真正反映出触发器在输入数据序列为最差情况下的最高数据传输速率。

为了测试在最差情况下触发器的最高数据传输率, 本文将测试电路改成图 8 形式。在图 8 电路中, 假设初始时触发器 1 的输入为 1, 触发器 2 的输入为 0, 随着时钟触发沿的不断到来, 触发器 1 的数据输入端 in 的变化规律为 1001100110...。在这种输入激励下, 两个 Latch 中存储的数据的变化顺序分别为 10101... 和 01010..., 这样便能保证双边沿触发器中两个平行的 Latch 存储的内容在连续的两个时钟周期里都不一样, 从而获得数据序列在最差情况下的最高数据传输速率。

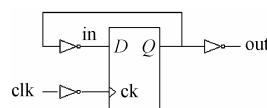


图7 文献[8]的最高频率测试电路

Fig.7 Test circuit of maximum data rates in Ref.[8]

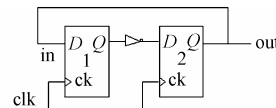


图8 采用移位寄存器方法测试触发器最高频率

Fig.8 Shift register based test of maximum data rates

(4) 晶体管使用数量。由于电路的面积与电路所使用的晶体管的数量有关, 因此电路的晶体管的使用数量能从一个侧面反映出所设计的电路占用芯片面积的大小。在当前追求芯片集成度的趋势下, 这方面的比较是非常有意义的。

(5) 功耗延迟积(Power-Delay Product, PDP)。单纯用功耗来衡量电路的能耗特性不一定客观。国际上经常采用功耗延迟积这一指标。即, 某一电路的功耗和相应的延迟的乘积来衡量电路的性能。PDP 值越小, 表明该电路性能越好! 在本文中, 功耗延迟积中的功耗值采用的是 $sa=0.5$ 时电路的功耗值; 延迟是采用时钟触发沿到输出的平均延迟。其中时钟到输出的延迟是指时钟沿上升(下降)到 50% 的点到输出上升(下降)到的 50% 点的时间间隔。

5 实验结果及分析

本文采用 0.24 μ m CMOS 工艺对图 2, 图 3 和图 5 所示的各种电路进行了 PSPICE 仿真。其中, MOS 管的宽长比取为: nMOS 管, $W/L=0.48\mu\text{m}/0.24\mu\text{m}$; pMOS 管, $W/L=0.96\mu\text{m}/0.24\mu\text{m}$; 电源电压 $V_{DD}=2.5\text{V}$; 时钟频率 $\text{clk}=100\text{MHz}$; 仿真软件为 PSPICE V9.1。

表 1 给出了 PSPICE 模拟结果。表 1 中 sa 为数据开关活动性, 表示在一定时间内输出端数据改变次数与时钟触发沿到达触发器的个数之比。如 $\text{sa}=0.5$ 代表每经过两个时钟触发沿, 输出端数据才改变 1 次。 $\text{sa}=0, D=1$ 表示数据输入恒为 1。表中不同的 sa 值是在保持时钟频率不变的情况下, 通过改变数据变化频率得到的。

从表 1 可知, 除文献[5]提出的电路外, 文章中列举的其它几个设计在输入保持不变情况下, 功耗几乎一样, 与输入的取值无关。导致文献[5]电路的功耗与输入 D 的取值有关的原因在于该设计中存在电平冲突。由于电平冲突的存在, 使得电路的总功耗在很大程度上取决与发生电平冲突的时间, 而不是数据开关活动性。从各个设计的功耗大小来看, 本文设计是最小的。

在毛刺功耗方面, 表 1 中“Glitch 1/1 (μW)”这一栏分别列出了各个设计在一个时钟周期(对应两个触发沿)有两个毛刺情况下的总功耗与数据通路功耗的情况。从表 1 中可知, 由于文献[7]的设计只在时钟信号的翻转沿后很狭窄的时间(约 3 个反相器的延迟)对数据进行采样, 而在其它时间里, 数据输入端和 Latch 之间不存在通路, 所以该设计的动态功耗几乎不受毛刺的影响! 因此在数据输入有毛刺的情况下, 它的数据通路上消耗的功耗是最低的。但该设计的总功耗却不是最低的, 这一方面说明了该设计由于采用时钟链导致时钟功耗比较大。另一方面, 由于在数据通路中采用连续的两个 nMOS

管子串联, 使数据通路在传输高电平信号时信号的电平损失会比较大。而这种电平损失在采用低电压、小尺寸工艺时对电路的性能影响非常明显, 从而使图 3(a)的设计在低电压、小尺寸工艺的应用受到限制^[4]。毛刺对本文提出的半静态双边沿触发器而言, 由于它仅能影响动态结构部分, 因该部分结构相对简单, 所以毛刺功耗也比较小。而在图 2 所示的各个电路中, 输入的毛刺都会引起两个平行 Latch 的翻转或者引起电平冲突从而导致数据通路上的功耗增加幅度比较大。

本文与文献[6]和文献[7]中所采用的 Latch 属于同一类型, 并且在触发器的输出部分都采用了这类 Latch 与反相器串联的电路结构。但从表 1 中可以发现, 本文和文献[6]电路的输出信号的上升, 下降以及 C_p-Q 的时间明显不同, 而文献[7]的设计在这方面的时间特性几乎一样。其原因是本文和文献[6]的设计对 Latch 输入端, 即图 5(a)所示的电路中的 A 点充放电是通过传输管与前级反相器中的 pMOS 管和 nMOS 管进行的, 上升和下降时间的不一致是由于通过 pMOS 管和 nMOS 管充放电电流不一样造成的, 这可通过改变两管的沟道宽长比来调节。而对于文献[7]的设计而言, 充放电则是通过两路两个串联 nMOS 传输管轮流与数据输入端导通实现的, 因而具有几乎相等的上升和下降时间, 然而这种设计对信号源的启动能力要求比较高。

在电路使用的晶体管数量方面, 从表 1 来看本文设计使用的晶体管数量是最少的。如果将本文设计使用的 MOS 晶体管的数量作为 1, 相应的其它的设计使用的 MOS 晶体管数量最少的是本文设计的 1.2 倍, 最多的为 1.73 倍。

此外表 1 也给出了在最差输入数据序列情况下, 各个设计的最高工作频率, 文献[7]的最优, 本文设计和文献[6]的次之。但在功耗延迟积方面, 本文设计具有最低的 PDP 值。

表 1 六种设计的性能比较($V_{DD}=2.5\text{V}, 0.24\mu\text{m}$ 工艺, $\text{clk}=100\text{MHz}$)
Tab.1 Comparison of 6 different designs($V_{DD}=2.5\text{V}, 0.24\mu\text{m}, \text{clk}=100\text{MHz}$)

	文献[3]	文献[4]	文献[5]	文献[6]	文献[7]	本文设计
晶体管数 \clubsuit	26(1.73)	26(1.73)	20(1.3)	20(1.3)	18(1.2)	15(1)
$C_p-Q(LH)$ (ns)	0.27	0.32	0.21	0.33	0.30	0.34
$C_p-Q(HL)$ (ns)	0.21	0.24	0.21	0.24	0.29	0.26
上升时间(ns)	0.28	0.65	0.33	0.35	0.20	0.35
下降时间 (ns)	0.20	0.38	0.25	0.23	0.19	0.24
$D=0 \text{ sa}=0$ (μW)	19.4	14.8	302.4	9.4	23.2	9.4
$D=1 \text{ sa}=0$ (μW)	20.2	14.4	409.6	9.4	25.6	9.2
$\text{sa}=0.5$ (μW)	45.4	56.6	294.6	24.0	46.4	21.0
$\text{sa}=1$ (μW)	69.2	90.4	366.6	37.0	48.4	29.8
Glitch 1/1 (μW) \spadesuit	62.0(43.4)	94.2(82.8)	343.0(176.8)	27.4(17.8)	31.6(5.0)	21.0(10.6)
Max freq. (GHz)	1.28	1.06	1.25	1.50	1.72	1.50
PDP (10^{-15}J)	10.90	15.84	61.86	7.68	13.92	6.30

\clubsuit :该栏中括号外的为该设计中使用的晶体管数,括号内的数据为该设计使用的晶体管数与本文设计使用的晶体管数的比值。

\spadesuit :该栏表中数据中括号外为总功耗, 括号内为数据通路的功耗。

6 结束语

在综合静态结构和动态结构优点的基础上, 本文提出了

采用半静态结构的双边沿触发器：数据输入端采用动态结构，而数据输出端采用静态结构。采用这种结构的触发器同时具有了动态结构电路简单和静态结构不需要刷新的优点。与以往一些设计相比，半静态双边沿触发器在功耗、速度以功耗延迟积及使用的 MOS 晶体管数量等方面都有优势，从而使本文设计具有良好的综合性能。

参 考 文 献

- [1] Pedram M. Power minimization in IC Design: Principles and applications. *ACM Trans. on Design Automation*, 1996, 1(1): 3–56.
- [2] Sakurai T, Kuroda T. Low-power circuits design for multimedia CMOS VLSI's. In Proc. Synthesis and System Integration of Mixed Technologies, Fukuoka, Japan, 1996: 3–10.
- [3] Llopis R P, Sachdev M. Low power, testable dual edge triggered flip-flops. Int. Symp. Low Power Electronics and Design, Monterey CA USA, 1996: 341–345.
- [4] Chung W, Lo T, Sachdev M. A comparative analysis of low-power low-voltage dual-edge-triggered flip-flops. *IEEE Trans. on Very Scale Integration(VLSI) Systems*, 2002, 10(6): 913–918.
- [5] Pedram M, Wu Q, Wu X. A new design of double edge triggered flip-flops. in Proc. Asia and South Pacific Design Automation Conference (ASP-DAC), Yokohama, Japan, 1998: 417–421.
- [6] Blair G M. Low-power double-triggered flip-flops. *Electronic Letters*, 1997, 33(10): 845–847.
- [7] Strollo A G, Napoli E, Cimino C. Low power double edge-triggered flip-flop using one latch. *Electronic Letters*, 1999, 35(3): 187–188.
- [8] Hossain R, Wornski L D, Albicki A. Low power design using double edge triggered Flip-flop. *IEEE Trans. on Very Scale Integration(VLSI) Systems*, 1994, 10(6): 261–265.
- [9] 王伦耀, 吴训威, 叶锡恩. 新型半静态低功耗 D 触发器设计. *电路与系统学报*, 2004, 9(6): 26–28.
- [10] Manolescu M, I-Pei Lin. Low-power half-static flip-flop structure. In Proc. Int. Semicond. Conf., Sinaia, Romania, 2000: 211–214.
- [11] Qiu X H, Chen H Y. Discussion on the low-power latches and flip-flops. Int. Conf. on Solid-State & Integrated Circuit Technology, Beijing, China, 1998: 477–480.
- [12] Mishra S M, Rofail S S, Yeo K S. Design of high performance double edge-triggered flip-flops. *IEE Proc. Circuits Devices Systems*, 2000, 147(5): 283–290.
- [13] Kim S, Kim J, Hwang S Y. New path balancing algorithm for glitch power reduction. *IEE Proc. Circuits Devices Systems*, 2001, 148(3): 151–156.
- 王伦耀：男，1972 年生，讲师，研究方向为低功耗数字电路设计、综合与优化。
- 夏银水：男，1963 年生，研究员，研究方向为低功耗大规模集成电路综合与优化。
- 叶锡恩：男，1955 年生，副教授，研究方向为 ASIC 设计技术及低功耗数字逻辑综合与优化。