

文章编号: 1001-4322(2005)07-1043-04

延迟击穿半导体开关二极管最佳参数确定*

余 稳^{1,2}, 谭述奇³, 张 飞^{2,4}, 张义门¹, 孙晓玮²

(1. 西安电子科技大学 微电子研究所, 陕西 西安 710071; 2. 中国科学院 上海微系统与信息技术研究所, 上海 200050;
3. 湖南油中王有限公司, 湖南 益阳 413000; 4. 武汉大学 物理系, 湖北 武汉 430072)

摘 要: 分析了延迟击穿二极管(DBD, delayed breakdown diode)的物理机理。从该器件在负载上的输出脉冲幅度及上升时间两方面综合考虑,通过改变器件结构参数和物理参数(长度、面积、掺杂浓度、激励源等),模拟研究了不同激励源及不同负载情况下 DBD 特性的变化情况。结果表明:上升时间对于面积和负载电阻均存在极小值,设计时面积和负载电阻应该选取该极值点对应的最佳值。 n 区长度存在最佳值,理论上应为器件加载在所需临界击穿电压值而且刚好处于穿通状态时的长度值; p^+ 区和 n^+ 区的长度没有太大的影响,但应稍大于各自的穿通长度,浓度则尽量高; n 区掺杂浓度越低越好,对激励源要求电流稍高于临界条件即可。

关键词: 开关二极管; 延迟击穿; 脉冲锐化; 脉冲功率器件

中图分类号: TN313.6; TN602 **文献标识码:** A

随着现代超宽带(UWB)系统的发展,短脉冲功率发生器在高压脉冲功率和脉冲电晕等离子体技术等领域的的应用日益广泛。对任何短脉冲功率发生器来说,超快脉冲开关都是核心部件,也是其性能好坏的关键因素。这些开关应具有纳秒、亚纳秒开关能力,高重复率、高效率以及高开关时间稳定性(低抖动)等特点。常用的火花隙开关具有低损耗、高控制电压能力以及大开关电流等优点,但其电极寿命很短,脉冲重复率低且多开关同步系统很复杂。激光控制的光导开关抖动低,但寿命有限,且价格昂贵。

Grekhov 等人^[1]基于半导体 pn 结在高偏压下的新效应设计了两类元件,较好地满足了上述超快脉冲功率开关的需求。第一类是基于 pn 结在高偏压下的超快电压恢复效应而设计的短路开关器件 DSRD(drift step recovery devices)^[2],该器件在功率放大器中用作开关元件(SOS, semiconductor opening switch),利用该开关元件设计的固态调制器可产生脉冲长度 3~8 ns,脉冲功率 50 MW~1 GW 级,电压 50 kV~1 MV,脉冲重复频率达几 kHz 的脉冲。第二类器件为 DBD,或者是 SAS(silicon avalanche shaper),是基于半导体 PN 结超快可逆延迟击穿效应而设计的,它被认为是过压火花隙开关的替代。采用这类器件的调制器是基于附加的脉冲峰化作用,SOS 在 DBD 两端产生一个电压上升率极大的负电压,在这种电压源激励下,电流将在不到 1 ns 的时间内通过 DBD 切换到负载。该类调制器能产生幅值几百 kV,上升时间小于 1 ns,峰值功率达 1 GW,长度 1~2 ns 的脉冲^[3]。

在超高功率短脉冲研究方面,俄罗斯电物所开展了大量的研究工作^[3],美国空军武器研究实验室^[4]等也开展了这方面的工作。国内西北核技术研究所^[5]和中科院电工所也有相关的工作^[6]。本文从器件物理角度出发,对 DBD 进行了器件结构建模和仿真,获得了 DBD 最佳参数的确定方法,并提出了输出脉冲上升时间对负载和器件面积均存在极小值的观点。

1 延迟击穿开关物理机制

半导体二极管延迟击穿效应由 I. V. Grekhov 等人^[1]发现。当某种结构(如 p^+nn^+)的硅二极管两端快速加压到超过静态击穿电压时,器件在快速击穿前有几 ns 的延迟。当雪崩电离波以快于载流子饱和和漂移的速度扫过本征材料区时,就会发生 ps 级击穿,工作原理简述如下^[7]。

对图 1 所示的半导体(硅材料) pn 结二极管,其 p^+n 结的静态击穿电压为

$$V_{BR} = E_c^2 \frac{\epsilon}{2q} \left(\frac{N_A + N_D}{N_A N_D} \right) \quad (1)$$

式中: E_c 为碰撞电离的临界电场强度; N_A 为 p^+ 区掺杂浓度, $N_A = 10^{19} \text{ cm}^{-3}$; N_D 为 n 区掺杂浓度, $N_D =$

* 收稿日期:2004-12-29; 修订日期:2005-03-18

基金项目:国家 863 计划项目资助课题

作者简介:余 稳(1966—)男,副教授,博士研究生,从事器件物理、MMIC 设计等工作;E-mail:yuwen@mail.sim.ac.cn。

10^{14} cm^{-3} ; ϵ 为材料介电常数; q 为电子电荷。

$$\text{当 } N_A \gg N_D \text{ 时 } \quad V_{BR} = E_c^2 \frac{\epsilon}{2q} \left(\frac{1}{N_D} \right) \quad (2)$$

通过求解泊松方程,可以得到在常幅度电流密度 J_0 反向施加于上述二极管时空间电荷区(SCR, space-charge region)中电场强度随时间的变化。SCR 中时变电场值与临界击穿场强 E_c 值相交叉的点随时间向 nn^+ 结移动。通过简单的分析可以得到,当电流密度 J_0 为常数时,该交叉点的移动速度

$$V_D = J_0 / qN_D \quad (3)$$

(3)式表明:有可能产生一个速度比饱和和漂移速度更快的雪崩电离波前,且可以把该波前看成是通过 n 区传播的电离波,并由此产生高电导的电子空穴等离子体。如果驱动二极管的电流足够大,以致电场增大的速度高于由于电离碰撞引起的载流子产生所导致的电场减小的速度,那么在 SCR 中就会产生 $E > E_c$ 的区域,从而导致延迟击穿效应。

从前面所述的延迟击穿开关物理机制可看出,产生延迟击穿雪崩电离波的必要条件是

$$J_0 > J_{min} = v_s q N_D \quad (4)$$

式中: v_s 是载流子饱和和漂移速度。

从(1)式可以看到,器件 n 区的掺杂浓度取决于所需雪崩击穿电压值 V_{BR} ,对脉冲功率技术应用来说, V_{BR} 越大越好,所以 N_D 越低越好。如果取 $N_D = 10^{14} \text{ cm}^{-3}$, $v_s = 1.0 \times 10^7 \text{ cm/s}$,可得 $J_{min} = 160 \text{ A/cm}^2$,所以要求外加反偏电压所产生的电流密度至少大于 160 A/cm^2 。我们知道,在雪崩击穿前,SCR 中只有位移电流,对于具有常值 dV/dt 的外加脉冲来说,它在 SCR 区中产生的位移电流

$$J_d = \frac{qN_D}{2} \frac{dV_A}{dt} \sqrt{\frac{2\epsilon}{qN_D}} \frac{1}{\sqrt{V_{bi} - V_A(t)}} \quad (5)$$

式中: V_A 是加于二极管的电压; V_{bi} 为内建电势(一般为 $0.5 \sim 0.8 \text{ V}$)。对图 1 所示器件,若 $dV_A/dt \geq 4 \text{ kV/ns}$, $V_A = 4 \text{ kV}$ (代入公式(5)时取负值,因为其正极加在 n 端,见图 1),利用公式(5)可算得 $J_d = 183 \text{ A/cm}^2$,满足发生雪崩的必要条件式(4)。

2 DBD 器件仿真结果及分析

本文通过求解一组耦合、刚性、非线性方程组,并根据实际情况选择相关物理模型(迁移率、产生复合等),获得关键半导体器件的宏观行为。重点对具有不同结构参数和物理参数的 DBD 器件在不同激励源下的延迟击穿效应进行了仿真,研究了不同参数对延迟击穿半导体二极管开关特性(上升时间、脉冲宽度)的影响。仿真的器件结构和简化电路模型如图 1 所示,器件面积为 0.01 cm^2 , p^+ 区掺杂浓度 $N_A = 10^{19} \text{ cm}^{-3}$, n^+ 区掺杂浓度 $N_D = 10^{19} \text{ cm}^{-3}$,负载 $R = 50 \Omega$ 。激励源具有常 dV/dt 上升沿的波,如图 2 所示,幅度为 2.3 kV ,选择该波形是便于理论分析。

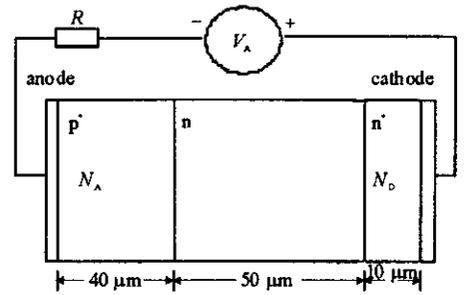


Fig. 1 DBD diode structure and simplified simulation circuit
图 1 延迟击穿二极管结构和模拟简化电路

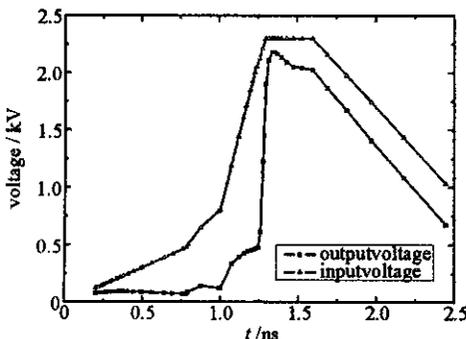


Fig. 2 Typical input and output voltage waveform
图 2 典型输入电压和输出电压波形

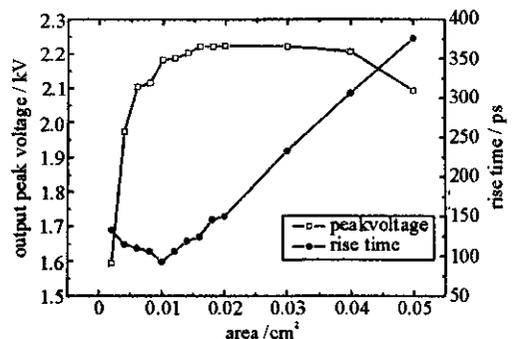


Fig. 3 Relationship among output voltage, rise time and the area of cross section
图 3 电压峰值及上升时间与其横截面积的关系

图 2 中带三角符号的实线表示峰值为 2.3 kV 的输入驱动脉冲,刚开始有一个小的前脉冲,然后有一个小的上升,最后是较快的上升,上升沿时间为 300 ps。另一条曲线表示 50 Ω 负载的电压,即锐化后的输出脉冲,从 470 V 到峰值 2.18 kV 处上升时间为 90 ps。可见 DBD 器件能有效地阻止前脉冲和慢的上升,在峰值电压处击穿(关闭)很快。

图 3 和图 4 分别表示 DBD 输出与其横截面积及负载电阻的关系。Focia 等人^[7]认为,器件面积依赖于所需的功率控制能力,对输出负载却没有提到。从仿真结果看,并不完全是这样。从图 3、图 4 可以看出,在一定面积或负载电阻 R 范围内,输出电压幅度几乎不变,上升时间则差不多单调上升;在该范围低端,当面积或负载电阻减小时输出幅度单调下降,但上升时间却存在极小值。这是因为在上述范围内,截面积增加,则通过负载的电流增加,从而输出幅度变大,但加在负载上的电压的增加必然导致 DBD 两端电位的下降,从而使雪崩电流减少,进而导致输出电压减小,综合结果是输出幅度几乎不变,这可以认为类似于负反馈情形。上升时间方面,随着 R 或面积的增加,DBD 两端电压的加载速率 dV/dt 下降,因而上升时间增加。在上述范围内,负载电阻改变时情形也一样。在上述范围以外,当面积减小时,由于雪崩产生的等离子体数量有限,雪崩电流减小,因而输出幅度减小; R 减小时,电路中电流增加,DBD 电压下降,导致输出幅度减小。上升时间方面,情况比较复杂,不同 R 时输入电压 DBD 端电压波形如图 5 所示,从图 5 可以看出, R 两端的电压上升时间决定于 DBD 端电压的下降时间。随着 R 的减小,从图 4 可以得到,DBD 端电压下降时间(即 R 两端的电压上升时间)在 $R=40\ \Omega$ 处存在极值。因为,随着 R 的进一步减小,处于雪崩状态的 DBD 电阻相对变大,这样 DBD 上的压降最小值(对应于 R 上的最大值)增大,因此下降变化率减小,上升时间反而增加,故上升时间在 $R=40\ \Omega$ 处出现极值。面积减小时的情形也很类似。

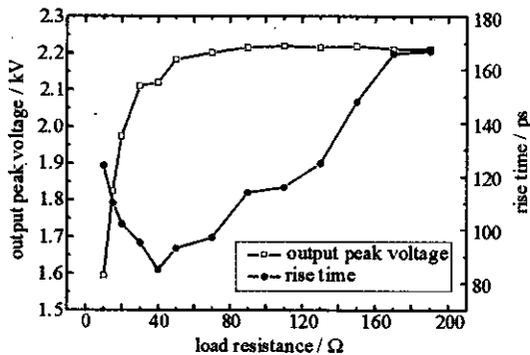


Fig. 4 Relationship among output voltage, rise time and load resistance

图 4 电压峰值及上升时间与负载电阻的关系

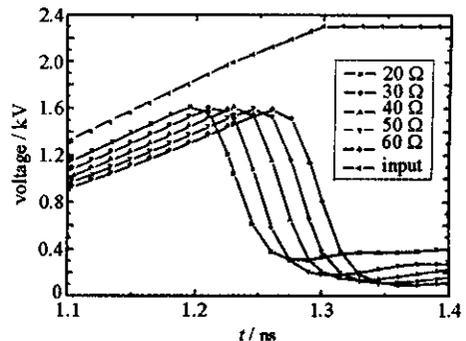


Fig. 5 Input voltage and DBD voltage waveforms at different loads

图 5 输入电压及不同负载时的 DBD 端电压波形

图 6 表示 DBD 输出随 n 区长度的变化。从结果看,输出电压峰值对 n 区长度变化存在极大值,而上升时间对 n 区长度变化也存在极小值,且这两个极值所对应的 n 区长度差不多。该值约等于器件在临界击穿时其 SCR 区(正好处于穿通状态时)的长度值。长度低于该值,则临界击穿电压下降,输出峰值降低,上升时间增加;长度大于该值,则雪崩区域增大,漂移时间增加,达到峰值所需时间增加,输出幅度下降。

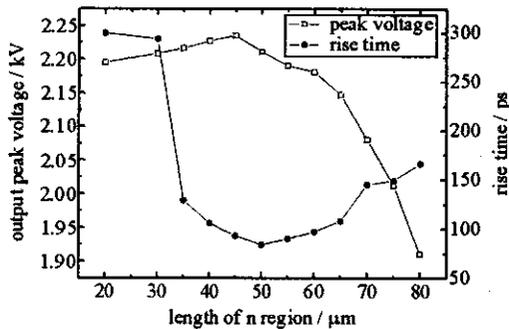


Fig. 6 Relationship among output voltage, rise time and length of n region

图 6 电压峰值及上升时间随 n 区长度的变化

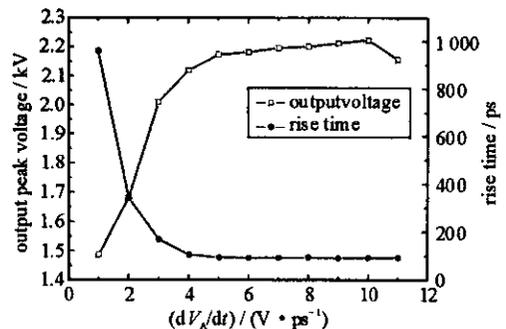


Fig. 7 Relationship among output voltage, rise time and dV_A/dt of driving pulse

图 7 电压峰值及上升时间随激励源 dV_A/dt 的变化

图 7 表示 DBD 输出随激励源 dV_A/dt 变化的情况,可以看出,当 dV_A/dt 小于由式(4)和式(5)所确定的临界值(对图 1 所示的器件),则输出电压为其静态击穿值,上升时间为输入信号上升时间;当 dV_A/dt 超过其发生

延迟击穿临界值后,输出幅度急剧增加,上升时间急剧减小,但变化很快趋于平缓。这是因为随着 dV_A/dt 的增加,雪崩击穿电流增加,这样加在负载电阻上的电压增加,从而加在 DBD 两端的电压下降,这必然导致雪崩电离率下降而致使电流下降,二者综合结果便会出现平衡的结局,所以并不是 dV_A/dt 越大越好。

3 结 论

从 DBD 作为半导体开关器件在负载上的输出脉冲幅度及上升时间两方面综合考虑,器件面积、负载电阻、 n 区长度及其掺杂以及激励源等因素,均对 DBD 器件性能有很大的影响。上升时间对于面积和负载电阻均存在极小值,由于上升时间是关键指标之一,因此进行面积和负载电阻设计时应该选取该极值点,由于延迟击穿过程具有强烈的非线性,该极值点只能由仿真获得。其他方面, n 区长度存在最佳值,理论上应为器件加载在所需临界击穿电压值而刚好处于穿通状态的长度值,当然最好以仿真结果为准; n 区浓度越低越好,因为浓度越低,击穿电压越高。输出激励源应适当高于满足式(4)所需的 dV_A/dt 值,但不是越高越好,因为 dV_A/dt 越高对前级的要求越高,然而产生的效果却没有多大变化。至于 p^+ 区和 n^+ 区的长度,没有太大的影响,当然应大于其各自的穿通长度,浓度则尽量高。

参考文献:

- [1] Grekhov I V, Kardo-Sysoev A F. Subnanosecond current drops in delayed breakdown of silicon p-n junctions[J]. *Sov Tech Phys Lett*, 1979, **5**(8):395.
- [2] Kardo-Sysoev A F, Efanov V M, Chashnikov I G. Fast power switches from picosecond to nanosecond time scale and their application to pulsed power[A]. Tenth IEEE International Pulsed Power Conference, Digest of Technical Papers[C]. Albuquerque, 1995, **1**:342.
- [3] Rukin S N, Alichkin E A. SOS/DBD-based solid state switching for ultra-high-power short pulse generation[A]. Power Modulator Symposium, 2002 and 2002 High-Voltage Workshop, Conference Record of the Twenty-Fifth International[C]. Hollywood, 2002, **30**:178—182.
- [4] Frost C A, Focia R J, Stockebrand T C. Multi-kilovolt solid-state picosecond switch studies[A]. Pulsed Power Plasma Science, 2001, PPS-2001, Digest of Technical Papers[C]. Las Vegas, 2001, **1**:17—22.
- [5] 苏建仓, 丁永忠, 宋志敏, 等. 半导体断路器实验研究[J]. 强激光与粒子束, 2002, **14**(6):949. (Su J C, Ding Y Z, Song Z M, et al. Experimental study on the characteristics of semiconductor opening switch [J]. *High Power Laser and Particle Beams*, 2002, **14**(6):949)
- [6] 张适昌, 严萍, 王珏. 半导体断路器及其应用[J]. 高电压技术, 2002, **28**(120):23. (Zhang S C, Yan P, Wang J. Study of semiconductor switch and its application[J]. *High Voltage Engineering*, 2002, **28**(120):23)
- [7] Focia R J, Schamiloglu Edl. Silicon diode in avalanche pulse-sharpening applications[J]. *IEEE Trans on Plasma Science*, 1997, **25**(2):138.

Best parameters for delayed breakdown diode

YU Wen^{1,2}, TAN Shu-qi³, ZHANG Fei^{2,4}, ZHANG Yi-men¹, SUN Xiao-wei²

(1. Institute of Microelectronics, Xidian University, Xian 710071, China;

2. Shanghai Institute of Microsystem and Information Technology,
Chinese Academy of Sciences, Shanghai 200050, China;

3. Hunan Oil King Co. Ltd, Yiyang 413000, China;

4. Department of Physics, Wuhan University, Wuhan 430072, China)

Abstract: The physical mechanism of delayed breakdown diode(DBD) was analyzed. Considering both the amplitude and the rise time of the output pulse across the load, the characteristics of DBD with different structure parameters and physical parameters (length, area, doping and the stimulating source) were simulated. The simulation results show that there exists a minimum value for rise time with respect to both the area of the DBD and the load resistance. The minimum value should be adopted in design. Theoretically the optimum length of n region should be the maximum punching through length. The lengths of p^+ region and n^+ region have little influence on the DBD performance, which should be greater than their punching through lengths. And their doping density, the higher the better. As regard to the n region doping density, the lower the better. The current of the stimulating source should be a little bigger than that of the critical condition.

Key words: Switching diode; Delayed breakdown diode; Pulse-sharpening; Pulsed power device