

基于 CPLD 的面阵 CCD 驱动时序 发生器设计及其硬件实现

陈学飞^{1,2}, 汶德胜¹, 郑培云¹

(1 中国科学院西安光学精密机械研究所, 西安 710068)

(2 中国科学院研究生院, 北京 100039)

摘 要:在分析 FTT1010-M 型面阵 CCD 图像传感器驱动时序关系的基础上, 设计了可调曝光时间的面阵 CCD 驱动时序发生器及其硬件电路. 选用 CPLD 器件作为硬件设计平台, 使用 VHDL 语言对驱动时序发生器进行了硬件描述. 采用 Quartus II 对所设计的驱动时序发生器进行了功能仿真, 并针对 ALTERA 公司的 EPM7160SLC84-10 进行了 RTL 级仿真及配置. 硬件实验结果表明, 所设计的驱动时序发生器不仅可以满足面阵 CCD 图像传感器的驱动要求, 而且还能够调节其曝光时间.

关键词:CCD; 复杂可编程逻辑器件(CPLD); 驱动时序发生器; 曝光时间

中图分类号: TN386.5

文献标识码: A

0 引言

与传统的摄像器件相比, CCD 不仅具有体积小, 重量轻, 灵敏度高, 可靠性好等优点, 而且还具有很高的空间分辨率, 性能优越的空间面阵 CCD 在卫星监控, 空间遥感成像和对地观测等领域得到了越来越多的应用. 在应用 CCD 时, CCD 驱动电路的设计是 CCD 应用的关键问题之一, 驱动时序发生器性能的优劣直接决定了摄像机的品质参量. 本文以 FTT1010-M 型 CCD 芯片为例, 在分析了该器件的工作过程和对驱动信号的要求后, 选用复杂可编程逻辑器件(CPLD) 作为硬件电路设计平台, 使用 VHDL 语言对驱动电路方案进行了硬件描述, 采用 Quartus II 对所设计的驱动时序发生器成功的进行了系统仿真, 结合 ALTERA 公司的 EPM7160SLC84-10 进行了配置, 完成了硬件电路的设计.

1 面阵 CCD 图像传感器驱动时序发生器原理

1.1 FTT1010-M 芯片

FTT1010-M 是帧转移型面阵 CCD 图像传感器, 有双路输出和单路输出两种输出格式. 该芯片的特点主要表现为: 输出数据率高, 输出数据速度可达 80 MHz, 具有极低的暗电流以及很低的像元读出噪音, 性能优异.

如图 1, FTT1010-M 由感光区, 存储区和水平

移位寄存器构成, 有效像元个数为 $1\ 024 \times 1\ 024$. 电荷先由感光区转移到存储区, 再由存储区逐行转移到读出寄存器顺序读出. 该芯片的工作需要 13 路驱动时钟. 其中, A_1, A_2, A_3, A_4 为帧转移控制信号; B_1, B_2, B_3, B_4 为行转移控制信号; C_1, C_2, C_3 为像元控制信号, SG 为求和信号; RG 为复位信号. 这些驱动信号均由 CCD 驱动时序发生器产生.

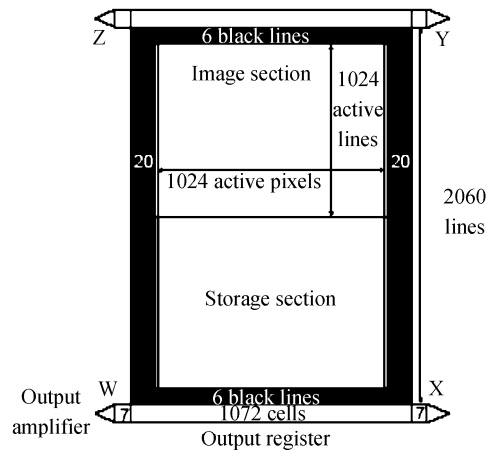


图 1 FTT1010-M 芯片结构
Fig. 1 The structure of FTT1010-M

1.2 驱动时序分析

由芯片结构可知, CCD 的一个工作周期可分为两个阶段: 感光阶段和转移阶段. 感光阶段实现感光阵列的电荷积累, 存储区到转移寄存器的电荷转移以及转移寄存器向输出放大器的电荷输出; 转移阶段主要完成感光阵列所积累的电荷向帧存储区的转移. 在感光阶段, 感光阵列接受外界光源照射产生电荷, 帧转移控制信号 A_1, A_2, A_3, A_4 不变, 感光区和存储区之间为阻断态, 没有电荷进行转移; 同时存储

区处于行转移状态,行转移的过程可分为行正程和行逆程两个阶段.行转移阶段各输出信号时序关系如图 2,当 SSC 为高位时,行转移处在行逆程状态;当 SSC 为低位时,行转移处在正逆程状态.在行逆程阶段,帧存储区各单元所存的信号电荷在行转移信号 B_1 、 B_2 、 B_3 、 B_4 控制下向水平移位寄存器方向平移一行,像元控制信号 C_1 、 C_2 、 C_3 不变,无像元信号输出;在行正程阶段,水平移位寄存器中的像元电荷在像元控制信号 C_1 、 C_2 、 C_3 的控制下逐次经过输出放大器输出,每读出一行信号,进行一次行转移.为保证信号电荷完整转移,各相时序间必须保证一定的电平交叠.

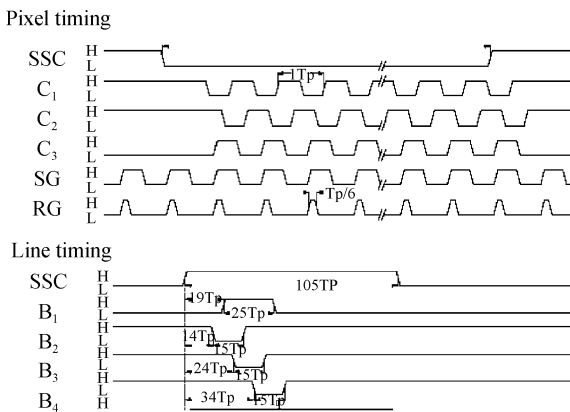


图 2 行转移时序图
Fig. 2 Diagram of line timing

在转移阶段,帧转移控制信号 A_1 、 A_2 、 A_3 、 A_4 与行转移控制信号 B_1 、 B_2 、 B_3 、 B_4 相同,且一直有效.像元控制信号 C_1 、 C_2 、 C_3 无效,不输出数据.进入感光阶段,存储区先进行一次行转移,开始信号的输出,同时感光区像元进入电荷积累.

为保证信号读出的完整性,在时序设计时采用了冗余设计的方法:整帧转移行数和输出的行数均设定为 1 030 行,比该芯片实际有效行数 1 024 行多出 6 行.每行输出像元数为 1 079 个,其中有 1 024 个有效像元,7 个哑像元,48 个光学暗像元^[1-2].

1.3 可调曝光时间设计

以上驱动时序关系只能满足 CCD 图像传感器的最基本工作条件,可是由于 CCD 相机探测信号的多变性,要求所设计的驱动时序发生器具有可调曝光时间的功能.该功能可通过以下几种方法实现.

1) 增加每个行转移工作时间,即在有效电荷结束后,增加空白列以改变每行转移周期,从而增加积分时间.

2) 调整工作频率.这种方法在改变曝光时间的同时,转移阶段的时间也会发生变化.

方法 1)和方法 2)实质上是相同的.其结果均造成每一行的时间过长,使得同一幅图像的第一行和

最后一行输出时间间隔过大,影响信号质量.

此 CCD 图像传感器的驱动时序发生器的曝光时间调节原理如图 3,对该 CCD 芯片而言,在感光阶段有 1 030 行像元电荷经过输出放大器输出,也就是说曝光时间为 1 030 个行转移周期.因此可通过增加感光阶段行转移的数量来实现可调曝光时间的功能,将感光阶段行转移的个数增加到 $(1\ 030+N)$ 个,此时曝光时间为 $(1\ 030+N)$ 个行转移周期,当然,多出的 N 个行转移周期的信号无效.由此可见,通过改变 N 的个数即可改变曝光时间.这种方法能很快的把一幅图像的有效信号读出,而且没有影响帧转和像元读出的时间,很好的保证了图像质量.

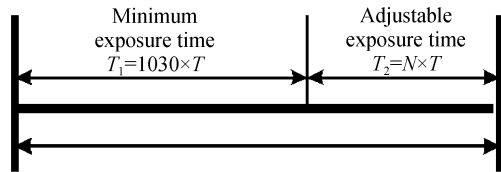


图 3 曝光时间调节原理图
Fig. 3 Diagram of exposure time

2 基于 CPLD 的 CCD 驱动时序的实现

2.1 复杂可编程逻辑器件(CPLD)

随着电子技术的不断发展,电子系统的设计方法也发生了很大的变化,基于 EDA 技术的芯片设计已经代替了传统的设计方法成为电子系统设计的主流.复杂可编程器件(CPLD)是当今应有极为广泛的一类可编程专用集成电路(ASIC),工程师可以利用它在实验室里设计出所需的专用集成电路,从而缩短了产品的开发周期,降低了开发成本.此外,CPLD 还具有静态可重复编程和动态在系统重构的特性,使得硬件的功能可以像软件一样通过编程来修改,这样就极大地提高了电子系统设计的灵活性和通用性.本文选用了 ALTERA 公司的 EPM7160SLC84-10 器件,该芯片主要由可编程逻辑宏单元、可编程 I/O 单元、可编程内部连线构成,结合 Quartus II 开发工具,可以实现电路设计、仿真、器件编辑等全部设计,开发调试灵活^[3-4].

2.2 面阵 CCD 驱动时序的 VHDL 描述

由于面阵 CCD 相机驱动时序的复杂性,选用硬件描述语言 VHDL 设计 CCD 时序.VHDL 采用自顶向下的设计方式,具有很强的系统硬件描述能力和系统仿真能力.设计复杂的 CCD 驱动时序发生器,关键是如何使用 VHDL 语言来描述 CCD 的驱动关系^[5-6].

首先定义时序驱动器的输入输出端:两个输入端,即时钟输入(CLK),复位信号(RESET);十三个输出端,即 CCD 驱动时序所要求的十三个输出信

号. CCD 的驱动时序通过内外两个循环嵌套系统实现,在一帧图像从曝光到转移的过程中,感光阶段与转移阶段构成了一个外循环;在一行像元信号逐次经过输出放大器输出的过程中,行正程与行逆程构成了一个内循环.两个循环过程均通过对输入主时钟(CLK)进行分频、计数来产生. CCD 驱动时序发生器逻辑结构如图 4.

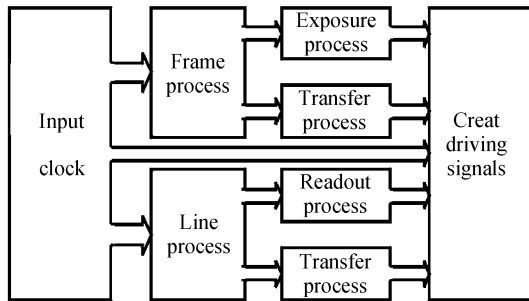


图 4 CCD 驱动时序发生器逻辑结构

Fig. 4 The structure of CCD timing generator

整个程序是一个多进程结构,分别是主计数器进程;行转移计数器进程;感光阶段判断信号进程;转移阶段判断信号进程;行正程判断信号进程;行逆程判断信号进程;十三个输出信号驱动时序产生进程.每个输出信号的时序关系都由一个进程来实现.当给定某个帧频和积分时间时,在外循环中,用主计数器计一帧图像从曝光开始到转移结束所需要的时间,并通过主计数器得到感光阶段判断信号和转移阶段判断信号;在内循环中,用行转移计数器计一行像元信号输出所需要的时间,并通过感光阶段判断信号与行转移计数器得到行正程判断信号和行逆程判断信号.十三个输出信号分别在各自的进程中通过调用前几个进程所得到的结果来实现 CCD 器件所要求的时序关系.以像元控制信号 C_1 为例, C_1 在行正程阶段控制像元电荷逐次经过输出放大器输出,其余时间里 C_1 是一个不变的信号.在 C_1 的进程中,先由行正程判断信号确定 C_1 何时处于行正程状态,再由主时钟和行转移计数器得到 C_1 所要求的时序关系.

3 CCD 时序发生器的硬件实现

3.1 硬件电路的实现

CCD 视频信号处理的硬件电路由一块大小为 $130\text{ mm} \times 130\text{ mm}$ 的 PCB 来完成,采用 4 层板结构.为了保证芯片供电电压稳定,对电路板输入的 6.3 V 电源加了 π 型滤波网络.

3.2 驱动时序发生器的硬件电路实验

对制作的 PCB 板进行了测试,最后得到示波器的显示的结果.图 5 为 CCD 水平读出时钟时序波

形,满足频率为 20 MHz 和交迭时间为 12 ns 的设计要求;图 6 为 CCD 转移时钟的时序波形,满足频率为 $2\text{ }\mu\text{s}$ 和交迭时间为 $0.4\text{ }\mu\text{s}$ 的设计要求.

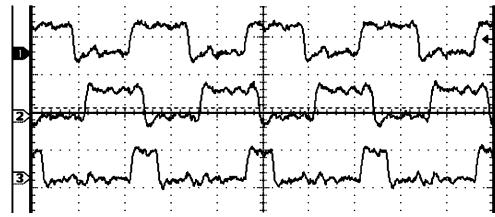


图 5 水平读出时钟波形

Fig. 5 Waveform of pixel timing

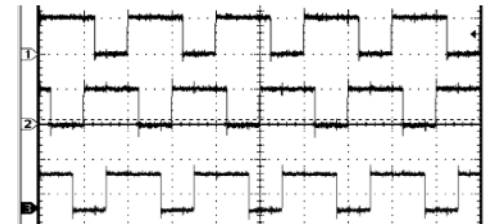


图 6 转移时钟波形

Fig. 6 Waveform of frame shift timing

4 结论

在分析 FTT1010-M 型 CCD 器件驱动时序关系的基础上,提出了面阵 CCD 图像传感器驱动时序发生器的设计方案,并实现了可调曝光时间功能. VHDL 语言采用模块化和自顶向下,逐层分解的结构化设计思想,具有设计技术齐全、方法灵活、支持广泛、系统硬件描述能力强等优点,适用于门级、电路级直至系统级的描述、仿真和综合. CPLD 是一种由用户编辑来实现某种逻辑功能的逻辑器件,与其他器件相比具有延时小、设计简便、调试灵活等优点,且由其构成的驱动时序发生器工作稳定可靠、体积小,为自行研制 CCD 相机提供了条件.

参考文献

- [1] WANG Qing-you. Image sensor application technology[M]. Beijing: Publishing House of Electronics Industry, 2003: 78.
王庆有. 图像传感器应用技术[M]. 北京: 电子工业出版社, 2003: 78.
- [2] SU Xiu-qin, WANG Fei, LIU Wen. A method of improve CCD measurement data[J]. *Acta Photonica Sinica*, 2001, **30**(7): 864-867.
苏秀琴, 王飞, 刘文. 一种提高 CCD 目标测量数据处理方法[J]. 光子学报, 2001, **30**(7): 864-867.
- [3] XU Xiu-zhen, LI Zi-tian, LI Chang-le. Design on driving generator based on CPLD technology for CCD camera with optional output[J]. *Acta Photonica Sinica*, 2004, **33**(12): 1504-1507.
许秀贞, 李自田, 李长乐. 基于 CPLD 的可选输出 CCD 驱动时序设计[J]. 光子学报, 2004, **33**(12): 1504-1507.
- [4] McFEE C. CCD power requirement for solar-B[EB/OL]. [2007-04-17]. http://www.mssl.ucl.ac.uk/www_detector/solar-b/docs/ccd/desnote/001_pwrdis.pdf.

- [5] CENTEN P. CCD-on-chip amplifiers; noise performance versus MOS transistor dimensions [J]. *IEEE Trans Electron Devices*, 1991, **38**(5):1206-1206.
- [6] RAN Xiao-qiang, WEN De-sheng, ZHENG Pei-yun, *et al.* Designing on driving schedule generator for space array CCD camera and hardware based on CPLD [J]. *Acta Photonica Sinica*, 2007, **36**(2):364-367.
- 冉晓强, 汶德胜, 郑培云, 等. 基于 CPLD 的空间面阵 CCD 相机驱动时序发生器的设计与硬件实现 [J]. *光子学报*, 2007, **36**(2):364-367.

Designing on Driving Schedule Generator for Array CCD and Hardware Based on CPLD

CHEN Xue-fei^{1,2}, WEN De-Sheng¹, ZHENG Pei-yun¹

(1 Xi'an Institute of Optics Precision Mechanics, Chinese Academy Sciences, Xi'an 710068, China)

(2 Graduate University of Chinese Academy of Sciences, Beijing 100039, China)

Received date: 2007-04-17

Abstract: Driving schedules of FTT1010-M frame transfer CCD have been examined in detail. The driving schedule generator with exposure time had hardware have been designed for array CCD camera. Complex programmable logic device (CPLD) is chosen as hardware design platform, and driving schedule generator has been described with VHDL. The function simulation of the system is successfully fulfilled and the design is fitted into EPM7160SLC84-10 (a CPLD produced by ALTERA). Hardware experiments show that designed generator is suitable for the driving of high-speed CCD image sensor, and the exposure time of camera could be adjusted according to different applications.

Key words: CCD; CPLD; Driving schedule generator; Exposure time



CHEN Xue-fei was born in 1981, Fujian Province. He received his Bachelor's degree from Xidian University in 2003. He is working towards the Master's degree in Xi'an Institute of Optics and Precision Mechanics of Chinese Academy of Sciences. His research focuses on CCD signal disposal of hyper-spectral imager.