

# 实时 GPS 卫星信号采集系统的设计与实现<sup>\*</sup>

龚国辉, 李思昆

(国防科学技术大学 计算机学院, 湖南 长沙 410073)

摘要: 开发了一个基于并行口 EPP 协议的实时 GPS 卫星信号采集系统, 具体介绍了系统设计与实现的一些关键技术问题, 分析了系统性能。系统的主要应用领域为 GPS 定位接收机的算法研究和原型系统的开发。

关键词: GPS; EPP 协议; CPLD; 实时数据采集

中图分类号: TN911 文献标识码: A 文章编号: 1001-3695(2005)01-0147-02

## Design and Implementation of Real-time GPS Signal Sampling System

GONG Guo-hui, LI Si-kun

(School of Computer, National University of Defense Technology, Changsha Hunan 410073, China)

**Abstract:** A real-time GPS signal sampling system based on EPP protocol was developed. Key technical points of design and implementation was introduced, performance was analysed. The system is applicable for GPS positioning algorithm studying and GPS receiver prototype developing.

**Key words:** GPS; EPP Protocol; CPLD; Real-time Data Sampling

软件 GPS 定位接收机 (Software GPS Receiver)<sup>[1]</sup> 是当前卫星导航定位领域研究的热点, 其基本工作原理是对实时采集的 GPS 卫星信号利用软件算法进行处理以实现定位测量。软件 GPS 定位接收机具有很高的灵活性和可扩展性, 当新的 GPS 卫星信号<sup>[2]</sup> 服役时, 只需对软件算法或硬件系统的射频前端进行很小修改就可实现 GPS 定位接收机的升级。开发软件 GPS 定位接收机的最佳途径是在 PC 机上开发一个原型系统, 利用 PC 机拥有的充足资源, 把工作重点集中在核心算法研究上, 在算法开发完成后, 再移植到嵌入式系统中。本文开发的实时 GPS 卫星信号采集系统就是为软件 GPS 定位接收机算法研究而设计的。系统使用 CPLD 实现了实时 GPS 卫星信号采集, 并通过并行口 EPP 协议<sup>[3]</sup> 与 PC 机进行实时数据传输。

### 1 系统总体结构

实时 GPS 卫星信号采集系统的总体结构如图 1 所示, 其主要由 GPS 射频模块、系统时钟模块、数据缓存模块和系统控制模块组成。

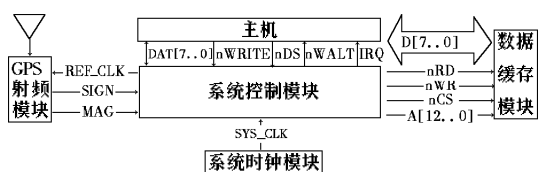


图 1 实时 GPS 卫星信号采集系统总体结构

GPS 射频模块接收 L1 波段 1575.42MHz 的 GPS 卫星信号, 经滤波、放大和两级混频后输出约 4.092MHz 的中频信号, 格式为 MAG (信号幅度) 和 SIGN (信号正负号) 两位数字量。系统控制模块对射频模块输出的 MAG 和 SIGN 信号按指定的

频率进行采样, 合并成 8 位后存入到数据缓存模块。数据缓存模块分为两个缓存体, 每个体负责保存 1ms 的 GPS 卫星信号数据, 当其中之一所存数据量达到目标时, 系统控制模块将信号采集的目的地址切换到另外一个缓存体, 并向主机发送中断信号, 通知主机读取缓存数据。依此循环以实现 GPS 卫星信号的实时采集和上传。

系统时钟模块为整个系统提供稳定的高精度时钟, 由一个频率为 16.368MHz、精度为  $\pm 0.5\text{ppm}$  的 TCXO 及时钟信号整形逻辑组成。系统时钟输入到系统控制模块经相应变换后输出, 为 GPS 射频模块提供参考时钟。

该系统中, 射频前端采用的是 Nemerix 公司的 NM1100<sup>[4]</sup>; 系统控制模块由一片 Altera 公司的 MAX7000 系列 CPLD<sup>[5]</sup> 实现; 数据缓存模块采用的是 ISSI 公司的高速 SRAM IS61C64B<sup>[6]</sup>, 容量为 8K  $\times$  8 位; TCXO 在 TEW 公司北京分公司定制。系统控制模块是本系统的核心。

### 2 系统控制模块的设计和实现

系统控制模块主要由采样控制单元、EPP 协议控制单元、数据存取控制单元、主机命令解析单元和系统时钟控制单元五部分组成。系统控制模块的结构如图 2 所示。

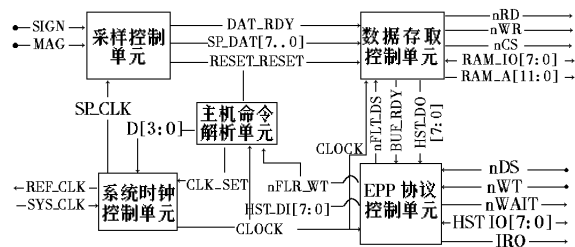


图 2 系统控制模块结构

采样控制单元采集 MAG 和 SIGN 信号, 拼接成 8 位后输

出到数据存取控制单元, 并给出一个数据就绪的信号, 指示数据存取控制单元将所采数据写入存储器。采样控制单元的

Verilog 代码如下:

```

module SP_CTL( SP_CLK, RESET, SIGN, MAG, DAT_RDY, SP_DAT );
    input      SP_CLK, RESET, SIGN, MAG;
    output     DAT_RDY;
    reg        DAT_RDY;
    output[ 7: 0] SP_DAT;
    reg[ 7: 0] SP_DAT;
    reg[ 7: 0] BUFFER;
    reg[ 1: 0] COUNT;

    always@ ( posedge SP_CLK or posedge RESET)
        if( RESET)
            begin
                COUNT = 2 b 00;
                DAT_RDY = 1 b 0;
            end
        else
            begin
                BUFFER[ 7] = SIGN;
                BUFFER[ 6] = MAG;
                if( COUNT = 2 b 11)
                    begin
                        SP_DAT = BUFFER;
                        DAT_RDY = 1 b 1;
                    end
                else
                    begin
                        BUFFER = BUFFER >> 2;
                        DAT_RDY = 1 b 0;
                    end
                COUNT = COUNT + 1;
            end
    endmodule

```

数据存取控制单元控制采样数据的存取, 其将外接的 SRAM 分为两个容量是 4KB 缓冲体, 将采样控制单元送来的数据先存入其中之一, 当采集满 1ms 数据后再切换到另一个缓冲体, 通知 EPP 协议控制单元当前缓冲体数据就绪, 同时将当前缓冲体的零地址数据读出送到 EPP 协议控制单元进行缓存。

EPP 协议控制单元得知缓冲体数据就绪后, 发中断信号给主机通知可以上传采样数据了。数据存取控制单元在主机的每次读数据操作之前就已将当前缓冲体当前地址的数据读出, 送到 EPP 协议控制单元进行缓存, 在读数据操作完成之后, 改变当前缓冲体地址, 抽空读出数据, 为下一次数据上传作准备。

数据存取控制单元采用的这种数据主动上传机制在实时数据采集的过程中非常重要, 如果由主机的信号来控制缓存体的数据读取, 将会与采样控制单元的实时存数据申请冲突, 从而无法实现 GPS 信号的实时采集。

EPP 协议控制单元的主要功能有: 接收主机写入的数据, 送到主机命令解析单元产生相应控制信号; 接收数据存取控制单元上传的数据, 缓存后等待主机读取。由于 EPP 是标准化协议, 所以本文不对 EPP 协议控制单元的实现细节作过多介绍, 下面讨论两个具体问题。

(1) 在用 PLD 中实现系统与主机通过 EPP 协议进行通信的时候, 用逻辑分析仪测得 EPP 的 nDS 信号和 nWT 信号经常出现不规则的宽度为几十纳秒的低电平干扰脉冲(图 3), 可能引起有关逻辑误触发。解决问题的方法有两个: 其一是在 nDS 信号和 nWT 信号上都并接一个去脉冲的电容到地, 但是实验效果不好; 另一个方法是利用干扰脉冲宽度远低于有效信号宽度(一般是几百纳秒)的特点, 用数字逻辑去除干扰脉冲, 其 Verilog 实现代码如下:

```

module SIG_FILTER( SYS_CLK, nDS, nWT, nFLT_DS, nFLT_WT );
    input      SYS_CLK, nDS, nWT;
    output     nFLT_DS, nFLT_WT;
    reg        nFLT_DS, nFLT_WT;
    reg[ 1: 0] Count1, Count2;

    always@ ( posedge SYS_CLK)
        begin
            nFLT_DS = ~Count1[ 1];
            nFLT_WT = ~Count2[ 1];
            if( nFLT_DS = 1)
                Count1 = Count1 + 1;
            if( nDS = 1)
                Count1 = 0;
            if( nFLT_WT = 1)
                Count2 = Count2 + 1;
            if( nWT = 1)
                Count2 = 0;
        end
    endmodule

```

上述消除干扰脉冲逻辑的效果如图 3 所示, 其中 nDS, nWT 为主机给出的信号, nFLT\_DS, nFLT\_WT 为消除干扰脉冲后的信号。用逻辑分析仪测得的信号波形与图 3 所示一致。

(2) EPP 协议中 nWAIT 信号的实现。nWAIT 信号决定 EPP 的数据传输速率和所传数据的正确性, 有效的实现方法是对去干扰脉冲后的 nDS 信号(即图 3 的 nFLT\_DS 信号)经反相器输出为 nWAIT 信号, 在输出端可插入适当数量的硬件缓冲逻辑(如 LCELL)以调节 nWAIT 信号相对于 nDS 信号的延迟, 在保证数据传输正确性的前提下尽量提高数据传输速率。



图 3 干扰脉冲消除逻辑模拟波形

主机命令解析单元负责将主机通过的 EPP 写入数据解析成相应的指令, 以产生相应的控制信号。主要的指令有采样频率设置指令、系统 RESET 指令等。

系统时钟控制单元为其他各单元提供合适的时钟信号, 如采样时钟、射频模块参考时钟、数据存取驱动时钟、EPP 协议控制单元驱动时钟等, 其中, 部分时钟可根据需要或者主机命令进行设置(如采样时钟), 以提高系统灵活性。

### 3 性能分析

EPP 协议的数据传输速率为 500KBps ~2MBps, 实时 GPS 卫星信号采集系统的最高采样速率由 EPP 协议的最高数据传输速率决定。若系统采样速率设置为 8.184Msps, 则每秒需要上传的数据为:  $(8184000 \times 2) / 8 = 2046000B$  1.95MB, 理论上能用 EPP 实现。但 EPP 实际能达到的数据传输速率低于 2MBps, 而且还有中断处理的开销, 所以实际开发出来的系统能确保稳定工作的最高采样频率为 4.092Msps, 可设置的采样频率为 8.184Msps, 4.092Msps, 2.046Msps 和 1.023Msps。由于 GPS 卫星信号的 C/A 码速率为 1.023MHz, 所以本系统对软件 GPS 定位接收机算法研究已足够。

主机采集数据的代码在设备驱动程序中实现, 应用程序只需与设备驱动程序交换数据, 这样, 就可以将数据采集与实时信号处理并行进行, 满足软件 GPS 定位接收机的实时信号处理的要求。  
(下转第 159 页)