

# 通用模拟—数字转换器

潘麟章 王东生 雷思成

## 摘要

设计并研制了一台采用连续逼近式方案的模-数转换器,其采样频率 50 kHz,输出位数 12 位。介绍了各部分电路中为保证转换速率和精度所采取的措施。讨论了与计算机联机测试其性能的方法和初步结果。

模拟-数字转换器(ADC)的用途,是将连续变化的电压或电流转换成二进制(或其它数制)的数字量,以便使工业生产自动控制及科学研究中各种类型连续变化的模拟量,由传感器变为电压或电流后,通过  $A/D$  转换器转换成数字量,输入电子计算机进行运算和数据处理。 $A/D$  转换器是电子数字计算机应用于模拟量时接口装置中必要的关键性设备。

我们自 1975 年开始,将这一项目结合教学作为研究生实践课题,与上海新跃仪表厂和吉林应用化学研究所共同协作,曾研制成同类型方案的  $A/D$  转换器。此后我们继续进行研究,几年来经师生不断改进电路设计,提高性能,研制成一种完全使用国产元器件,中速高精度,通用性较强的  $A/D$  转换器。现在达到的主要技术指标为:

采样频率	最高 50 kHz
转换精度	0.025% × 满度
转换时间	1 $\mu$ s/每位
转换幅度	$\pm 5$ V(P-P)
输出位数	12 位(连符号位)

## 一、方案考虑

电子模拟-数字转换器的方案类型很多,任何一种类型的方案,其成本、速率和精度这三者的要求是相互矛盾的,只有根据具体要求和所使用的指标,以及目前国内元器件性能满足的条件下,兼顾上述几个方面才能使方案具有实用意义。

我们设计研制  $A/D$  转换器的目的,是用于脉冲付里叶变换核磁共振波谱仪(PFT-NMR),将模拟量的谱信号由  $A/D$  转换器数字化后输入计算机进行付里叶变换运算,对  $A/D$  转换器要求较高的精度和中等速率。而连续逼近法 ADC 的性能兼顾精度和速率指标,结构又较简单,适用于音频范围各种模拟量的数字化,在调研了国内外 ADC 情况后,认为采用连续逼近式的方案是可取的。

图 1 为  $A/D$  转换器的方框图,系统分四部分:输入和采样保持电路,比较电路, D-A 网络和逻辑控制。

采样-保持电路的作用是减小  $A/D$  转换的动态误差。在一个采样周期  $T_s$ (20  $\mu$ s)内,采样

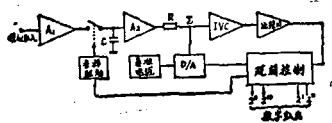


图1 模-数转换器方框图

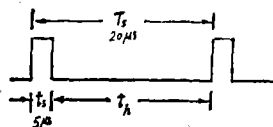


图2 采样时间  $t_s$  与保持时间  $t_h$  的分配

时间  $t_s$  和保持时间  $t_h$  的分配与精度要求直接有关。设总精度为 0.025%，采样保持部分精度至少应为 0.01%，在采样期间，保持电容跟踪输入模拟电压的数值应不小于 99.99%。按一般 RC 瞬变电路分析 [1]，达到此要求所需的采样时间  $t_s$ ，至少应为  $9.2RC$ 。 $R$  为输入放大器的输出阻抗（约  $1\Omega$ ）与采样开关 FET 的导通电阻（约  $100\Omega$ ）之和， $C$  为保持电容（小于  $5000\text{ pf}$ ），因此，采样时间取  $5\mu\text{s}$ 。保持时间  $t_h$  与 12 位逐次比较的时间有关，每位比较时间为  $1\mu\text{s}$ ，共  $12\mu\text{s}$ ，这样还有  $3\mu\text{s}$  余量。

比较电路是决定模数转换器整机精度和速度的关键部分。本方案中，最小一个码为  $2.5\text{ mV}$ ，这就要求比较器的灵敏度优于  $\frac{1}{2}LSB = 1.25\text{ mV}$ 。目前国产的电压比较器难以满足这个

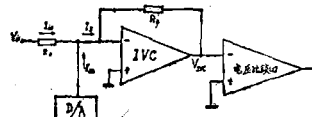


图3 比较电路原理图

要求，为了保证 A/D 转换器的高精度，在电压比较器前加了一级电流-电压变换器 (IVC)，其原理图如图 3 所示。

在 IVC 电路中，待变换的模拟输入电压  $V_{in}$  先通过基准电阻  $R_0$ （阻值精度为 0.01%）变换为电流  $I_{in}$ ，流向求和点  $\Sigma$ 。同时，D/A 输出的码电流  $I_{DA}$  也流向  $\Sigma$  点。这二股电流的合成，在  $\Sigma$  点形成 IVC 级的输入电流  $I_{\Sigma}$ 。显然，由图 3 可见，这一输入电流  $I_{\Sigma}$  引起 IVC 级的输出电压为  $V_{IVC} = -I_{\Sigma}R_f$ 。若  $\Sigma$  点电流变化  $i_{\Sigma} = 1.25\mu\text{A}$ （相当于  $\frac{1}{2}LSB = 1.25\text{ mV}$ ），则 IVC 级输出电压变化  $U_{IVC} = i_{\Sigma}R_f = 1.25\mu\text{A} \times 10\text{ k}\Omega = 12.5\text{ mV}$ 。这一电压足以驱动电压比较器的翻转，从而解决了比较电路的灵敏度问题。

D/A 部分，为了较好地解决模拟开关的精度和速度问题，采用电流相加型电阻网络。

为了使模数转换器通用性较强，有较广的测量范围，对逻辑设计提出的要求是：采样频率和输出位数都能可变。采样频率分六挡： $50\text{ kHz}$ ， $25\text{ kHz}$ ， $12.5\text{ kHz}$ ， $6.25\text{ kHz}$ ， $2.5\text{ kHz}$  和  $1.25\text{ kHz}$ 。并可由外给采样频率工作，也可由计算机控制采样。输出位数共分四挡： $12$ ， $10$ ， $8$ ， $6$  位。输出位数可由面板开关手动选择，也可由计算机控制自动选择。

## 二、电路概述

输入放大器  $A_1$  和保持放大器  $A_2$  都是单位增益放大器，由运放 5G28 组成，如图 4 所示。

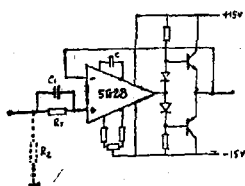


图4 单位增益放大器原理图

在  $\pm 5\text{ V}$  输入电压范围内任一点，增益精度要求为 0.01%。直流时，其增益误差及时间漂移都小于  $1\text{ mV}$ ，能满足要求。但由于运放的通带限制，信号频率较高时就难以满足上述精度要求。为了补偿高频响应，在输入端引入了  $R_1C_1$  阻容网络，同时 5G28 的频率补偿电容  $C$  的数值尽可能取小些。作为保持放大器  $A_2$ ，要求比输入放大器  $A_1$  有更高的输入阻抗。因为在保持期间采样开关已断开，保持电容  $C$  上保持电压  $V_s$ （见图 5）的变动，除了通过电容本身的漏泄外，

保持放大器  $A_2$  的输入阻抗是使保持电压跌落的主要放电通路。图 4 的电路在直流时测得其输入阻抗大于  $0.5\text{G}\Omega$ ，已能满足保持精度要求。

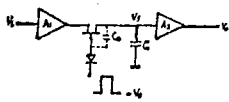


图 5 采样-保持电路

设法进一步减小采样-保持电路在瞬态工作时的动态误差<sup>[2]</sup>，是提高整机转换精度和速率的关键。如图 5 所示一般的采样-保持电路，主要由于采样开关  $FET$  的极间电容  $C_0$  的存在，当输入信号为零时，其采样脉冲的瞬态串扰波形如图 6(b-c)所示，其幅值约几十毫伏。这将引起相应的数码输出，形成一定的误差。当输入电压不为零时，保持电容的漏泄使保持电压跌落从而产生另一个误差。

为克服上述原因引起的误差，采用了如图 7 所示改进的采样-保持电路。 $Q_1$  和  $Q_2$  为两个性能相同的  $J-FET$  开关，由同一采样脉冲源驱动。 $C_1$  和  $C_2$  的数值相同。由于电路的对称性和保持放大器  $A_2$  的共模抑制作用，采样脉冲引起的干扰电平基本上被抑制。(见图 6-e)。同时通过  $C_1$  的泄漏电流对输出端产生的影响正好和通过  $C_2$  的漏泄电流所产生的影响极性相反，因而起到了相互补偿作用，大大提高了保持精度。<sup>[3]</sup> 若电路对称性不够好，可适当调节  $C_P$  予以补偿。图 6-e 中残剩的上跳尖脉冲，因这时还没有开始逐位比较，对转换结果无影响；下跳尖脉冲其宽度小于  $1\mu\text{s}$ ，我们在逻辑控制部分使采样结束后延时  $1.3\mu\text{s}$  再开始逐位比较，对转换结果也可无影响。顺便指出，当放大器  $A_2$  的输入阻抗不高时，由于微分作用使采样脉冲的串扰波形如图 6-d 所示，由此而引起的误差更难消除。

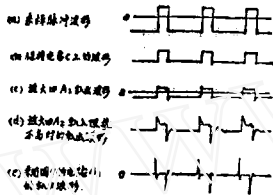


图 6 采样脉冲及其干扰波形

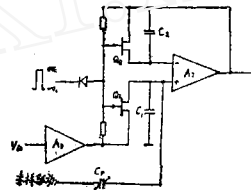


图 7 改进的采样-保持电路

这个系统采样速率不是太高，因而孔径误差在这里还不是主要的，然而，在采样开关断开瞬间，由于保持电容  $C$  与开关极间电容  $C_0$  之间电荷的转移，会引起保持电压  $V_S$  的下降，经简单分析， $V_S$  的变化量为

$$\Delta V = K \frac{C_0}{C} (V_S - V_P + V_C)$$

式中  $V_P$  为  $FET$  开关的夹断电压， $V_C$  为采样脉冲幅值， $K$  为常数。这一电荷瞬时转移引起的误差主要与  $V_S$  有关，不能利用图 7 电路的对称补偿及共模抑制来消除。要减小这一误差，采样开关管的极间电容  $C_0$  必须足够小，并可适当增大保持电容  $C$  之数值。

$D/A$  采用权电阻网络，每一位  $D/A$  网络的结构如图 8 所示。一共 11 位这样的网络(见图 14)，第 12 位为符号位，其码电流为最大(5.12 mA)，为保证精度，采用了恒流源。<sup>[4]</sup>

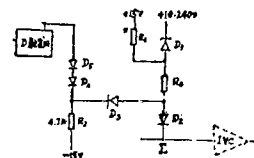


图 8  $D/A$  网络(一位)

图 8 的  $D/A$  网络有如下一些特点。首先采用了电流分流开关型电路，使流经权电阻  $R_0$  的电流脉动很小。因为  $D$  触发器( $D_{15}\sim_{25}$ ，见图 15)复位时， $R_0$  上的码电流就通过  $D_3$  经  $-15\text{V}$  电源流入地，当  $D$  触发器置位时，流经  $R_0$  的码电流就通过  $D_2$  流到求和点  $\Sigma$  处。因而在每一位权电阻  $R_0$  上始终有一固定电流即该位码电流，这样在较高

速率下,瞬变效应就很小。其次,模拟开关采用二极管,电路简单,但能较好地满足精度和速度要求。这里,  $D_1$  和  $D_2$  为经老化后的配对二极管 2CK43C,  $D_{4\sim 5}$  要求一般。权电阻可采用高精金属膜电阻,例如 RJJ-10。

逻辑控制部分的工作原理<sup>[5]</sup>,概述如下。(见图 15-16)

钟频由 1 MHz 的晶体振荡器产生,以满足每位变换时间为  $1\mu\text{s}$  的要求,再经分频提供本机各挡采样频率所需的采样脉冲。当开关打到“外控”时,由计算机控制 ADC 的采样频率。

在开关  $K_1$  “停止”状态,由  $M_6$  和  $M'_6$  组成的 RS 触发器保证了全机处于复位状态,采样保持开关处于采样状态;在“工作”状态,  $YH_3$  输出的采样脉冲触发  $M_6$  和  $M'_6$  组成的单稳态输出一个“开始转换”脉冲。其前沿使“采样-保持”触发器  $D_2$  转入保持阶段,同时还清除包括符号位在内的所有权电流码。这时比较器开始对输入模拟信号鉴零(极性鉴别)。“开始转换”脉冲的宽度为  $1.3\mu\text{s}$  左右,这一宽度是为了避免采样脉冲的瞬变效应对极性鉴别的干扰。其后沿又触发  $M_8$  和  $M'_8$  组成的单稳态,输出一个  $150\text{ns}$  的窄脉冲将移位寄存器的首位  $D_9$  置位。为了更节省逻辑上的延迟时间,比较器的判断结果通过  $M_3$  直接送往数据寄存器  $D_{14}\sim D_{25}$  的数据端。时钟脉冲一来便使移位寄存器开始右移一位,  $D_3$  将其对应控制位  $D_{15}$  置位,正好将极性判断结果打入  $D_{14}$ ,并同时加上第一位码( $2^0$ ),进行下一次的比较。可见当被测信号的极性为正时,则  $D_{14}$  “Q”输出为 0,将符号位( $2^{11}$ )加上,反之当被测信号的极性为负时,则  $D_{14}$  “Q”为 1,不加符号位。(参阅图 14 中的恒流源控制电路。)

逻辑控制的整个时序关系见图 12。

ADC 对负输入值的输出数值范围是  $(0000)_8\sim(3777)_8$ ;对正输入值输出数值范围是  $(4000)_8\sim(7777)_8$ 。12 位权电流码(包括符号位)是一个 2 进制序列值,其中符号位的绝对值等于其他所有码的值再加上一个最小码(LSB),即

$$|-2^{11}(2.5\mu\text{A})| = 2.5\mu\text{A} + \sum_{i=0}^{10} 2^i(2.5\mu\text{A})。$$

位数选择电路由  $YH_4\sim YH_{14}$  组成,见图 16。转换结果由图 15 中的数据寄存器  $D_{15}\sim D_{25}$  的“Q”端输出,而符号位由  $D_{14}$  的“ $\bar{Q}$ ”端输出,送至位选择与或非门相应的输入端,通过位选择再经 OC 门反相输出,可直接挂计算机的输入母线。为了提供用户不同的分辨率要求,可由计算机控制或手控选择 12 位或高位的 10 位、8 位、6 位几种不同的输出。

当开关  $K_2$  打到“外控”,手按由  $M_1$ 、 $M'_1$  组成的单次开关,可进行单周期操作;而当开关  $K_3$  打到“手动”,手按单次开关,可进行单拍操作,按动 20 次即可完成一个样点的转换。这两个功能可作为维修和检查的辅助手段。

### 三、性能测试

ADC 的基本性能指标是转换精度和转换速率。当 ADC 以  $50\text{kHz}$  的采样频率工作时,一般方法是很难测量这两个指标的,以下说明用电子计算机测试 ADC 的方法及其结果。

整个测试系统如图 9,把 ADC 作为外部设备与 TQ-15(DJS-131)计算机相联接,ADC 的输入端接模拟电压信号源。每当 12 位数字转换完毕,ADC 发出的“转换结束”脉冲便把转换数据并行打入数据缓冲寄存器,并将接口内的“结束”标志触发器置位。这样计算机就可用通常的程序取数方法接收 ADC 的转换数据,再由电传打字机打印出来,其程序如下:

指令顺序	源程序	执行该条指令所需时间( $\mu\text{s}$ )
00000	NIOS, ADC;	4
00001	SKPDN, ADC;	4
00002	JMP ·-1;	2
00003	DIAS 0, ADC;	4
00004	STA 0, 0, 2;	4
00005	INC 2, 2;	2
00006	INC 3, 3 SZR;	2
00007	JMP ·-6;	2
00010	转打印子程序	2

在累加器  $AC_2$  中必须预先设置好输入数据的内存首地址以及在累加器  $AC_3$  中以“补码”设置所需的输入数据的个数。程序每循环一次需要  $20\mu\text{s}$ , 可满足以  $50\text{kHz}$  的最高采样频率控制 ADC 采集数据。

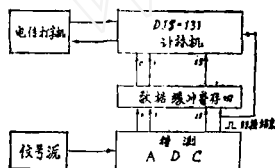


图9 ADC性能测试方框图

精度测试。图9中的信号源是直流可变电压源, 用五位数字电压表(PZ-8)测量其输出值。对于  $0\sim\pm 5.120\text{V}$  之间的任一模拟电压值, ADC 输出的一连串数字转换值与这个模拟输入值的偏离均应小于  $1.25\text{mV}$  ( $\frac{1}{2}\text{LSB}$ )。同时若输入模拟电压每改变  $2.5\text{mV}$ , 则转换的数字也应改变1个最低位数码。

这样逐点测试便可绘出 ADC 的输入、输出转换曲线, 它反映了 ADC 的精度和线性。本机经测试, 表明准确度达到满度值的  $0.025\%$ 。

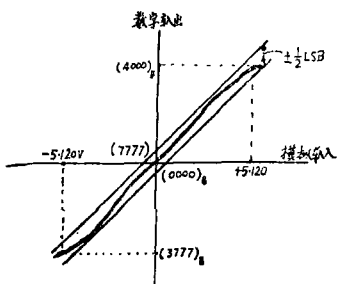


图10 ADC的输入-输出转换曲线

图10为实测曲线的示意图。

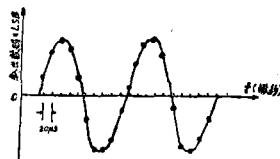


图11 50 kHz 采样时 ADC 的数码输出 (输入 5 kHz 正弦)

采样速率的测试。图9中的信号源改用正弦信号发生器(XD-1), 用频率计(PB-2)监视正弦信号的频率, 图11是本机以  $50\text{kHz}$  的采样频率对  $5\text{kHz}$  的正弦信号转换的数据绘出的曲线图, 表明了 ADC 能够以  $20\mu\text{s}$  的采样周期工作。

以上转换速率和精度分别测试的方法有一定的局限性。严格地, 应对 A/D 转换器的速率和精度进行综合测量<sup>[6]</sup>, 这方面工作, 由于时间及条件限制, 目前我们还没有进行。

最后, 在改进和提高 A/D 转换器性能指标过程中, 继续得到上海新跃仪表厂器材方面的支援, 并承上海元件五厂提供试制中的 5G28 运算放大器, 特此一并致谢。

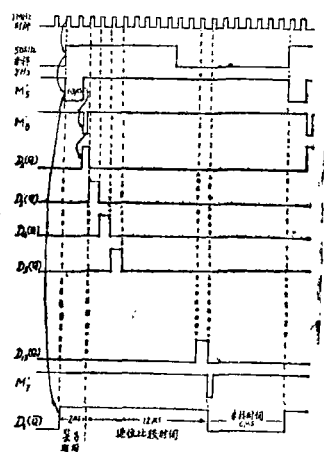


图12 逻辑控制时序关系图



## 参 考 文 献

- [1] D. F. Hoesehele, “模数与数模转换技术”, 天津无线电技术研究所译, 科学技术出版社, 1972.
- [2] Ralph Johnston, *Electronic Des.* Vol. 21, No. 9, 1973, p. 80
- [3] 张郁弘 庄灿涛编著, “晶体管运算放大器及其应用”(第二十二章), 国防工业出版社, 1978.
- [4] Gilbert Marosi, *Electronic Des.* Vol. 23, No. 8, 1975, p. 66.
- [5] Tage O. Anderson, *Comput. Des.* Vol. 11, No. 7, 1972, p. 81.
- [6] Arthar Berg Jr, *Electronic Des. (USA)* Vol. 22, April, 1974, p. 64
- [7] H. Schmid, “电子式模拟-数字转换” 国防工业出版社, 1976.

## General-Purpose Analog Digital Converter

Pan Lin-zhang    Wang Dong-sheng    Lei Si-cheng

### Abstract

A general purpose *A/D* converter (ADC) by successive approximation was designed and built, that provides 12 bit precision,  $20\ \mu\text{s}$  conversion time, and  $\pm 5\text{V}$  (p-p) input range.

The means of improving ADC's speed and accuracy and the computerized method of testing ADC performance are given in this paper together with all the circuits and test results.