

# 基于 DAC5687 的宽带数字中频系统设计

潘琦, 张福洪, 李骏  
(杭州电子科技大学, 浙江 杭州 310018)

**摘要:** 设计了一个基于 DAC5687 的宽带数字中频系统, 并针对数字中频系统的特点和要求给出了 DAC5687 在本系统中的参数设计和使用方法。

**关键词:** 宽带数字中频 数字上变频 DAC5687

DAC5687 是美国 TI 公司推出的一款高速、高性能、双通道 16 位的 D/A 转换芯片, 其最高采样速率可达 500MSPS。DAC5687 专用于 3G 基站信道传输、3G 直放站、数字卫星等对功耗、价格、体积要求比较严格的通信系统中。其内部基本结构如图 1 所示, 主要有 6 个信号处理模块: 固定插值滤波器 FIR1、FIR2、FIR3 和带有 32 位数控振荡器的精混频器、正交调制校正模块和粗混频器。DAC5687 可以通过微控制器进行灵活的配置, 是一款基于软件无线电的半定制 ASIC 芯片。

根据软件无线电中频数字化的基本思想, 本文提出一种基于 DAC5687 的宽带数字中频系统的设计方案。

## 1 宽带数字中频系统的总体设计

### 1.1 系统简介

数字中频系统的主要特点就是利用 DSP 器件功

能强大、灵活的优势, 处理数字化的模拟信号, 减少模拟环节; 同时, 为了减轻 DSP 的处理压力, 数字中频还起到采样速率变换的作用。系统先利用 A/D 带通采样将输入信号变成低中频信号, 经 FPGA 滤波处理后, 再通过 DAC5687 实现上变频和 D/A 转换, 整体系统硬件电路如图 2 所示。本文采用 WCDMA 测试模式 1 (Test mode1) 作为输入测试信号, 码片速率为 3.84Mchip/s, 单信道带宽为 5MHz。信号范围为 132.5MHz~147.5MHz, 采用 3 个相邻信道进行处理, 则每个信道的中心载波频率分别为: 135MHz、140MHz、145MHz。

为了描述方便, 在此将 3 个信道信号统一看作一个中频为 140MHz、带宽为 15MHz 的“宽带信号”。

### 1.2 主要器件

系统输入的抗混叠滤波器采用 CETC 公司推出的声

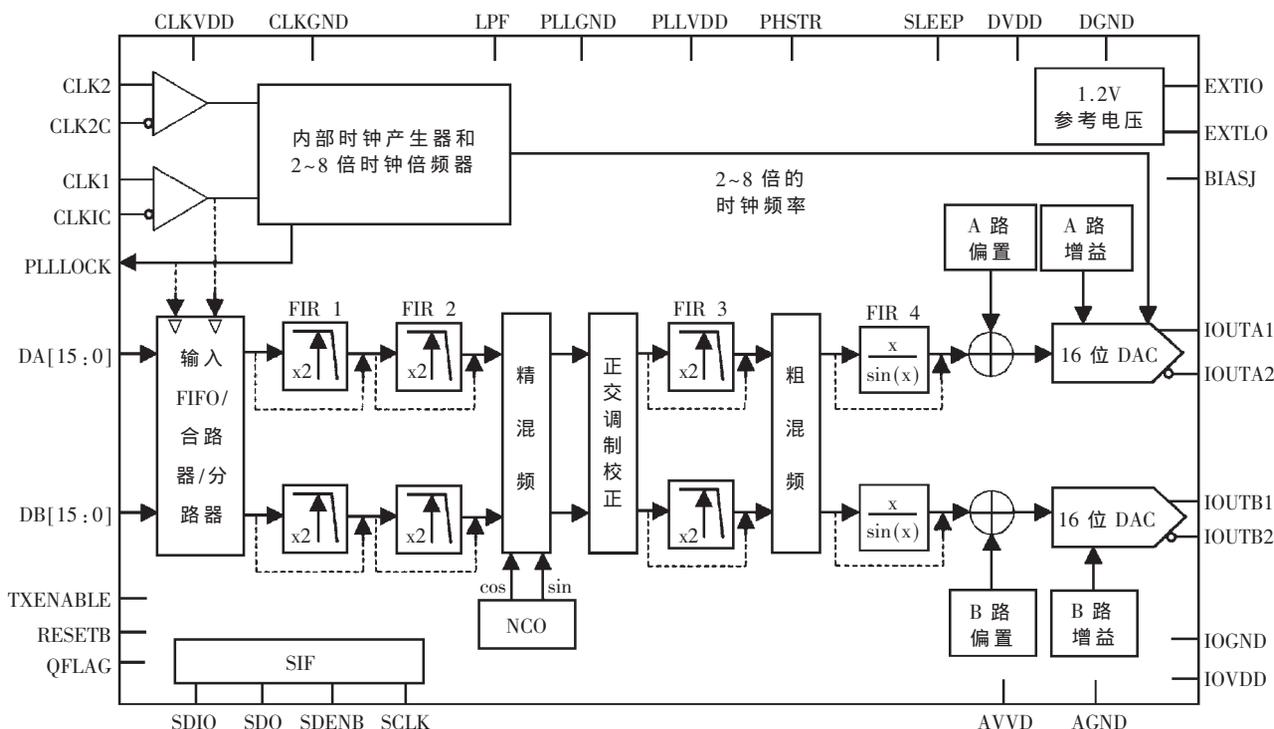


图 1 DAC5687 的内部结构

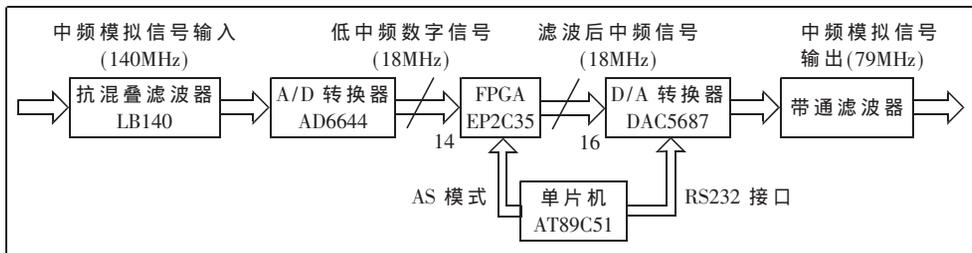


图 2 系统硬件电路设计平台基本框图

表滤波器 LB140DS13。其中心频率为 140MHz, 3dB 抑制带宽为 16.9MHz, 40dB 抑制带宽为 21.2MHz, 插损典型值为 9dB, 滤波器传输时延为 1.02 微秒。

A/D 转换器采用 AD 公司的 AD6644, 它的最高采样率可达 65MSPS, 分辨率为 14 位。在本系统中, 它直接对中心频率 140MHz、“整体带宽”15MHz 的中频信号进行带通采样, 采样时钟取 61MHz, 采样后的信号中频为 18MHz, 信号速率为 61MSPS。

FPGA 采用 ALTERA 公司的 EP2C35F484C8, 它内部含有 33 216 个逻辑单元, 用户最大可定义的 I/O 管脚为 322 个。在本系统中, FPGA 主要对 A/D 采样后的 14 位低中频信号进行滤波处理, 然后输出 16 位数字信号给 D/A 转换器。

单片机采用 ATMEL 公司推出的 AT89C51ED2 系列, 在本系统中用来配置 DAC5687 和 FPGA。

D/A 转换器采用美国 TI 公司推出的带有上变频功能的 DAC5687, 其主要作用是对信号进行上变频和 D/A 转换。

## 2 DAC5687 的具体应用

### 2.1 工作模式

根据 DAC5687 内部结构的特点, 结合精混频(FMIX)和粗混频(CMIX)模块, 采用 DAC5687 的 X4L FMIX CMIX 模式。系统发射部分的基本框图如图 3 所示, 单信道输入, 其中  $F_m$  为测试信号的速率,  $F_{sm}$  为测试信号的中心频率 ( $m=0, 1, 2, 3, 4, 5$ )。FPGA 输出的 16 位信号经过 DAC5687 内部混频后产生一个 165MHz 的干扰信号, 故外接一个 LRC 带通滤波器加以消除。18MHz 的输入中频测试信号经过发射部分后, 输出 79MHz 的中频模拟

信号。

### 2.2 X4L 模式下的信号处理过程

下面结合图 3 分析 DAC5687 中 X4L 模式下的信号处理过程。

(1) 140MHz 模拟中频输入信号经过 A/D 带通采样和

FPGA 中频滤波后, 变为中频为 18MHz、速率为 61MHz 的 16 位数字信号, 经过 DAC5687 内部的同步 FIFO 后, 再经过带有 2 倍内插功能的低通滤波器 FIR1, 其带内 0.3dB 衰减带宽为“(0~0.44)×滤波器的输入信号速率”。此时输入信号速率为 61MHz, FIR1 的通带范围为(0~0.44)×61=0MHz~26.84MHz。以 18MHz 为中心频率的输入有用信号, 其带宽仍为 15MHz(10.5MHz~25.5MHz), 可见, 有用信号都在通带内。同时, 对于内插后频谱中频率大于  $\pi/2$  的高频部分即高频镜像 (35.5MHz~50.5MHz), FIR1 将其抑制在 45dB。经过 FIR1 后, 信号中频不改变 ( $F_{si}=18\text{MHz}$ ), 信号速率经内插后变为  $F_{i1}=122\text{MHz}$ 。

(2) 由于内插滤波器 FIR1 和 FIR3 均为低通特性, 信号经过内插后, 信号速率虽然增加, 但是信号中频并没有改变。因此, 需要利用精混频和粗混频模块分别对通过 FIR1 和 FIR3 后的信号进行混频, 改变信号的中心频率, 适应系统的要求。但是混频的缺点是会引入一个干扰频率, 所以需要借助 DAC5687 中 FIR 的滤波特性加以消除。

FIR3 和 FIR1 幅频响应完全相同, 如图 4 所示。FIR3 的通带范围为:

$$(0 \sim 0.44) \times \text{“滤波器 FIR3 的输入信号速率}(F_{i2})\text{”}$$

$$= (0 \sim 0.44) \times 122\text{MHz} = 0\text{MHz} \sim 53.68\text{MHz}$$

只要精混频后的信号经过 FIR3 时, 能保证有用信号在滤波器的通带内, 干扰信号在截止区, 就能消除混频的干扰影响。因此选择精混频的频率为 61MHz 和 18MHz 的中频相混。这样“差频”信号以 43MHz 为中心, 其 15MHz 带宽范围为 35.5MHz~50.5MHz, 完全在通带范围内; “和频”以 79MHz 为中心, 频带范围为 71.5MHz~86.5MHz。FIR3 对 71.5MHz ( $f/F_{i1}=71.5/122=0.5861$ ) 的抑制约为 53dB, 即 FIR3 对“和频”信号的抑制至少在 53dB 以上, 完全满

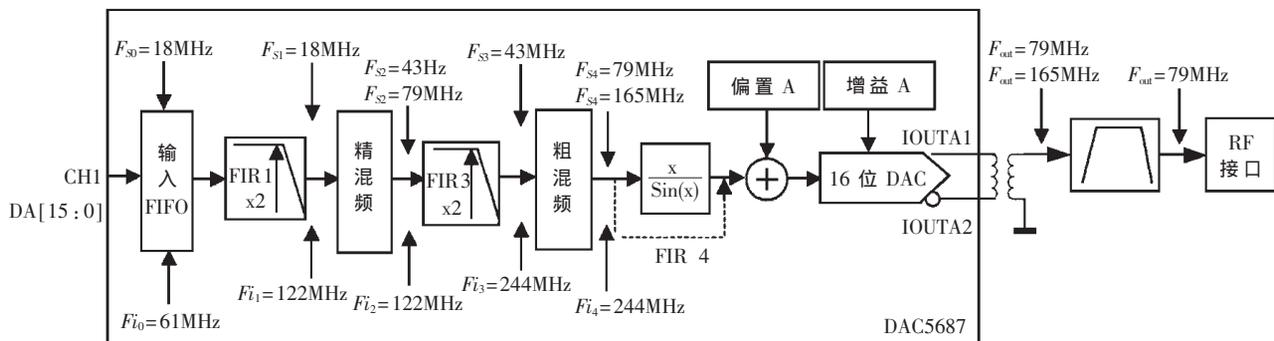


图 3 采用 DAC5687 的系统发射端基本框图

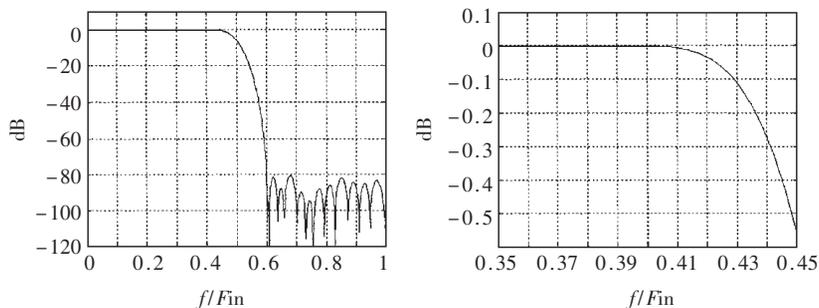


图4 滤波器 FIR1 和 FIR3 的幅频响应

足设计的要求。

(3)经过 FIR3 后,中频信号  $F_{S3}$  的频率变为 43MHz,信号速率则达到了 244MHz。需要再次利用粗混频改变中频信号  $F_{S3}$  的频率,粗混频的频率取 122MHz,混频的结果仍然会生成“差频” $F_{S4}=79\text{MHz}$  和“和频” $F_{S4}'=165\text{MHz}$ 。由于前面精混频时采用的是差频,所以再次选择差频信号  $F_{S4}$  不会产生镜像。而干扰频率  $F_{S4}'$  和  $F_{S4}$  在频带上相隔已经较远 ( $165-79-15=71\text{MHz}$ ),可采用简单的模拟带通滤波器加以滤除。

在内插后需对信号进行低通和混频的处理。当混频的频率为  $F_m$  (内插前的信号速率)时,设输入中频为  $f$ ,则内插低通滤波后再进行混频,如果取“差频”,则输出中频为  $F_m-f$ ,输出信号速率为  $2F_m$ 。这种方法可等效看作是一种“高通”的形式,相当于在内插后设置一带通滤波器  $H_{BP}(e^{j\omega})$ :

$$H_{BP}(e^{j\omega}) = \begin{cases} 1, & (n-1)\frac{\pi}{I} \leq |\omega| \leq n\frac{\pi}{I} \\ 0, & \text{others} \end{cases}$$

取  $I=2, n=2$ ,使得  $H'(e^{j\omega}) = \begin{cases} 1, & \frac{\pi}{2} \leq |\omega| \leq \pi \\ 0, & \text{others} \end{cases}$

实际上为一高通滤波器。所以可以把这种“低通+混频”的处理方式看作是一种内插后“高通”滤波的形式。相当于借助“高通”滤波器选择内插后的高频分量  $F_m-f$ ,滤掉了含有  $f$  的低频信号分量。X4L FMIX CMIX 模式实际上起到了上变频作用,但不改变信号本身的频谱结构。

### 2.3 DAC5687 的配置

DAC5687 提供了一个灵活的同步串行接口,可以对其 32 位的寄存器进行读写访问。其主要接口引脚如表 1 所示。

DAC5687 的串口写操作时序如图 5 所示,通常在

表 1 DAC5687 的串口引脚

引脚	作用
SCLK	串行接口时钟
SDENB	串行数据使能,低电平有效,总作为 DAC5687 的输入
SDIO	在 3 个引脚配置时作为双向串行数据,在 4 个引脚时,仅作为数据输入
SDO	在 4 引脚模式下单向输出,在 3 引脚模式下为三态

SCLK 信号的上升沿锁存输入数据。最初的 8 个 SCLK 上升沿用来在指令周期写指令字节,随后的 8 个 SCLK 用来在数据传送周期传送数据。指令字节给出了数据操作所需要的信息,定义了当前数据的读或写及要传输的字节数、数据传输的起始地址等;而在数据传送周期,单片机将根据指令字节给出的信息对 DAC5687 进行相应的数据操作。

在实际使用时,需要设置的是地址从 0x00 到 0x04 这 5 个寄存器,它们决定了 DAC5687 内部模式的具体操作,如内插的倍数、锁相环的工作模式及是否需要旁路 FIFO、FIR、QMC、NCO 等。

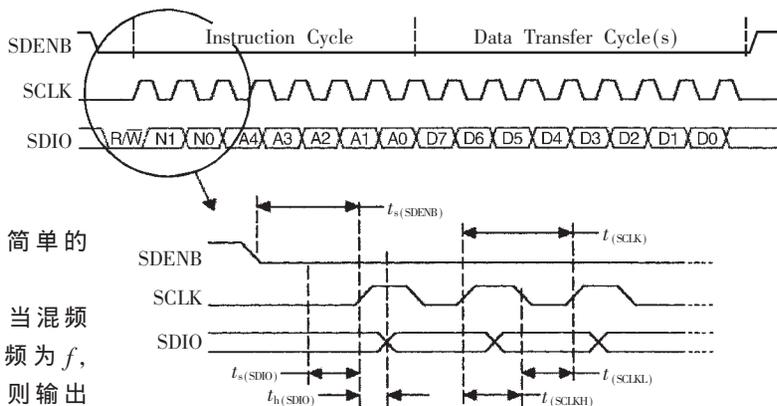


图5 串口写操作时序图

### 2.4 带通滤波器的设计

由于 DAC5687 的输出信号伴有  $F_{OUT}'=165\text{MHz}$  的干扰频率,在这里用 ADS2003A 设计了一个 4 阶的 LRC 带通滤波器,频率响应如图 6 所示。其性能基本满足要求。

### 2.5 实际使用中注意的问题

(1)系统前端 A/D 采样频率的选择极其重要,它不仅受到 FPGA 处理信号速率的限制,同时关系到发射端 DAC5687 模式的具体选择。例如,当采样频率为 125MHz 时,最多只能内插 4 倍,因为 DAC5687 采样速率最高为 500MSPS。

(2)系统中利用等效“高通”滤波器时,会产生频谱镜像。采用 X4、X8 模式,并经过 2 次“高通”可以避免此问题。但经过第一次“高通”后,应考虑到后一级 FIR 滤波器的通带范围,避免混频后信号被下一级滤波器完全抑制,难以达到设计要求。

(3)由于 D/A 转换速率较高,DAC5687 的时钟源设计就显得非常关键。可采用 TI 公司的 cdc7005 结合 VCXO 或者 VCO 器件来保证良好的时钟质量,整个系统带有模数混合电路。在制作 PCB 板时,应考虑到信号完整性问题。

在基于图 2 的实验硬件平台上,DAC5687 对 FPGA 送出的 WCDMA 信号进行处理。将中频 18MHz、速率 61MHz 的低

(接上页)

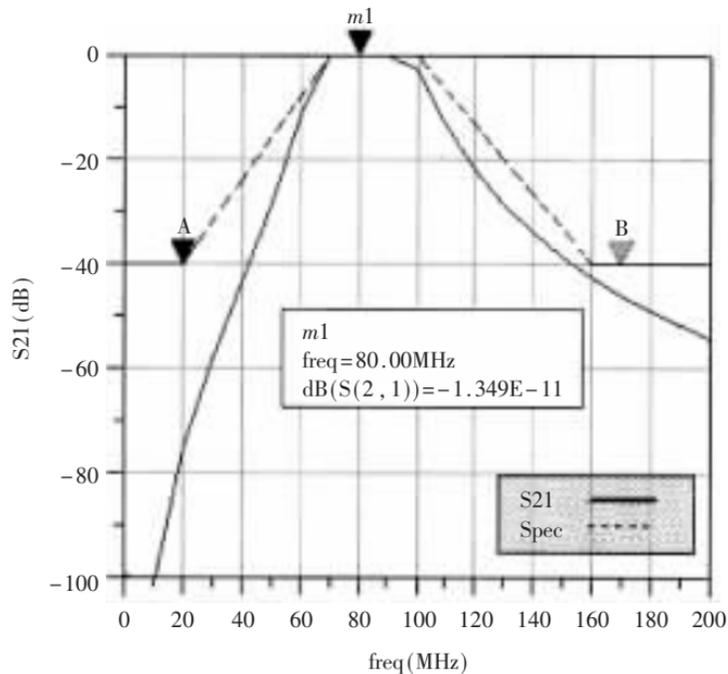


图6 带通滤波器的频率响应曲线

速低中频信号上变频到中频为 79MHz、速率达到

244MHz 的高速信号。经实际电路验证,其结果与设计要求完全吻合。

基于 DAC5687 的数字中频系统最大的优势是利用了软件无线电的基本思想,能根据具体的系统方案灵活而合理地选择 DAC5687 的工作模式,实现设计要求;无需在 FPGA 中实现混频、上变频等极易受接口速率制约的功能,不用在 FPGA 后外接 DUC 器件;降低了 FPGA 部分设计的难度,简化了系统的整体设计,而且可以选择合适容量的 FPGA 芯片,使得 FPGA 的利用率达到最大化,从而合理有效地降低了系统成本。

#### 参考文献

- [1] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2001,11~178.
- [2] (美)里德(Reed, J H)著,陈强译.软件无线电:无线电工程的现代方法[M].北京:人民邮电出版社,2004,20~85.
- [3] 程佩青.数字信号处理教程[M].北京:清华大学出版社,1995,185~213.
- [4] DAC5687 Datasheet[R].TexasInstruments, 2005.
- [5] DAC5686 Datasheet[R].TexasInstruments, 2005.

(收稿日期:2006-06-30)