

# 基于 FPGA / CPLD 和 USB 技术的无损图像采集卡

上海大学通信与信息学院(200072) 姚 聪 汪 敏 潘志浩 张之江

**摘 要:** 介绍了外置式 USB 无损图像采集卡的设计和实现方案, 它用于特殊场合的图像处理及其相关领域。针对图像传输的特点, 结合 FPCA / CPLD 和 USB 技术, 给出了硬件实现框图, 同时给出了 PPGA / CPLD 内部时序控制图和 USB 程序流程图, 结合框图和部分程序源代码, 具体讲述了课题中遇到的难点和相应的解决方案。

**关键词:** 无损图像采集 图像处理 PPGA / CPLD USB SAA7111A

现代图像采集技术发展迅速, 各种基于 ISA、PCI 等总线的图像采集卡已经相当成熟, 结合课题设计了一款 USB 外置式图像采集卡。该图像采集卡已成功应用于一个图像处理和识别的项目中, 由于图像信号不经过压缩处理, 对后续处理没有任何影响, 因此图像处理和识别的效果比一般的图像采集卡要好, 满足了特殊场合的特殊需要。

## 1 外置式无损图像采集卡的系统构成

整个无损图像采集卡由图像采集、图像信号的处理和控制、USB 传输和控制、PC 机端的图像还原和存储等几部分组成

本文介绍的图像采集卡采集的一帧图像是  $720 \times 576$  像素, 如果取彩色图像, 每像素用 2 个字节表示, 每帧图像是  $720 \times 576 \times 16 = 6480\text{kbps}$ , 分成奇数场和偶数场分别存储在两片 SRAM 中, 则每片的 SRAM 存储  $3240\text{kbps}$  的图像数据, 因此选用了  $256\text{K} \times 16 = 4\text{M}$  位的静态存储器 (SRAM)。在图像处理领域, 通常只需要黑白图像, 可以只取图像的黑白部分, 每像素用 1 个字节表示, 每帧图像是  $720 \times 576 \times 8 = 3240\text{kbps}$ , 每片 SRAM 存储  $1620\text{kbps}$  的图像数据。所采用的 EZ-USB 芯片理论速率是  $12\text{Mbps}$ , 实际测得的速率是  $8\text{Mbps}$ , 因此图像采集卡每秒传输约 1 帧彩色图像或 2 帧黑白图像。

当插上图像采集卡后, PC 机会自动识别它。在 PC 机上, 应用程序通过 USB 向 FPGA / CPLD 发送图像采集命令, CCD 摄像头输出的 PAL 制式或 NTSC 制式的模拟视频信号通过 A / D 转换芯片转换成数字视频信号, 用 FPGA / CPLD 作为采样控制器, 将数字信号存入静态存储器 (SRAM) 中, 当完成一帧图像采集后, FPGA / CPLD 向 USB 发送中断信号, 要求 USB 进行图像数据的传输, 在 PC 机端接收 USB 送来的一帧图像数据, 并且显示、存储图像。本文具体讲述了用该图像采集卡进行黑白图像的传输, 整个硬件框图如图 1 所示。

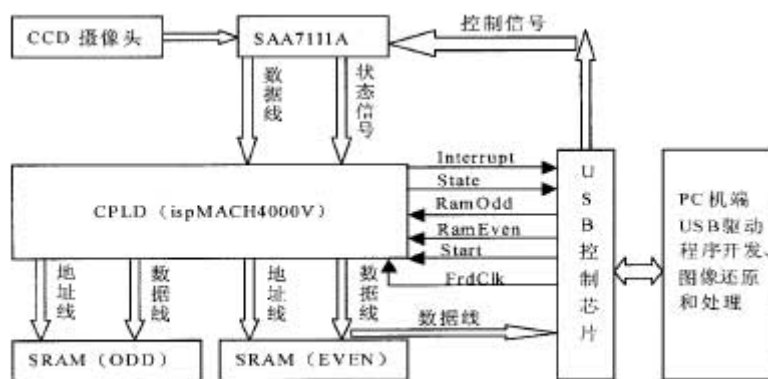


图 1 外置式图像采集卡的硬件框图

## 2 外置式无损图像采集卡的研制

### 2.1 图像采集部分

图像采集部分选用了 Philips 公司的视频 A / D 转换芯片 SAA7111A (EVIP), 对 SAA7111A

的初始化是通过 EZ-USB 所提供的一对 I<sup>2</sup>C 引脚 SDA 和 SCL 进行的,在 USB 固件程序(Firmware)中进行 I<sup>2</sup>C 通信程序的编写。本系统中 SAA7111A 的初始设定为:一路模拟视频信号输入、自动增益控制、625 行 50Hz PAL 制式、YUV 422 16bits 数字视频信号输出、设置默认的图像对比度、亮度及饱和度。SAA7111A 芯片产生的数字视频信号、控制信号和状态信号送入控制芯片 FPGA / CPLD 中,即把场同步信号 VREF、行同步信号 HREF、奇偶场标志信号 RTS0、片选信号 CE、垂直同步信号 VS、像素时钟信号 LLC2 以及数字视频信号 VPO[15:8]等管脚连接到 FPGA / CPLD 芯片 LC4128V,以便 LC4128V 获知各种采集信息。同时,SRAM 芯片的读写信号、片选信号、高低字节信号、数据线 IO[7:0]和地址线 A[17:0]连接到 LC4128V,整个采集过程由 FPGA / CPLD 芯片 LC4128V 控制。

在 PC 机端,通过 USB 发出图像采集命令后,FPGA / CPLD 进行图像采集,由于 CCD 摄像头输出模拟信号,需要经过视频 A / D 转化芯片,把模拟视频信号转化成数字视频信号,输入进 FPGA / CPLD 芯片,FPGA / CPLD 根据状态信号 RTS0 把奇偶场图像信号分别存储在 SRAM(ODD)和 SRAM(EVEN)中。

## 2.2 图像信号的处理和控制

这部分是无损图像采集卡的核心,需要对外围的器件进行集中控制和处理。FPGA / CPLD 对图像信号的采集、控制、存储数据到 SRAM 以及从 SRAM 读取数据都在这里实现。选用了 Lattice 公司的新一代产品 ispMACH 4000V-LC4128V,采用 Verilog HDL 作为硬件描述语言,但是所编写的 Verilog 源程序既适用于 FPGA 器件,又适用于 CPLD 器件。

FPGA / CPLD 与 USB 接口部分由七个部分构成(如图 1 所示):Start 线是拍摄线,它可以向 FPGA / CPLD 发出图像采集命令,FPGA / CPLD 把当前的奇数场图像存储在 SRAM(ODD)中,把当前的偶数场图像存储在 SRAM(EVEN)中;当一帧数据全部存储完后,发出中断(Interrupt)信号通知 USB 芯片;同时用 State 线作为状态线,当 State 线为低电平时,表明 USB 可以从 SRAM 读数据,当 State 线为高电平时,表明 FPGA / CPLD 正在向 SRAM 写数据;RamOdd 用于选择从 SRAM(ODD)中读取奇数场的数字视频信号;RamEven 用于选择从 SRAM(EVEN)中读取偶数场的数字视频信号;FPGA / CPLD 输出的数据线连接至 USB 和 SRAM 芯片,再通过 USB 传送到 PC 机;FrdC1k 线是 USB 快速读写方式输出的读选通信号,作为 SRAM 的时钟,每来一个时钟脉冲,地址值就加 1,然后将对应地址单元中存储的数据通过 USB 传输到 PC 机上。

下面具体描述 FPGA / CPLD 内部时序控制(如图 2 所示)。首先需要产生 FPGA / CPLD 内部同步时钟信号 InC1k,当 FPGA / CPLD 向 SRAM 存储数字视频信号时,用 SAA7111A 的 LLC2 作为内部同步时钟信号;当 FPGA / CPLD 传输数字视频信号时,用 USB 的读选通信号 FrdC1k 作为内部同步时钟信号。当有 VS 上升沿时,如果 RTS0 为低电平,则表明是奇数场即将到来,产生 LingPai 高电平信号,对 LingPai 取反后用作 SRAM(ODD)的写信号 WE1;如果 RTS0 为高电平,则表明偶数场即将到来,产生 LingPaiEven 高电平信号,对 LingPaiEven 取反后用作 SRAM(EVEN)的写信号 WE2,WE1 和 WE2 经过与门后产生图 2 中的两个 SRAM 的写选通信号 WE。此外,由 LingPsi 和 LinSPaiEven 产生 LingPaiAll 信号,作为选择内部同步时钟的控制信号。由 USB 芯片产生的 RamOdd(OE1)和 RamEven(OE2)信号,分别用作 SRAM(ODD)和 SRAM(EVEN)的读信号,OE1 和 OE2 经过与门后产生图 2 中的两个 SRAM 读选通信号 OE。当 LingPaiAll 为高电平期间,表示 FPGA / CPLD 正在向 SRAM 存储数据,此时用 WE1 作为 SRAM(ODD)的片选信号 CE1,用 WE2 作为 SRAM(EVEN)的片选信号 CE2;当 LingPai 为低电平期间,表示 USB 正在从 SRAM 读取数据,此时用 OE1 作为 SRAM(ODD)的片选信号 CE1,用 OE2 作为 SRAM(EVEN)的片选信号 CE2。

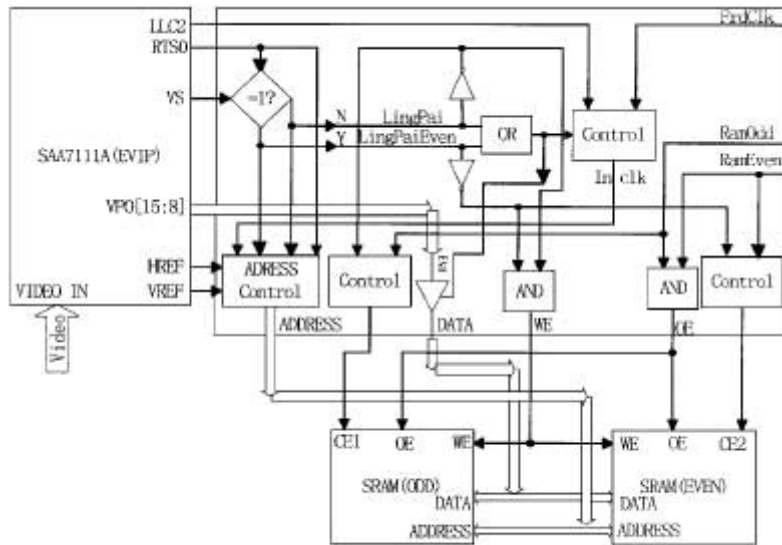


图 2 FPGA/CPLD 内部时序控制

下面阐述 FPGA / CPLD 如何对数据传输进行控制，这部分是个难点(如图 2 所示)。这里只讨论如何对奇数场的数字视频信号进行控制，对偶数场的控制类似于对奇数场的控制，本文不再阐述。当 LingPai 为高电平时，表示 FPGA / CPLD 向 SRAM 存储奇数场图像数据，此时时钟为 LLC2。当场同步信号 VREF、行同步信号 HREF、奇偶场标志信号 RTS0 为高电平时，改变相应 SRAM 的地址信号，并且把数字视频信号输出数据到内部的缓冲器 VI，当 LingPai 为低电平时，表示 USB 正在从 SRAM 读取奇数场图像数据，此时时钟为 FrdClk。FPGA / CPLD 内部用 AddressChange 记录 LingPai 的变化，当发现有 LingPai 变化时，表示读取数据变成了存储数据或者存储数据变成了读取数据，此时需要把 SRAM 的地址值变成 0。在 Verilog 中灵活运用了非阻塞型过程赋值(参见下面的源程序)，解决了这个技术难点。此外，需要把从 SAA711A 输出的数字视频信号先放在缓冲器 VI[7:0]中，在 LingPaiAll 为高电平时，通过 VO[7:0]输出到 SRAM，保证存储数据的可靠同步性。这部分 Verilog 源程序如下：

```

always @(posedge InCLK)
begin
    AddressChange<=LingPai;
    if(VREF && HREF && RTS0 && LingPai)
    begin VI<=VPO;  A<= A+1;  end
    if(!LingPai && !OE1)  begin A<=A+1;
    end
    if(LingPai!=AddressChange) begin A<=0; end
end

```

### 2.3 USB 的开发和数据传输

Cypress 公司推出的带有 USB 接口的 EZ-USB 系列处理器，实现了外围设备通过 USB 接口与 PC 机进行数据通信。它通过内部 RAM 编程和数据存储，使得芯片具有软特性。USB 主机通过 USB 总线下载 8051 程序代码和设备特征到 RAM 中，然后 EZ-USB 芯片作为一个由代码定义的外围设备重新连接到主机上(重枚举)。

USB 规范 1.1 版本定义了 USB 的四种数据传输模式：控制传输、同步传输、中断传输和块传输，以适应不同应用场合的需求。其中块传输方式提供数据校验，适用于无误传输大批量数据的场合。本课题选用 USB 的块传输方式，同时采用了 EZ-USB 的快速传输模式，理论速

率为 12Mbps，实际最高速率能达到 8Mbps。

当 PC 机检测到 USB 图像采集卡已经插上后，PC 机可自动地将图像采集卡的驱动程序装入操作系统，同时 PC 机通过 USB 总线下载 8051 程序代码和设备特征到 USB 的 RAM 中。

USB 的开发包括 USB 的固件程序、Windows 设备驱动程序和 Windows 主机应用程序的编制，限于篇幅，这里只简单介绍一下 USB 固件程序(Firmware)的编制。USB 固件程序的具体流程如图 3 所示，在源程序的 TD\_Poll() 中加入了对对比度、亮度及饱和度的调节，以做到在硬件上对图像处理中的上述重要参数的调节，在外部中断 1 中完成一帧数据的快速传输。

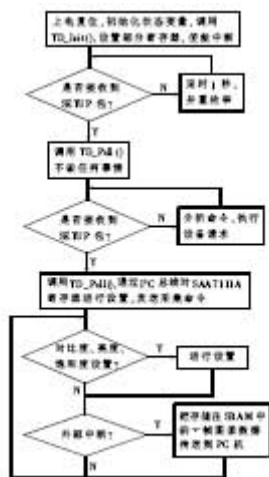


图 3 用 USB 传输数字视频信号

由于采用了外部中断 1，为了避免与 USB 中断的冲突，需要在工程中自己编写一个汇编文件，内容如下：

```

cseg at 43h
    ljmp 1800h
end
  
```

此外，在编写的 Keil C 源程序中需要加两句话，以解决 USB 中断和外部中断的地址重叠问题。

```

#pragma intvector(0x17FD)
#pragma interval(4)
  
```

为了增加 USB 传输数字视频信号的速度，采用 USB 的快速读写模式，在 Keil C 源程序内嵌对 USB 进行寄存器设置的汇编代码。配置了 USB 的时钟控制寄存器，采用全速访问数据存储器，MOVX 指令在两个机器周期内实行，时钟频率为 24MHz，因此 USB 产生的读选通宽度为 83.3ns。配置端口 A，使能 PORTACFG(16 进制地址为 7F93H) 寄存器中的快速读 FRD。配置快速传输控制寄存器 FASTXFR(16 进制地址为 7FE2H)，采用快速块传输，使能快速读写信号。为了将端点 2 缓冲区配置成 FIFO，增加读写速度，8051 将端点 2 缓冲区(1N2)的首地址 7E00H 装入自动指针 AUTOPTRH(16 进制地址为 7FE3H) 和 AUTOPTL(16 进制地址为 7FE4H)，并且 dptr 指向 AUTODATA(16 进制地址为 7FE5H)，也就是指向了 FIFO 寄存器，这样 8051 可以完全像 FIFO 一样访问端点 2 缓冲区。

### 2.4 PC 机端的图像还原

在 PC 机端，用 Visual C++6.0 编写客户应用程序，应用程序通过 USB 接收原始的奇数场和偶数场图像数据，待接收完奇数场和偶数场图像数据后，应用程序把它们组成完整的一帧图像，并且把该帧图像数据存储到硬盘上，然后把这帧图像转化成 BMP 格式的图像，以 BMP 格式再次在硬盘上存储图像数据，同时以 BMP 的形式显示图像。

### 3 应用前景

该无损图像采集卡虽然是针对特殊的图像处理应用而研发的，但它的用途很广，能应用于嵌入式系统中的图像传输、集成电路和精密机械领域中的器件定位等。此外，如果用 USB2.0 代替 USB1. 1，则能实时传输图像数据到 PC 机或嵌入式系统，用软件进行图像数据的压缩处理，这块外置式图像采集卡可以作为一个很好的实时监控设备，以降低硬件成本。

#### 参考文献

- 1 Philips Semiconductor. SAA7111A Enhanced Video Input Processor. May 1997: 4~10, 36~57: [www.hilips.com](http://www.hilips.com)
- 2 Lattice Semiconductor. ispMACH 4000V / B / C Documents. October 2002: 14~30. [www.latticesemi.com](http://www.latticesemi.com)
- 3 Cypress Semiconductor. EZ-USB Technical Reference Manual Version1. 9. May 2000: 76~146, 164~180 [www.cypress.com](http://www.cypress.com)
- 4 刘明业, 蒋敬礼, 刁岚松译. 硬件描述语言 Verilog(第四版). 北京: 清华大学出版社, 2001: 69~98, 115~162, 243~249
- 5 徐爱钧, 彭秀华. 单片机高级语言 C51 Windows 环境编程与应用. 北京: 电子工业出版社, 2001: 17~118, 365~416