

高速模数转换器时钟的设计与仿真

李楠 吴建飞 步凯

(国防科技大学电子科学与工程学院 长沙 410073)

摘要 介绍一种应用于高速模数转换器中的交流耦合形式的 PECL 时钟设计方法。在时钟的端接设计中,采用串联终端匹配改善信号完整性,并利用 Hyperlynx 软件进行仿真,取得良好的效果,对于实际电路设计有良好的指导作用。

关键词 高速模数转换器 PECL 时钟 Hyperlynx

前言

随着雷达、通讯、航天航空等领域的不断发展,高速模数转换器(下文简称高速 ADC)的应用日益广泛,高速 ADC 的应用使得数据采集系统可以在原来同样的时间内,采集到更多的数据,更加便于数据的处理和分析。但是,高速 ADC 的设计中对于高速采样时钟的设计提出新的要求,时钟信号的时序准确性会直接影响 ADC 的动态特性,如何保证时钟在高速跳变过程中的信号完整性、抖动、功耗等问题,逐渐变成工程师最关注的问题。传统的时钟设计方法,多依靠经验和理论计算,但是随着时钟频率越来越高,时钟的电磁环境日趋复杂,时钟的传输线效应、过冲/欠冲、反射、振铃效应、趋肤效应都成为影响时钟设计的关键因素,只有使用现代的科技手段,利用计算机的强大计算能力进行仿真才能够保证时钟电路的设计成功。

1 时钟系统组成

时钟系统由高速 ADC、时钟产生芯片和时钟扇出芯片三大部分组成,时钟产生芯片用于产生 ADC 所需要的各种频率的时钟信号,时钟扇出芯片用于把一路时钟同时传送到两片高速 ADC,并驱动高速 ADC 工作,系统组成框图(见图 1):

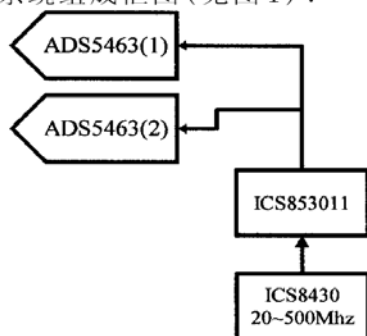


图 1 时钟系统组成

高速 ADC 采用美国 TI 公司的 ADS5463, ADS5463 采用 TI 针对高速度与低噪声而优化的专有 BiCom 3 工艺技术制造而成,采样速率可达 500M sps,采样精度 12bit。时钟产生芯片采用 IDT 公司的 ICS8430-61, ICS8340-61 是一款集成高频时钟发生器,它在单芯片中集成整个锁相环系统,外围器件只需一个晶振提供参考频率,芯片输出时钟电平为 LVPECL,输出频率范围 20 ~500MHz 可调,时钟抖动最大值仅为 6ps,芯片可以采用并行或串行控制。时钟扇出芯片 ICS853011 是一款将任意差分时钟扇出为两路 LVPECL 电平时钟的时钟扇出芯片,其最大支持时钟频率为 3GHz,在时钟路径上引入的抖动小于 0.06ps。

2 时钟电路设计

在本时钟系统中,高速时钟信号始终以 LVPECL 的电平形式传播, LVPECL 中文名称为低电压伪发射极耦合逻辑,它由 ECL 标准发展而来,并且在 LVPECL 电路中省去负电源,较 ECL 电路更便于使用。LVPECL 信号的摆幅相对 ECL 要小,这使得该逻辑更适用于高速数据的串行或并行连接。要设计好 ADC 的时钟电路,首先要分析时钟路径上的发送端(输出)和接收端(输入)各自的电器特性。

2.1 时钟输出结构

时钟输出端是由时钟发生芯片 ICS8430 加时钟扇出芯片 ICS853011 构成的, ICS8430 接收到由控制器发送的指令时,便在其输出端产生 20MHz 到 500MHz 的频率可调的 LVPECL 时钟,这个时钟进入到 ICS853011 的差分输入脚,然后分为两路从 ICS853011 的两对输出脚输出,连接到两片 ADS5463 上,当 ICS853011 的供电电压为 3.3V 时,其输出时钟电平为 LVPECL,输出高电平在 2.295V 左右,输出低电平在 1.52V 左右,输出峰峰值约为

800mV。由于与 ADC 直接相连的时钟输出端只有 ICS853011, 故在设计中只需要按照 ICS853011 的电气特性进行仿真。

2.2 时钟输入结构

AD S5463 的时钟输入特性如下。

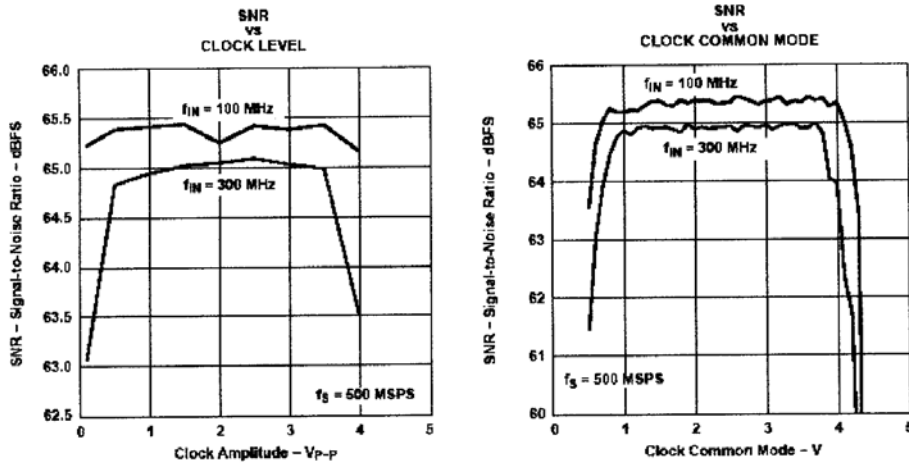


图 2 ADS5463 时钟输入与信噪比关系

由图 2 可看出时钟的输入幅度和共模电压与 ADC 信噪比的关系, 当输入时钟为 300MHz 时, 只有峰峰值大于 0.5V 小于 3.5V, 共模电压大于 1V 小于 3.5V 才有最佳的 SNR 指标, LVPECL 电平的共模电压为 $V_{CC}-1.3 = 3.3-1.3 = 2V$, 典型峰峰值 700mV, 故刚好能够满足 ADS5463 对时钟的要求。同时, ADS5463 在时钟输入端由内部电阻将时钟输入共模电压偏置到 2.4V, 这与发送端的共模电压不同, 故采用交流耦合是最好的方式。时钟电路初步设计(见图 3):

过孔模型, 允许多种激励源, 可以分析信号的眼图, 抖动以及 EMC 辐射, 用户界面简单直观, 为分析初步设计的时钟电路的效果, 将上述电路导入 HyperLynx 的 LineSim 工具下建模, 该工具是 HyperLynx 的一个子工具, 主要用来进行传输线的拓扑结构的仿真, 可以对不同端接方式下的信号完整信进行分析, LineSim 中的传输线模型构筑(见图 4)。

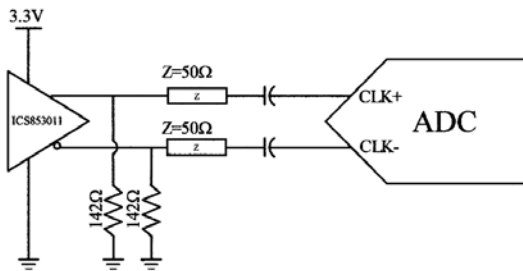


图 3 时钟电路初步设计

如图 3 所示, 在 ICS853011 的每个输出端都并联一个 142Ω 的电阻到地, 这个电阻的作用是: 由于输出共模电压固定在 $V_{CC}-1.3 = 2V$, 为使输出电流维持在 14mA, 故直流偏置电阻的大小选择 $2V / 14mA = 142Ω$, 这个电阻实际选取时可选择 140~200Ω 之间。此时双端传输线特性阻抗为 50Ω。

3 时钟电路仿真

HyperLynx 是 Mentor Graphics 开发的一款板级信号完整性的仿真工具。它可以进行损耗传输线的精确仿真, 支持 IBIS 模型和 HSPICE 模型, 可以使用

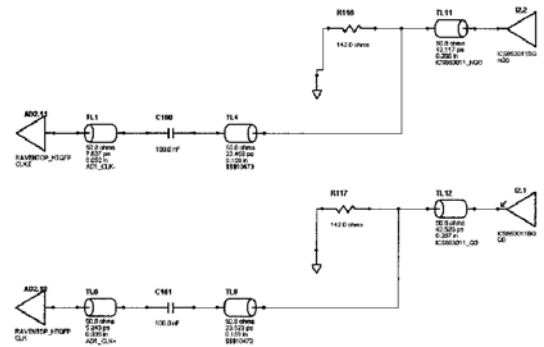


图 4 时钟电路仿真模型

图 4 中的传输线模型由发送端, 线阻抗, 路径上相关器件与接收端组成, 发送端和接收端的仿真模型是一种称之为 IBIS 的仿真文件, IBIS 是对输入输出端口的电气特性快速准确建模的方法, 是反映芯片驱动和接收电气特性的一种国际标准, 它提供一种标准的文件格式来记录如驱动源输出阻抗、上升/下降时间及输入负载等参数, 非常适合做振荡和串扰等高频效应的计算与仿真。在这里我们选择发送端为 ICS853011 的模型, 而接收端为 ADS5463 的模型, 图 4 中线路阻抗选择的 50Ω, 两个输出端并联到地的电阻大小为 142Ω, 线路上的隔直电容为 100nF。

此时的仿真结果(见图 5, 6), 输入激励设置为

500MHz, 占空比为 50 的时钟源, 在 Linesim 的 Digital oscilloscope 的仿真结果窗口中显示的波形如下。

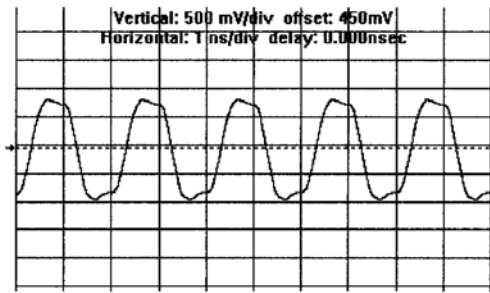


图 5 发送端仿真波形

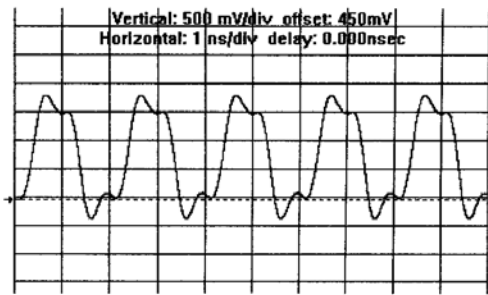


图 6 接收端仿真波形

两幅图中分别显示发送端和接收端的波形仿真结果, 这里显示是信号的差分值, 可以看出, 信号在发送端的失真还可以接受, 但是在接收端的波形出现较严重振铃现象, 这是设计者不愿看到的, 分析这种现象的成因, 可能有以下 2 种: (1) 传输线阻抗和负载阻抗不匹配, 导致信号发生反射, 引起振铃现象; (2) 端接的拓扑结构不对, 采用错误的端接方式。

传输线理论中对于振铃现象的原因分析是这样的: 当传输线阻抗大于信号源阻抗时, 信号源段反射系数为负值, 这时将产生振铃现象。结合本电路分析, 由于信号源阻抗是 ICS853011 内部的输出射随器的输出阻抗, 大概为 4Ω 左右, 而此时的传输线阻抗为 50Ω , 过强的驱动能力导致负载端出现振铃现象。

消除振铃现象的方法有三种: 1 降低系统时钟频率; 2 缩短传输线长度; 3 采用正确的端接方式; 由于本系统的时钟频率是固定的, 而传输线长度又由 PCB 的物理布局所限定, 故只有第三种方式最为经济灵活。

在实际设计中, 通常采用源匹配的方式消除振铃现象, 源匹配要求为输出端串联一个电阻, 使得源阻抗 R_s 等于线路阻抗 Z_0 , 串联后, 源反射系数等于 0, 从而消除负载上的反射信号, 换言之, 串联的电阻吸收发射的信号。本电路改进后 (见图 7), 在输出端串联一个电阻 R_s ,

$$R_s = Z_0 - R_0 = 50 - 4 = 46\Omega$$

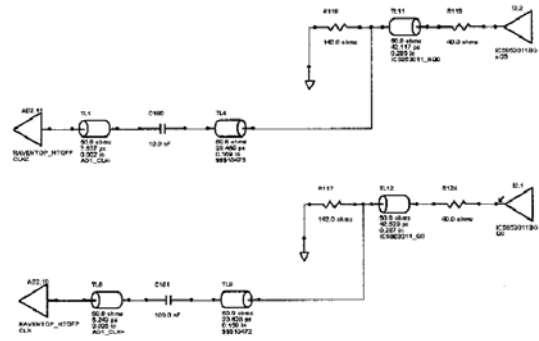


图 7 改善后的仿真模型

串联之后的接收端的波形 (见图 8):

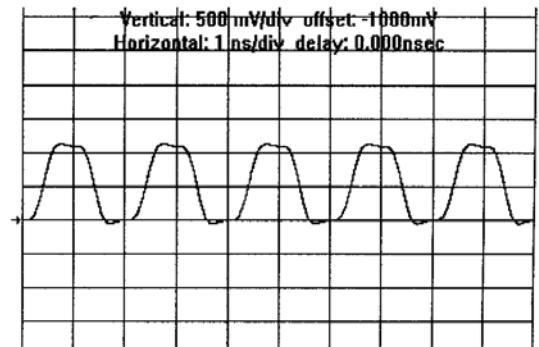


图 8 源匹配后的仿真波形

从图 8 中可以看出, 串联一个电阻之后, 接收端的波形得到很大的改善。但是这种方式稍微减小接收波形的幅度值。但总的来说, 信号在 ADC 的接受范围之内, 不会对 ADC 性能有较大影响。

在实际的时钟电路设计中, 不仅需要考虑端接方式和器件值大小, 还需要考虑器件的摆放, 如端接电阻和必须尽可能靠近接收端, 源电阻必须尽可能靠近发送端, 器件与走线方向一致等等; 同时在布线上, 必须严格按照差分规则, 保证两差分线之间间距相等, 两线线长相等, 同周围高速数字线保持 2 倍以上的线间距, 只有这样才能最终实现高性能的时钟设计。

4 结束语

在高速模数转换器时钟电路的设计中, 信号完整性问题过去一直是困扰工程师的问题, 本文提到的 PECL 高速时钟设计是在 ADC 设计中的成功与否的关键因素。通过 HyperLynx 的仿真, 可以在最大程度上避免设计中的信号完整性问题。本时钟设计已经在 PCB 实物上得到验证, 取得与仿真一致的效果, 这证明使用 HyperLynx 来辅助工程师进行高速 ADC 系统中的关键时钟路径的设计是切实可行的。

(下转第 58 页)

技术人员提供一个良好的物证照相光源,它本身独有的性质可使你充分发挥各种先进照相方法的优势,提取到更多、更有价值的物证。

从配光照相、分光照相、偏振光照相、定向反射照相到红外反射、紫外反射、红外荧光、紫外荧光照相,这些特殊的照相方法都可以利用多波段光源而得到良好的效果。

4 使用多波段光源要注意的问题

4.1 选择适当波长的激发光,产生最强的指纹荧光,而且将背景干扰光降到最低。如果存在背景光干扰,就应该尝试找到某个波长,它只激发潜在的指纹而使背景荧光很弱或没有,这并不意味着找到一个波长且此时指纹最亮,而是找到一个背景荧光最弱而能激发出指纹荧光的波长。一般的说,激发波长越长,大部分指纹的背景干扰越少。

4.2 波长选定后,光功率越大,效果越好,在指纹照相时光斑越大,单位面积的光越弱,同时荧光越弱,在拍照时应尽可能将光源靠近检材表面。

4.3 选择适当的滤色镜,在光到达底片之前,将激发光和背景光滤去。如果潜在指纹和客体表面被相同波长的光激发,应在相机镜头前加上带通滤色镜,这样可将指纹荧光和背景荧光分开。不能完全依赖人的肉眼,在紫外-可见-红外范围内人眼的灵敏度比照相底片低很多。有些指纹荧光虽然肉眼看不到,但照相底片却能反映出来。

每一个化学物质均有其特有的吸收光谱和发射光谱,背景表面也是如此。通过调节激发光波长,尝试不同的滤色镜,在多数情况下,可将背景干扰降至最低,从而达到理想效果。

参考文献

- 1 王桂强 指纹的光学显现和照相技术,北京:群众出版社,2001
- 2 朱宝礼 刑事照相学,北京:警官教育出版社,1991
- 3 徐立根 物证技术学,北京:中国人民大学出版社,2000
- 4 袁燕谊 数码照相机在紫外荧光照相中的应用,刑事技术,2005,(2):54~55

Applications of alternative light sources in forensic science

Yang Jihu Bai Yi Sun Jian

(Institute of Forensic Science, Shijiazhuang Public Security Bureau, Shijiazhuang 050061)

Abstract Utilizing the UV and blue light of alternative light sources helps with identification of forensic science. This article focuses on the applications of alternative light sources to the visualization of fingerprint and forensic photo.

Key words Alternative light source Fingerprint visualization Identification of forensic evidence Forensic photo

(上接第51页)

参考文献

- 1 杨小军,陈曦,张庆民 时钟抖动对ADC变换性能影响的仿真与研究[J],中国科学技术大学学报,2005,35(1):66~73
- 2 Nick Holland Interfacing Between LVPECL, VML, CML, and LVDS Levels [OL] Texas Instruments Application Report SL-LA120 www.ti.com 12,2002
- 3 Integrated Circuit Systems, Inc 3.3V LVPECL DRIVER TERMINATION [OL] www.ilt.com Aug 02,2002
- 4 Maxim, inc Introduction to LVDS, PECL, and CML [OL] Maxim Application Note: HFAN-1.0 Rev 0; www.maxim-ic.com 09,2000
- 5 Paul Shockman Termination of ECL Logic Devices with EF (Emitter Follower) OUTPUT Structure [OL] ON Semiconductor Application Note AND8020/D? Rev 5; www.onsemi.com 07,2004

Clock design and simulation in high-speed ADC

Li Nan Wu Jianfei Bu Kai

(National University of Defense Technology, College of Electronic Science and Engineering, Changsha 410073)

Abstract A design method of AC-coupling PECL clock of high-speed ADC is introduced. Series termination was applied in the design of termination schemes in order to improve signal integrity. By using HyperLynx simulation software, the good performance achieved, and making practical circuit design more easy.

Key words High-speed ADC PECL clock HyperLynx