

计算机体系结构的统一模型

沈绪榜 刘泽响 王 茹

(西安微电子技术研究所 西安 710054)

摘 要 提出了一种计算机体系结构的统一模型,将基于数据流计算与基于指令流计算的体系结构统一到基于指令流计算的体系结构上来,命名为 Unified-ISA 模型.使基于数据流计算的 ASIC 电路与基于指令流计算的 RC Device 电路的设计,统一为基于指令流计算的 SIMD PE 阵列上的程序设计.

关键词 PE 阵列;数据流;指令流;时间映射;空间映射
中图法分类号 TP302

The Unified Model of Computer Architectures

SHEN Xu-Bang LIU Ze-Xiang WANG Ru

(Xi'an Microelectronics Research Institute, Xi'an 710054)

Abstract A unified model of computer architectures which unifies the architectures based on data stream computing and configuration stream computing to the architecture based on instruction stream computing, named Unified-ISA model, is proposed in this paper. The ASIC circuit based on the data stream computing and the RC Device circuit based on configuration stream computing can be unified to the programming of SIMD PE Array which based on instruction stream computing.

Keywords processing element array; data stream; instruction stream; temporal mapping; spatial mapping

1 引 言

计算机的体系结构模型,又叫做技术模型,按照逻辑概念的体系结构模型分类^[1],如图 1 中所示,共有 10 种体系结构模型:基于指令流(Instruction Stream)计算的体系结构(简称 I 体系结构)有 SISD、SIMD、MISD 与 MIMD 四种;基于数据流(Data Stream)计算的体系结构(简称 D 体系结构)有 SD 与 MD 两种;基于指令流(Configuration Stream)计算的体系结构(简称 C 体系结构)有 SCSD、MCSD、SCMD 与 MCMD 四种.但从算法到体系结构的映

射来说,只有时间映射和空间映射两种模式,I 体系结构是按时间映射计算模式工作的,算法是时间映射成程序后,通过程序计数器控制,在指令流的过程中完成计算的,如图 1(a)所示;D 体系结构是按空间映射计算模式工作的,算法是静态空间映射成 ASIC 电路后,通过地址计数器的控制,在数据流的过程中完成计算的,如图 1(b)所示;C 体系结构也是按空间映射计算模式工作的,算法是动态空间映射成 RC Device 电路后,通过地址计数器的控制,在指令流的过程中完成数据流计算的,如图 1(c)所示.

收稿日期:2006-04-12;修改稿收到日期:2007-04-16. 沈绪榜,男,1933 年生,博士生导师,中国科学院院士,长期从事嵌入式计算机及其国产芯片实现的研究工作. E-mail: Shenxubang@163.net. 刘泽响,男,1978 年生,博士研究生,研究方向为嵌入式计算机体系结构. 王 茹,女,1983 年生,硕士研究生,研究方向为嵌入式计算机体系结构.

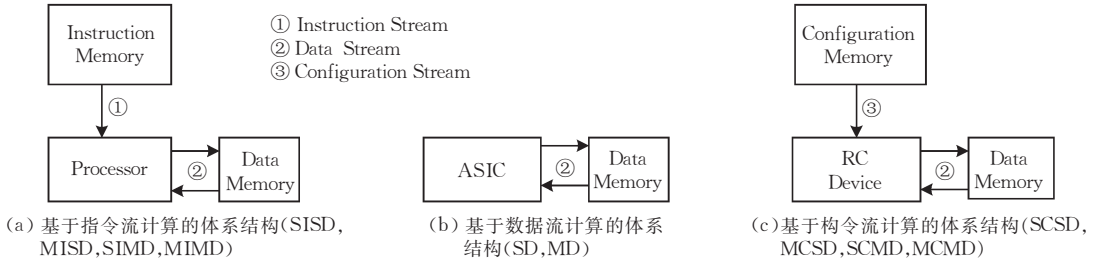


图 1 计算机的 10 种体系结构

在实际设计中,图 1 中的 10 种体系结构往往是组合使用的^[2],总共可以有 1023 种组合方案,而且随着应用要求与芯片集成度两方面的提高,并行实现成了发展的趋势.在按照时间映射模式工作的 I 体系结构中,有 SIMD, MISD 与 MIMD 三种并行计算的体系结构,但数据并行计算的 SIMD 采用 Processor 的多媒体扩展指令(例如:MMX)实现时,虽然可以极大地提高多媒体程序的性能,但并行度还是有限的,例如,虽然 SSE(Stream SIMD Extensions)/SSE2/SSE3 多媒体扩展指令的寄存器有 128 位,也只能一次完成 4 个 32 位、8 个 16 位或者 16 个 8 位的运算,而且执行效率低,执行一条 SIMD 指令的时间往往是相应通用指令的 4 倍,一条 8×16 位运算的 SIMD 指令的执行时间是 8 个 16 位运算的通用指令执行时间的 $1/2$,而不是 $1/8$,不能满足 G 级像素帧图像处理的要求.因此,采用一千个处理元以上的时间映射的 SIMD PE 阵列(PE: Processing Element),早就成了研究的热点,是作为协处理器使用的,如图 2 中所示.按照时间映射模式采用 SISD 的 Processor 的流水线实现指令并行计算的 MISD 时,并行计算程度是受流水线深度限制的;同样采用基于 Processor 的 VLIW 技术实现指令并行计算的 MIMD 时,由于受算法内在并行性的限制,通常只能并行执行 4 条指令;采用 Processor 的多进程的时间映射计算模式实现 MIMD 时,并行度也是有限的.换句话说,虽然流水线、VLIW 与多进程是现代处理器中提高性能行之有效的并行实现方法,但基于 Processor 的按照时间映射计算模式实现 MISD/MIMD 体系结构时,并行度基本上是小粒度、不规则与低层次的,达不到 MPP Unit(Massively Parallel Processing Unit)的程度.但按照空间映射模式工作的 D 体系结构中,ASIC(Application Specific Integrated Circuit)电路已从早期的转换器等电路,发展到脉动阵列(Systolic Array)与静态重构的 FPGA 等实现形式的 MPP Unit 电路.1987 年 Kung 提出

的基于数据流计算的 Systolic Array 体系结构^[3],不仅提高了基于数据流计算的 ASIC 电路的规模,而且形成了 ASIC 电路设计的一种新方法,用到了线性规划、卷积计算、偏微分方程求解、数值计算以及图形算法等的计算实现中,ASIC 电路也是作为 I 体系结构的空间映射的协处理器使用的,如图 2 中所示.为了提高基于数据流计算的 ASIC 电路灵活性,从上世纪 90 年代初期开始,计算机已从固定不变的体系结构,走向动态可重构的 C 体系结构,也是按空间映射计算模式工作的,可重构的计算(reconfigurable computing)^[4]技术使算法与功能不仅可以通过基于指令流计算的软件(software)设计,而且也可以通过基于构令流计算的构件(configuware)设计得到优化实现^[5-6],RC Device(ReConfigurable Device)实现形式的 MPP Unit 电路,也是作为空间映射的协处理器使用的,如图 2 中所示.综上所述,通过空间映射可以解决算法的并行限制,达到 MPP Unit 的并行程度.

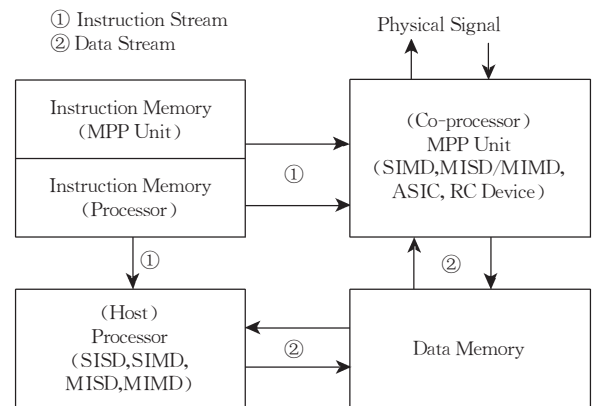


图 2 协处理器组合使用的逻辑概念图

体系结构的实现设计是随芯片集成度的提高而变化的^[7-8].每当特征尺寸减小到一定程度时,不仅芯片上可以集成更多的功能块,而且就会有一些新的物理限制因素要考虑到芯片设计中去.自 1971 年 Hoff 提出微处理器概念以来,处理器芯片技术,特别是 1987 年以来的系统芯片 SoC 技术,使计算机

的体系结构设计都体现在芯片上;人们估计^[9],到201X年,自顶向下的光刻技术的 CMOS 器件将达到其物理极限,为计算机体系结构的设计带来了新的限制因素,叫做 Red Brick Wall 问题. 一是线的延迟比门的延迟越来越重要;二是特征尺寸已小得使芯片缺陷不可避免;三是空间嵌入式计算机的工作寿命已达到 15 年以上;四是漏电流与功耗变得非常重要. 当 CMOS 器件制造技术达到它的物理极限值时,影响 CMOS 芯片体系结构设计的物理限制因素就会停止,为体系结构的统一研究提供了可能性. 在这种思想的指导下,为了更好地支持系统芯片 SoC 的功能与体系结构协同设计以及有利于从通用性、简单性与重用性三方面,缩短设计周期与普及系统芯片 SoC 的设计,根据计算是在时间映射计算模式的指令流的过程中,或者是在空间映射计算模式的数据流的过程中完成的这个特点,本文从时间映射的指令流计算模式与空间映射的数据流计算模式的统一角度出发,以基于指令流计算的体系结构为基础,提出了一种统一的计算机体系结构模型,叫做 Unified-ISA 模型.

由于通过空间映射可以解决算法的并行限制,

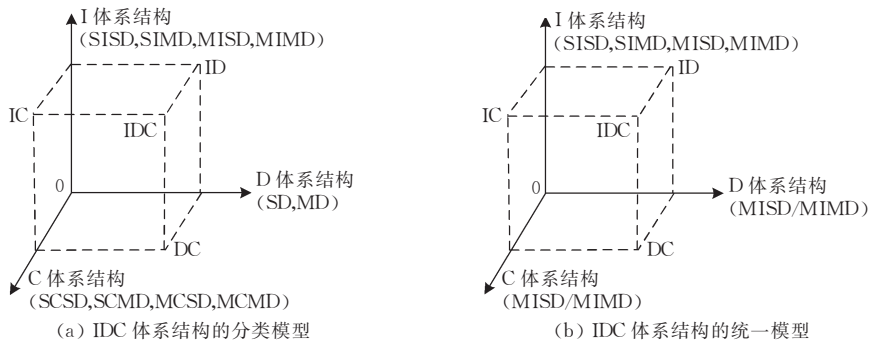


图3 Unified-ISA 模型的统一概念图

第2节将讨论时间映射的 ISA 模型统一;第3节将讨论空间映射的 ISA 模型统一;最后是结束语.

2 时间映射的 ISA 模型统一

基于指令流计算的体系结构模型,就是通常所说的 ISA (Instruction Set Architecture) 模型. I 体系结构按时间映射的 ISA 模型统一是以 SISD 的 Processor 结构为基础,对 SIMD、MISD 与 MIMD 进行 ISA 模型统一的.

2.1 Processor 的 ISA 模型统一

SISD 的 Processor 的设计是随着技术的进步

扩大并行程度,为此,本文研究了 MISD/MIMD 如何按空间映射计算模式的实现问题以及 C 体系与 D 体系结构如何通过 MISD/MIMD 的空间映射从指令流计算上统一起来. 换句话说,Unified-ISA 模型的概念,就是按照图 3(a) 中的分类模型,首先是将 I 体系结构从时间映射上统一起来;其次是将 D 体系结构通过 MISD/MIMD 的空间映射从指令流计算上统一起来;第三是将 C 体系结构通过 MISD/MIMD 的空间映射从指令流计算上统一起来. 从时间映射与空间映射两种映射模式来看,Unified-ISA 模型的概念,如图 3(b) 所示,是仅由 I 体系结构中的 4 种体系结构,通过 MISD/MIMD 的空间映射的实现方式而统一的. 从而使 ASIC 电路与 RC Device 电路基于空间映射的数据流计算与基于指令流计算的功能设计,统一为基于指令流计算的程序设计,将基于数据流计算与基于指令流计算的体系结构统一到基于指令流计算的体系结构上来. 因此,Unified-ISA 模型是按照时间映射计算模式对 I 体系结构,与通过 MISD/MIMD 按空间映射计算模式对 D 体系结构和 C 体系结构进行统一的,如图 2 与图 3(b) 所示.

而向后兼容的(例如,ARM、MIPS、PowerPC 与 SPARC 等). Processor 结构已从 stack 处理器结构、Accumulator 处理器结构与 register-memory 处理器结构统一到了 load-store 处理器结构,体现了单指令流体系结构的 RAM (Random Access Machine) 模型与存储器墙 (memory wall) 物理限制因素的特点. 在 Unified-ISA 模型中,单指令流 Processor 中的指令长度是可以统一的,例如,32 位,由计算类指令、存取类指令与转移类指令组成. 计算类指令控制寄存器到寄存器之间的数据流,数据流过程中完成的操作种类包含数学中的四则运算、关系运算、逻辑运算等基本操作,操作是可以有条件的. 定点数据类型统一为 8 位、16 位、32 位、64 位以及

128 位等几种长度的整数. 浮点数据类型有 32 位、64 位与 128 位等, 浮点数格式统一到 1985 年 IEEE (the Institute of Electrical and Electronics Engineers) 提出的 IEEE754 标准. 计算类指令可采用三寄存器地址的格式. 寄存器数量、操作种类、数据类型以及操作条件都是体现在计算指令格式的功能场的定义中的, 可以有各种不同的选择. 寄存器的组织形式有 Window 模型、Cache 模型和 Matrix 模型等, 是体现在调用指令的功能场的定义中的, 可以有各种不同的选择. 存取类指令控制寄存器与存储器之间的数据流以及存储器寻址方式的计算. 存取类指令的寻址方式涉及到如何解释存储器地址以及如何指定存储器地址. 如何解释就是指存储器地址访问的对象及其长度是什么? 在 Unified-ISA 模型中可统一成访问字节, 并能提供字节(8 位)、半字(16 位)以及字(32 位)与长字(64 位)的访问. 如何指定存储器地址(寻址方式)以及如何控制数据流的规模是体现在存取类指令格式的功能场的定义中的, 可以有不同的选择. 转移类指令控制指令流的变化, 有无条件与条件两类, 它们的多少以及转移空间的大小也是体现在转移类指令格式的功能定义中的. 综上所述, 在 Unified-ISA 模型中, SISD Processor 的 ISA 模型就是这样从时间映射的指令流这个逻辑概念上统一的.

2.2 PE 的 ISA 模型统一

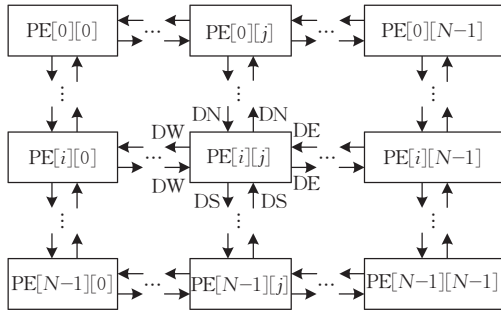
单指令流计算的 SISD Processor 是在程序计数器的控制下, 按时间映射计算模式每条指令完成一个基本操作的. 由于每条指令主要只完成一个基本操作, 这种体系结构模型的灵活性好, 但效率不是优化的. 从并行性上讲, 现代的卫星遥感图像处理, 要求能支持上 G 个像素的图像帧数据的实时计算, 促进了单指令多数据流的 SIMD PE 阵列这种 MPP Unit 的发展.

PE 阵列中的 PE 设计也是随芯片制造技术的发展而变化的. 针对传统 CMOS 器件物理极限值的限制因素, 2004 年 Cell Matrix 公司就提出了由 1000 支晶体管组成的基本单元电路 cell, 再利用若干 cell 构成 Supercell, 利用 Supercell 构成计算的 cell 阵列. 在这种 cell 阵列中, 是通过局部通信技术缓解线延迟, 通过自主重构技术克服芯片缺陷与实现长寿命, 以及通过自主管理技术减少漏电流与功耗等问题的^[10]. 其实在重构容错方面, 早在 1998 年 HP 公司就采用 864 块同样的 FPGA 芯片, 研制了

有 10^6 个逻辑部件, 主频为 1MHz(正好等于每秒 10^{12} 个操作)的软件可改变体系结构的计算机 Tera-mac(Tera multiple architecture computer), 又叫做定构计算机(custom configurable computer)^[11], 有 20000 个芯片缺陷(defects)时还能工作. 在 Unified-ISA 模型中, 如图 4(a)中所示, 没有采用 FPGA 中的细粒度数据位的功能块或 cell 细胞元, 然后由它们组成粗粒度的功能块的细粒度阵列设计方案, 为了提高芯片设计的抽象层次, 直接采用粗粒度数据字的 PE 来组成粗粒度 SIMD PE 阵列, 与 cell 细胞阵列一样, PE 阵列也只有局部通信以缓解线延迟.

SIMD PE 阵列是作为 Processor 的协处理器, 与(Host)Processor 是松耦合与并发工作的, 它们的控制部分是分开的, 如图 2 中所示. 而 SIMD PE 阵列是完成数据并行计算的, 每个 PE 没有单独的指令存储器, 整个 SIMD PE 阵列的所有 PE 执行相同的指令, 是共享一个统一的指令存储器的. PE 的 ISA 模型统一可分为对 PE 之内的处理与对 PE 之间的处理两种情况. 对 PE 之内的处理来说, PE 用到的指令是与 Processor 的计算类指令、存取类指令与转移类指令等时间映射的基本指令是兼容的. if 与 switch 等条件语句在 SIMD PE 阵列的 PE 上执行时的自治问题^[12], 通常是通过条件计算指令与伪转移指令解决的, 为了减少流水线断流的出现次数, 这种指令在 Processor 上也是有的, 两者是统一的. 对 PE 之间的处理来说, 如图 4(a)所示, 为缓解线延迟, 处理元 $PE[i][j]$ 只与其相邻的东南西北四个处理元 $PE[i][j+1]$ 、 $PE[i+1][j]$ 、 $PE[i][j-1]$ 与 $PE[i-1][j]$ 进行局部通信. 因此, PE 之间的处理, 就可以只通过扩充对 $PE[i][j]$ 的输入与输出之间的数据流进行计算与传送的指令完成; 也就是对 $PE[i][j]$ 的输入数据进行计算, 并将结果送到 $PE[i][j]$ 输出的计算指令, 以及为了能对不相邻的 PE 之间进行通信, 在 $PE[i][j]$ 的输入与其输出之间仅传送数据的传送指令(甚至是播送等指令), 不仅如此, 如图 4(b)所示, 还可以扩展一些 $PE[i][j]$ 的对寄存器与输入输出之间的数据流进行计算的混合计算指令, 以及仅进行传送的混合传送指令. 顺便指出, 图 4(b)是采用映射语言(Mapping Language) M 来描述扩展指令的^[17]. 不难看出, 这些对(Host)Processor 的时间映射的基本指令的扩展指令, 实质上也是空间映射的扩展指令, 后面将会讲到, 不仅解决了 PE 之间的处理问题, 而且可以用来描述 ASIC

电路;利用这些空间映射的扩展指令,可在 SIMD PE 阵列上实现 MISD/MIMD 体系结构的空间映射



(a) $N \times N$ PE 阵列的局部通信示意图

PE[i][j]:DE_OUT=DN_IN OP DS_IN; //PE[i][j]的扩展计算指令
 PE[i][j]:DW_OUT=DE_IN; //PE[i][j]的扩展传送指令
 PE[i][j]:DE_OUT=R3 OP DS_IN; //PE[i][j]的混合计算指令
 PE[i][j]:R3=DN_IN OP DS_IN; //PE[i][j]的混合计算指令
 PE[i][j]:DW_OUT=R4; //PE[i][j]的混合传送指令
 PE[i][j]:R4=DE_IN; //PE[i][j]的混合传送指令

(b) 空间映射的扩展指令举例

图 4 Unified-ISA 模型的 PE 阵列与扩展指令

2.3 MISD/MIMD 的 ISA 模型统一

在 Unified-ISA 模型中,多指令流 MISD/MIMD 的 ISA 模型统一,可以通过时间映射与空间映射两种映射模式来实现.如果按照时间映射模式,多指令流的 MISD 采用 SISD 的流水线实现时,是自然与 Processor 的 ISA 模型统一的;而 MIMD 是完成指令并行计算的,它的每个 PE 就是一个 Processor,有单独的指令存储器与控制部分,单独执行指令,与 Processor 的 ISA 模型是统一的,不再赘述.为了满足物理因素的限制,MIMD PE 阵列的 PE 之间也是邻接的,为了实现其 PE 之间的处理,在 MIMD PE 阵列的 PE 中也要加上前述 SIMD PE 阵列的 PE 扩展指令,于是与 SIMD PE 阵列中的 PE 的 ISA 模型也是统一的.为了使 MISD/MIMD 达到 MPP Unit 的程度,还可以通过空间映射的扩展指令,使 MISD/MIMD 体系结构按空间映射计算模式实现.

3 空间映射的 ISA 模型统一

按照 Unified-ISA 模型将指令流、数据流与构令流三种计算模式统一到程序设计上实现的研究目标,在 Unified-ISA 模型中,D 体系结构与 C 体系结构是通过 MISD/MIMD 体系结构在 SIMD PE 阵列上的空间映射而统一到 I 体系结构中的,关键在于通过 MISD/MIMD 体系结构如何在 SIMD PE 阵列上实现 ASIC 电路与 RC Device 电路的空间映射与数据流计算方式.

3.1 ASIC 电路的空间映射

ASIC 电路通常是采用 FPGA 或全定制等方法按空间映射实现的,首先,ASIC 电路的实现形式是由计算公式决定的,一种计算公式可以有多种实现形式;其次,计算时间取决于数据流的长度.例如,

的计算模式.综上所述,PE 的 ISA 模型就是这样从时间映射的指令流这个逻辑概念上统一的.

4 阶 FIR 滤波器的计算公式(1),可以有直接型与转置型两种实现形式,采用直接型实现形式时,如图 5 (a)所示,数据是从西向东流过 ASIC 电路的,可以在一个时钟周期内完成一次滤波的数据流计算,设数据流的长度为 100 时,则计算时间为 100 个时钟周期.最后,数据流的控制是在地址计数器控制下,使数据流过 ASIC 电路完成数据流计算的.

$$\begin{aligned}
 y(n) &= \sum_{j=0}^3 a_j x(n-j) \\
 &= a_0 x(n) + a_1 x(n-1) + a_2 x(n-2) + \\
 &\quad a_3 x(n-3)
 \end{aligned} \quad (1)$$

为了实现 ASIC 电路空间映射的 ISA 模型统一,由于 ASIC 电路与 I 体系结构所能执行的数据类型与操作类型是相同的,为了能通过 MISD/MIMD 在 SIMD PE 阵列上完成 ASIC 电路功能的空间映射的数据流计算模式,为讨论具体起见,假设 4 阶 FIR 滤波器是由 3×4 的 PE 阵列实现的,如图 5 (a)所示,要通过图 4(b)的空间映射扩展指令,编写出描述图 5(a)中那样的 ASIC 电路的程序,采用映射语言 M 描述指令时,如图 5(b)所示,为叙述方便,称这种程序为 ASIC 程序.该 ASIC 程序的第 1 条 for 语句的 f_r1=DW_IN 将存放于 PE[0][0]~PE[0][3]中去,在数据流的计算过程中这 4 条传送语句中的第 1 条将数据 $x(n)$ 从数据存储器取数到 PE[0][0]的第 1 个寄存器 r1 中,后 3 条语句将依次传送到 PE[0][1]~PE[0][3]的 r1 中;第 2 条 for 语句在 PE[1][j]上完成 $a_j \times x(n-j)$ 的乘法运算, a_j 是存放在 r2 中的;第 3 条语句采用了便于指定不相邻的处理元位置的枚举形式,PE[2][3]上的语句将产生结果 $y(n)$,往数据存储器存数.于是,ASIC 程序完成了 ASIC 电路功能的空间映射.

当 ASIC 程序已存放于 SIMD PE 阵列的 PE

中时,由于常用的调用子程序的调用指令是没有多周期执行功能的,还需要设计一种新的具有多周期执行可控能力的调用指令,用来控制数据流的长度,为了区别起见,叫做空间映射调用指令,常用的调用指令叫做时间映射调用指令. 时间映射调用指令的功能是启动按指令流计算的子程序工作的,而空间映射调用指令的功能是,首先,从 SIMD PE 阵列中取出 ASIC 程序,并送到 SIMD PE 阵列的各个 PE 的指令寄存器中去,在 PE 阵列上完成 ASIC 功能的空间映射,使 PE 阵列成为一个 ASIC 电路. 然后,空间映射调用指令启动 SIMD PE 阵列按数据流的长度多周期执行,完成该 ASIC 电路的功能. 最后,从图 5 中可以看出,数据流的控制也是在 PE 的空间映射扩展指令的控制下完成的,不需要另外的地址计数器.

不难看出,在 Unified-ISA 模型中,这种通过

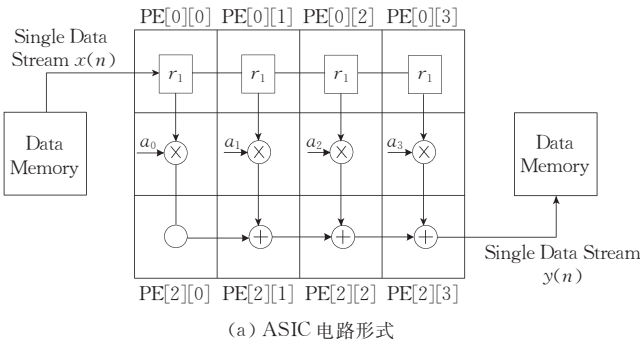


图 5 FIR 滤波器的直接型实现框图

3.2 RC Device 电路的空间映射

在 Unified-ISA 模型中,C 体系结构的 ISA 模型的统一,就是使 RC Device 电路上的构令流计算统一成 SIMD PE 阵列上的指令流计算,动态重构部件 RC Device 与 SIMD PE 阵列的 PE 所能执行的数据类型与操作类型是相同的,不同的是,RC Device 的计算是通过由构令组成的构件(Configureware)对 RC Device 电路的重构进行计算的,即是通过单条(多条)构令,不仅能对数据路径,而且能对处理部件、控制部件以及互连网络等进行重构,并在 SCSD 或 MCSD(SCMD 或 MCMD)的单(多)地址计数器的控制下,按数据流计算方式完成计算的. 而在 Unified-ISA 模型中,只能通过单条(多条)空间映射扩展指令仅对 PE 进行“重构”,也就是说,重构是作为基于指令流计算的 SIMD PE 阵列的高效性的可编程性发展,即 MISD/MIMD 在 SIMD PE 阵列上的空间映射计算模式的实现,是在空间映射调用指令控制下,按数据流计算方式完成计算的. 为了实现这一点,实质上就只需要把 RC Device 电路每

MISD/MIMD 空间映射实现 ASIC 电路的方式,不仅与 D 体系结构一样,能支持 MPP Unit 的实现,效率是优化的,而且具有程序设计的灵活性,例如,4 阶 FIR 滤波器采用转置型(数据广播)实现形式时,只要重新设计图 5(b)那样的 ASIC 程序;还有,ASIC 电路往往是根据不同的应用领域设计的,于是可以将 PE 的功能与 PE 阵列的规模系列化,按常用的乘法指令设计时,图 5 中的 4 阶滤波器是可以用 1×4 的 PE 阵列完成的;按照 Unified-ISA 模型, SIMD PE 阵列的数据并行的指令流计算,与 MISD/MIMD 的指令并行的数据流计算,是在同一个 PE 阵列上进行的,于是,通过时间映射调用指令与空间映射调用指令,提供了在 SIMD PE 阵列上同时支持时间映射与空间映射的混合映射的灵活性(限于篇幅不展开讨论).

次重构之后的电路看作是一种 ASIC 电路,于是,多次重构的 RC Device 电路就可以看作是由多种 ASIC 电路组成的. 这样一来,就可以采用对 ASIC 电路完成按指令流计算的同样方法,通过编写多种 ASIC 程序,在计算过程中,采用多条空间映射调用指令来启动多种 ASIC 程序工作,就能在 SIMD PE 阵列上通过程序方法,实现 RC Device 电路的动态重构功能,完成构令流方式的计算. 所以,在 Unified-ISA 模型中,也是通过 MISD/MIMD 体系结构的空间映射实现 RC Device 电路功能的方式而将其统一到指令流计算上来的.

粗看起来,采用指令的“重构”,似乎不如构令重构通用,对采用相邻互联的 PE 阵列来说,其实不然,由于 PE 之间的互联是隐含在 PE 之中的,对 PE 的指令“重构”,不仅是通用的,而且由于 RC Device 电路是由多种 ASIC 程序组成的,带来了程序设计的灵活性. 不仅如此,ASIC 电路与 RC Device 电路的功能采用 ASIC 程序描述后,有助于在系统芯片设计时,采用程序重新设计技术,回避芯片的缺陷;

采用程序自主重新设计技术延长芯片的使用寿命; 还可以根据每条指令所完成的功能, 通过自主管理技术减少漏电流与功耗。

4 结束语

当芯片的特征尺寸达到物理极限的时候, 人们还会从制造技术上扩大芯片面积或三维集成, 来提高系统芯片 SoC 的集成度, 也还会从设计上采用更规则的体系结构, 支持 MPP Unit 的并行计算. 从 CMOS 器件计算机的体系结构设计来看, 本文提出的 Unified-ISA 模型, 一是将 IDC 体系结构分类模型的 1023 种组合简化到 IDC 体系结构统一模型的 15 种组合, 如图 3 所示, 提供了体系结构组合的简单性. 二是从算法到体系结构的映射只有时间映射与空间映射两种模式出发, 将基于数据流计算与基于指令流计算的体系结构统一到基于指令流计算的体系结构上来, 使 ASIC 电路与 RC Device 电路的设计统一为基于指令流计算的 SIMD PE 阵列上的程序设计, 提供了体系结构设计的统一性. 三是描述 ASIC/RC Device 功能的 ASIC 程序, 在功能到体系结构的映射过程中, 不仅可以作为 MISD/MIMD 的软构件 (software component), 在 SIMD PE 阵列上执行, 也可以作为 ASIC/RC Device 电路功能的硬构件描述规范, 提供了计算机体系结构实现的灵活性. 综上所述, Unified-ISA 模型的简单性、统一性与灵活性, 为 CMOS 器件的 MPP 系统芯片的具体 ISA 设计开辟了新途径.

由于机上检索与人工智能等非数值计算的并行化存在本质性的困难, 往往是在 Processor 上进行计算的. 尤其是现实世界充满了不确定性 (uncertainty), 为了提高嵌入式计算机解决不确定性问题的自主计算能力, 从而提高机器人与无人机等自主化程度, 人们正在从模糊计算 (fuzzy computing) 的推理能力、神经元计算 (neural computing) 的学习能力与进化计算 (evolutionary computing) 或基因算法 (genetic algorithms) 的优化能力等方面, 开展统称为计算智能 (computational intelligence) 或软计算 (soft-computing) 的算法研究^[14]. Unified-ISA 模型的简单性、统一性和灵活性, 为利用自主计算的新算法, 进行改变与重新定义计算硬件性质的研究增加了新的可能性.

人们预言, 在 2020 年左右, 计算机工程师们将会制造出一台有用的 (由 10^{23} 个元件完成计算的) 亚

佛加德罗计算机 (Avogadro computer)^[15]. 科学家已经发现, 无奇不有的动物的性能与创造力, 都在于能够在原子和分子水平上创造各种物质, 这将是制造技术的物理极限, 也许只有量子计算与化学计算技术才能在原子和分子水平上提供亚佛加德罗计算机所要求的高集成度与新体系结构^[16-17]. 因为自治是纳米构件的重要特征, CMOS 器件技术是通过 NAMIX (The Nano-Micro-Interface) 接口技术, 把量子计算的 MPP 概念, 看作是 ASIC 电路实现的基于数据流计算的 MPP 概念的扩展而统一的. 如果认为化学计算的最好办法就是拷贝它们, 那么 NAMIX 接口技术, 也可把非数字的化学计算的 MPP 概念, 看作是 ASIC 电路实现的基于数据流计算的 MPP 概念的扩展而统一起来. 例如, 湿件 (wetware) 与 ASIC 电路的接口技术, 实现了 ALM (Application-specific Lab-on-Microchip) 芯片, 取得了商品化的成果, 其中 ASIC 电路起着衬底与控制微流系统 (Micro Fluidic System) 的作用. Unified-ISA 模型的简单性、统一性和灵活性, 为自然计算的体系结构研究提供了新思路.

参 考 文 献

- [1] Shen Xu-Bang, Zhang Fa-Cun, Feng Guo-Chen, Che De-Liang, Wang Guang. The classification model of computer architectures. Chinese Journal of Computers, 2005, 28(11): 1759-1766 (in Chinese)
(沈绪榜, 张发存, 冯国臣, 车得亮, 王光. 计算机体系结构的分类模型. 计算机学报, 2005, 28(11): 1759-1766)
- [2] Kapasi Ujval J et al. The imagine stream processor//Proceedings of the IEEE International Conference on Computer Design. Freiburg, Germany, 2002: 282-288
- [3] Kung H T. Why systolic architecture? Computer, 1987, 15(1): 37-46
- [4] Compton K, Hauck S. Reconfigurable computing: A survey of systems and software. ACM Computing Surveys, 2002, 34(2): 171-210
- [5] Singh H et al. MorphoSys: An integrated reconfigurable system for data-parallel and computation-intensive applications. IEEE Transactions on Computers, 2000, 49(5): 465-481
- [6] Lu Guang-Ming. Modeling, implementation and scalability of the MorphoSys dynamically reconfigurable computing architecture [Ph. D. dissertation]. University of California, Irvine, 2000
- [7] Uldrich Jack et al. The Next Big Thing is Really Small. New York: Grown Business, 2003
- [8] Ratner Mark et al. Nanotechnology—A Gentle Introduction to the Next Big Idea. New Jersey: Person Education, Inc., Prentice Hall, 2003

- [9] Goser Karl et al. *Nanoelectronics and Nanosystems — From Transistors to Molecular and Quantum Devices*. Berlin Heidelberg: Springer-Verlag, 2004
- [10] Macias Nicholas J et al. Adaptive methods of growing electronic circuits on an imperfect synthetic matrix. *Biosystems*, 2004, 73(3): 173-204
- [11] Heath J. A defect-tolerant computer architecture: Opportunities for nanotechnology. *Science*, 1998, 280: 1761-1721
- [12] Anido M L et al. Improving the operation autonomy of SIMD processing elements by using guarded instructions and pseudo branches//*Proceedings of the Symposium on Digital System Design*, 2002: 148-155
- [13] Shen Xu-Bang et al. A mapping language of computer architectures. *Technique Paper*, 2006(in Chinese) (沈绪榜等. 计算机体系结构的映射语言. 技术资料, 2006)
- [14] Macias N J et al. Adaptive method for growing electronic circuits on an imperfect synthetic matrix. *Biosystem*, 2004, 73(3): 173-204
- [15] Durbek L J K. An approach to designing extremely large, extremely parallel systems//*Proceedings of the Conference on High Speed Computing*. Oregon, USA, 2001
- [16] Adleman L M. Molecular computation of solutions to combinatorial problems. *Science*, 1994, 266(11): 1021-1024
- [17] Adleman L M. Computing with DNA. *Scientific American*, 1998, 279(2): 54-61



SHEN Xu-Bang, born in 1933, Ph.D. supervisor, member of Chinese Academy of Sciences. He has long been engaged in the research of embedded computers and their chips.

LIU Ze-Xiang, born in 1978, Ph. D. candidate. His research interests focus on embedded computer architecture.

WANG Ru, born in 1983, M. S. candidate. Her research interests focus on embedded computer architecture.

Background

With the increase of chip density and computation complexity, the computer architecture of traditional computing becomes more and more complex from instruction stream based computation architecture to data stream based computation architecture and configuration stream based computation architecture. Based on this situation, a unified model of computer architectures which unifies the architecture based

on data stream computing and configuration stream computing to the architecture based on instruction stream computing, named Unified-ISA model, is proposed in this paper. The ASIC circuit based on the data stream computing and the RC Device circuit based on configuration stream computing can be unified to the programming of SIMD PE Array.