

基于通用 DSP 的多模式视频编码器

李 波¹⁾ 葛宝珊^{1),2)} 李 炜¹⁾ 姚春莲¹⁾

¹⁾(北京航空航天大学计算机学院数字媒体室 北京 100083)

²⁾(军械工程学院自动化工程系 石家庄 050003)

摘 要 采用通用高速 DSP 设计了一种先进而又适用面广的视频编码器,该编码器不仅可适应不同信道、可压缩多种不同大小的灰度/彩色图像、环境适应能力强,而且灵活性高、可扩展性好,易于形成性能不同、压缩算法不同的系列化产品.为了提高编码器整体性能,由 FPGA 完成压缩的一些预处理工作.针对 TMS320C6000 DSP 的 VLIW 体系结构和存储资源限制以及 MPEG 压缩算法要求,从软件结构、数据传输和源代码多方面进行了优化.给出了一套解决高速 DSP 与 SDRAM 互联时信号完整性和时序匹配问题的方法.

关键词 DSP;高速数字电路;信号完整性;MPEG;视频编码器

中图法分类号 TP391

A General DSP Based Multi-Modal Video Encoder

LI Bo¹⁾ GE Bao-Shan^{1),2)} LI Wei¹⁾ YAO Chun-Lian¹⁾

¹⁾(Digital Media Processing Laboratory, School of Computer Science and Engineering, Beihang University, Beijing 100083)

²⁾(Department of Automation Engineering, Ordnance Engineering College, Shijiazhuang 050003)

Abstract This paper presents a kind of advanced and widely applicable video encoder designed using general high speed DSP. Not only could it adapt to different channels and various environments, compress various gray/color picture in different resolutions, but also it is flexible and extensible to develop a series of products with different performances and video compression algorithms. The FPGA preprocessed some task for compression to enhance the encoder's performance. Considering the VLIW architecture and the memory resource limitation of TMS320C6000 DSPs and the requirements of MPEG compression algorithms, the paper optimizes the video encoder software on software architecture, data transmission and source code respectively. The paper gives solutions to signal integrity and timing matching when the high speed DSP interconnects with SDRAMs.

Keywords DSP; high speed digital circuit; signal integrity; MPEG; video encoder

1 引 言

由于视频数据量极大和现实信道带宽及存储容量的限制,视频压缩应用愈来愈广泛,市场前景非常广阔.视频编码器主要是对采集的视频图像数据进

行压缩,在保证一定重构质量的前提下,以尽量少的比特数表征视频信息^[1],以便降低对视频图像传输带宽和存储容量的要求.嵌入式视频编码器以其可靠性高、速度快、成本低、体积小、功耗低、环境适应性强等优点,有着其独特的适用场合,成为发展趋势.其实现可基于工控机、FPGA、通用 DSP、视频

收稿日期:2004-02-19;修改稿收到日期:2004-09-02. 本课题得到国家“八六三”高技术研究发展计划项目基金(2002AA11901006, 2001AA114142)、霍英东教育基金(81059)和教育部博士点基金(项目编号 20030006034)资助. 本研究在软件开发环境国家重点实验室完成. 李 波,男,1966 年生,教授,博士生导师,主要研究方向为数字视频处理、多媒体技术、智能信息处理和嵌入式图像处理部件. E-mail: bbboli@vip. sina. com. 葛宝珊,男,1967 年生,博士研究生,主要研究方向为数字视频处理、计算机网络和嵌入式系统. E-mail: gbsh@263. net. 李 炜,男,1973 年生,博士,讲师,研究方向包括视频编码、多媒体系统和视频编码的 VLSI 设计. 姚春莲,女,1973 年生,博士研究生,主要研究方向为视频编码、运动检测.

DSP 或专用压缩芯片^[2~5]等。为了设计一种可靠性高、速度快、灵活性高、可扩展性好、可适应不同信道、可压缩多种不同大小的灰度/彩色图像并能够抗恶劣环境的视频编码器,本文采用通用高速 DSP 来进行设计,给出了基于通用高速 DSP 的设计方案,并根据压缩算法的要求,采用 DSP 与 FPGA 有机结合起来提高系统整体性能;解决了系统中高速数字电路设计所遇到的一系列问题,如:信号完整性、时序匹配等等;针对 DSP 内部多个功能单元间并行和流水结构以及存储器资源的限制,进行了多方面的软件优化。

2 系统设计

为了研制实用、可靠、先进又适用面广的嵌入式视频编码器,在系统设计时应从设计原则、工作环境、应用要求、速度、灵活性等多方面考虑。

(1) 系统设计应该可行、先进、实用。为此,硬件上选择市场上成熟、可信的先进芯片,软件上应采用成熟而又先进的国际通用视频压缩标准(如 MPEG-4),设计方案应简单、合理,充分调研多种用户需求,尽量借鉴并利用我们以前在视频压缩技术方面的前期成果和经验。

(2) 编码器应可靠性高,能够适应不同的工作环境。由于某些工作环境比较恶劣,如飞机或卫星上,工作温度为 $\pm 40^{\circ}\text{C}$ 左右,存在较大的振动冲击,因此编码器应功耗低、体积小、重量轻、耐低温并抗振动冲击。

(3) 编码器抗误码能力要强,应能适应不同特征的信道。现有信道种类、带宽和误码率多种多样,如某些无线信道,误码率较高,信道码速率从 256Kbps 到 8Mbps 不同。

(4) 编码器能够适应图像大小不同的要求。如军事视频情报获取时,要求分辨率为 720×576 的灰度/彩色图像,而某些应用要求分辨率为 352×288 即可。

(5) 编码器应灵活性好。压缩算法发展迅速,先后出现了各种压缩标准,如 MPEG1/2/4, H. 26X 和 JPEG2000 等,因此编码器应该易于新算法的升级或变更。

(6) 编码器自身应有较强的可扩展性。如在视频数据压缩后可方便地增加加密功能。

(7) 编码器应便于形成不同性能的系列化产品,包括硬件和压缩算法两方面。

由于工控机体积大,功耗高,价格昂贵,专用压缩芯片灵活性、可扩展性差,FPGA 开发工作量大,

修改不便,视频专用 DSP 不耐低温,而通用 DSP 升级速度快又容易获得工业级芯片支持,因此只有采用通用 DSP 来进行设计才能满足多方面要求。综合考虑芯片性能、生产厂商信誉和能力、供货渠道、价格、升级及相应开发工具等因素,本文选定 TI 公司的 TMS320C6000 系列 DSP 作为编码器的主处理芯片。软件先采用比较成熟而先进的 MPEG 压缩标准,并针对 DSP 的特点进行改进,以后可以根据需要再采用其它压缩算法。

2.1 视频编码器硬件构成

编码器可划分为视频采集和压缩两大部分,分别由 FPGA 和 DSP 完成。对于 CIF 格式(352×288)的视频,用 C6000 系列的 6201, 6202, 6203, 6411 等定点 DSP 压缩帧率都能达到 25 帧/秒,但对于 720×576 分辨率的视频(数据量是 CIF 格式的 4 倍以上),它们的压缩帧率达不到 25 帧/秒,这时 DSP 的处理速度成为系统瓶颈,因此,设计上由 FPGA 做一些压缩预处理工作,将采集的 YUV 分量分离并按照 MPEG 编码器所需格式(Y, U, V 分量各自连续存放)存放在采集缓存中,以便节省 DSP 的处理时间,提高系统整体性能。当压缩帧率达不到 25 帧/秒时,只能进行跳帧处理,为了减小最坏情况下的编解码延时合理跳帧,应当只要 DSP 需要数据时,便可从采集缓冲区读,而且采集缓冲区必须保证随时为 DSP 提供最新的数据,为此,我们采用了双缓冲区乒乓机制,保证了采集部分与处理部分在任何压缩帧率情况下都能有机协调地顺利工作。

图 1 是本文设计的以 DSP 为核心的视频编码器的硬件组成框图。

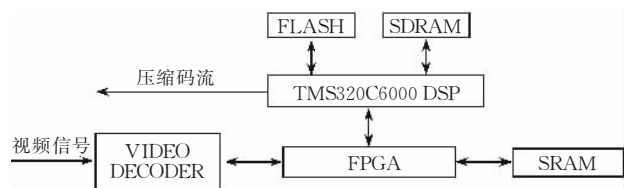


图 1 视频编码器的硬件组成框图

其中各部分功能如下:

VIDEO DECODER 将模拟视频信号转换为数字量。

SRAM 用于缓存采集的图像数据,采用双缓冲区乒乓结构,以便采集过程中,DSP 可以随时读取压缩所需的最新数据。

SDRAM 用于存储压缩过程中的参考帧、重建帧、残差数据和一些码表等。DSP 片内存储器的容量有限,不足以存放上述数据,需要扩展片外存储器,由于 SDRAM 集成度高、价格便宜、速度快,本

设计采用 SDRAM 作为片外存储器。

FPGA 是控制的核心,负责 VIDEO DECODER 的初始化、图像采集、YUV 分离,并对图像采集缓存 SRAM 进行读写控制。

TMS320C6000 DSP 用于执行程序,进行数据压缩处理,并将压缩码流通过多通道缓冲串口(McBSP)发送出去。DSP 在存取 SDRAM、SRAM 时大量采用 DMA 方式进行数据传输,这样既可提高数据传输的效率又可使数据传输与运算操作并行进行。

TMS320C6000 系列数字信号处理器是 TI 公司推出的高端系列的 DSP,包括 6201,6202,6203,6204,6205,6411,6414,6415,6416,6711 等。主要用于移动通信基站、DSL、雷达信号处理、视频图像处

理等要求运算速度极快的领域^[6]。该系列 DSP 采用超长指令字(VLIW)结构,片内有 8 个并行处理的处理单元,单指令字长为 32bits,8 条指令组成一个指令包,总长为 256bits,可在一个时钟周期内并行执行 8 条指令,工作主频从 200MHz 到 1.1GHz,处理能力从 1600MIPS 到 9000MIPS,堪称业界最快的 DSP;其片内存储器容量较大,从 1Mb 到 8Mb^[7]。

FLASH MEMORY 用于存放程序,以便在系统加电后将程序装入 DSP 的片内程序存储器。

2.2 视频编码器的软件结构

MPEG 编码器采用如图 2 所示的结构,其编码过程主要包括 DCT 变换、量化、熵编码、位率控制、运动估计与补偿以及图像重建等部分。

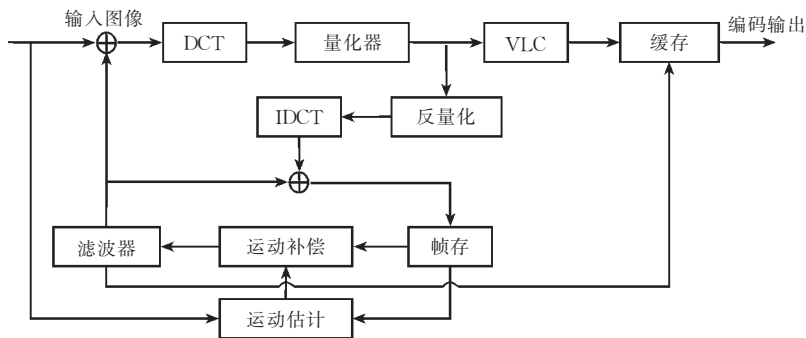


图 2 MPEG 编码器结构

DCT 变换. 对图像数据以块为单位进行二维 DCT 变换,将空域上的图像数据转换到频域上,以便进行压缩。

量化. 对宏块经过 DCT 变换之后的变换系数进行量化。

熵编码. 它是一种无损的编码方法,其原理是根据出现的概率给不同符号分配不同长度的码字,从而使最终的平均码长最小。

位率控制. 通过检测缓冲区的占空比来反馈控制量化步长的大小,实现对编码器输出的位率进行多种线性或非线性的控制,使编码出来的比特流能够适应不同应用环境的带宽要求。

图像重建. 由于接收端只能根据解码的 I、P 帧来恢复其它 P 帧,为了减少累计误差,要求编码端使用同样的图像进行运动估计和补偿,也就是说当对一帧图像压缩后需要马上对其解码,以便作为下一帧的参考帧,该环节包括图 2 中的反量化、IDCT、帧存。

运动估计与补偿. 由于图像重建过程已将解码的第 $K-1$ 帧存入帧缓存作为参考帧,在对第 K 帧进行帧间编码时,对其中的每一宏块按照一定的搜索策略和匹配准则,在参考帧的搜索窗口中寻找最相似的匹配块,然后记录下该相似块的位移量以及当前宏块与预测宏块的残差宏块。

3 硬件设计中的关键技术

随着电子系统中逻辑和系统时钟频率的迅速提高和信号边沿不断变陡,印刷电路板(PCB)的线迹互连对系统电气性能的影响也变得十分重要^[8]。当频率超过 50MHz 时,互连关系必须以传输线考虑^[8],本文所用 DSP 工作主频为 200MHz~1.1GHz,因此,本文必须解决好互连延迟引起的时序匹配问题和信号完整性(SI)问题。

3.1 信号完整性问题及其解决方法

信号完整性是指在信号线上的信号质量^[6,8]。差的信号完整性不是由单一因素导致的,而是板级设计中多种因素共同引起的。主要的信号完整性问题包括反射、振铃、地弹、串扰等^[3]。在高速数字系统设计中,信号完整性问题决定着系统能否正常可靠地工作。在一个已有的 PCB 板上分析和发现信号完整性问题是一件非常困难的事,即使找到了问题,在一个已成形的板上实施有效的解决办法也会花费大量时间和费用。所以,应该能够在物理设计完成之前查找、发现并在电路设计过程中消除或减小信号完整性问题。现在有许多高速 PCB 设计软件能够对信号完整性进行深入的仿真分析,及时发现问题、解决

问题,如 CADENCE 公司的 PSD14.2 软件包。

本文采取了如下几种方法来改进信号完整性:

(1)合理设置叠层参数、线宽、铜皮厚度,使得不同层间的传输线特征阻抗接近,以便减少信号在不同层间传输时的反射。

(2)加适当阻值的端接电阻使传输线特征阻抗与负载阻抗匹配,来减少信号反射。

(3)对于一分为二的分支结构,应使分支线的长度相近,可改善信号传输效果。

(4)高速器件与低速器件隔离,以免低速器件对高速器件影响。

(5)减小平行线长度,加大平行线间的距离,使相邻平行线走不同层,来减少线间串绕。

应用上述方法,并使用 PSD14.2 对系统中的关键信号进行了信号完整性仿真,经过多次布局、布线、加端接电阻和仿真,得出了比较理想的信号仿真波形,如图 3~图 5 所示,这 3 个信号波形分别是 TMS320C6202 DSP 和 SDRAM 连接时的时钟、写控制和数据信号。由仿真波形进行可得:SDRAM 端的下冲为 -0.3V ,上冲为 4.1V ,而 SDRAM 允许输入电压范围为 $-1\text{V}\sim 4.6\text{V}$;DSP 端的下冲为 -0.25V ,上冲为 3.5V ,而 DSP 允许输入电压范围为 $-0.3\text{V}\sim 4\text{V}$ 。可见这些信号过冲小、单调性好、串绕小,质量比较好。当信号完整性满足要求后便可以进行时序分析,否则还要重新采用上述方法改进信号完整性。

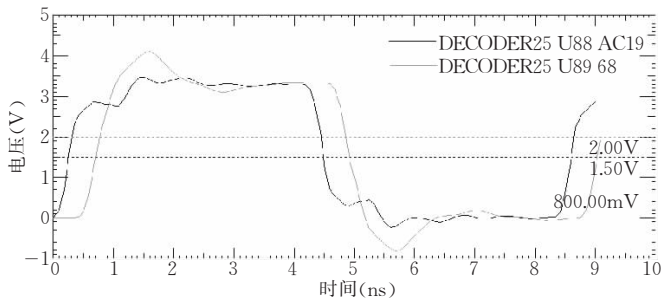


图 3 时钟信号仿真波形

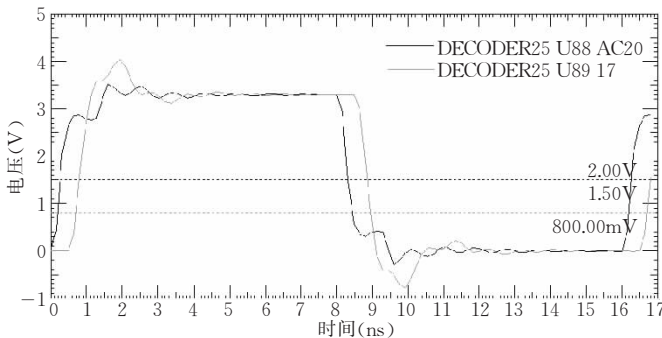


图 4 SDRAM 写信号仿真波

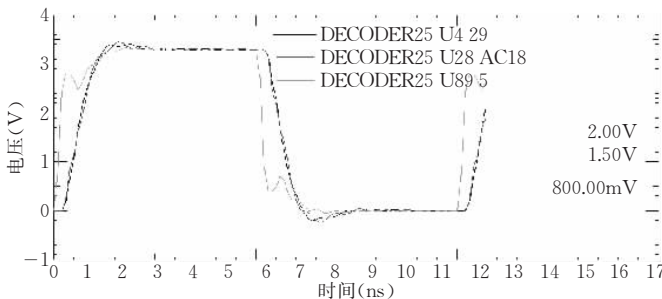


图 5 数据信号仿真波形

3.2 高速同步时序电路的时序匹配问题及其解决方法

高速同步时序电路设计必须留有充足的建立和保持时间,才能保证系统正常工作。由于系统工作频

率越来越高(如 6416 为 600MHz),信号上升/下降沿越来越陡,布线延时相对信号传输时间已不可忽略,它对信号的建立和保持时间起着至关重要的作用。下面以高速 DSP 与 SDRAM 连接为例来分析布

线延时对建立时间和保持时间的影响并给出了一个实例验证,该方法适合于一般高速同步时序电路.

图 6 是考虑 DSP 与 SDRAM 间布线延时的时序关系图.

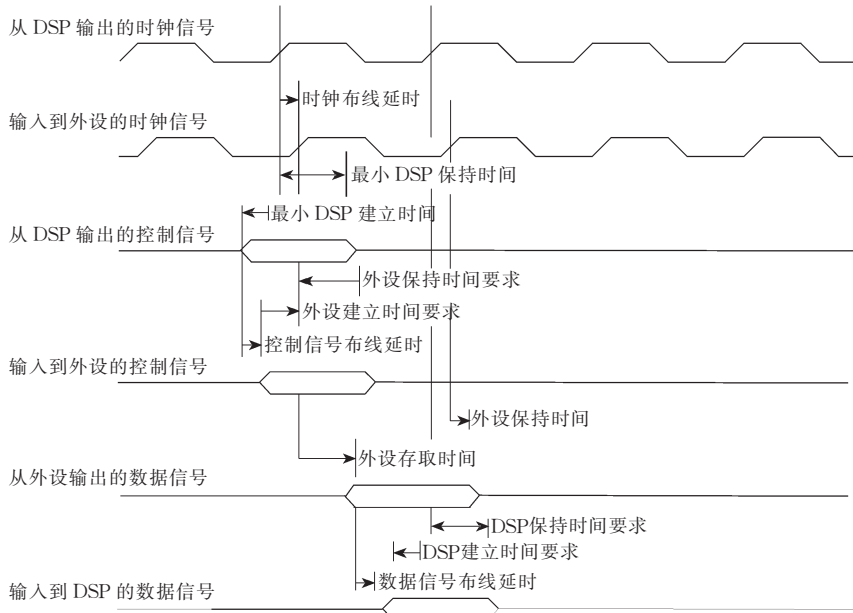


图 6 DSP 与目标设备间布线延时图

3.2.1 时序关系约束条件

由图 6 可以导出如下约束条件不等式.

(1) 对于控制线要求满足下列条件才能保证正确读写:

① 建立时间应满足 $t_{isu(\text{Control})} = t_{osu(\text{DSP})} + t_{\text{Clock Route Delay}} - t_{\text{Control Route Delay}(\text{Slowest})} \geq t_{isu(\text{SDRAM})}$, 即

$$t_{\text{Control Route Delay}(\text{Slowest})} - t_{\text{Clock Route Delay}} \leq t_{osu(\text{DSP})} - t_{isu(\text{SDRAM})} \quad (1)$$

其中 $t_{isu(\text{SDRAM})}$ 为 SDRAM 控制线所需建立时间, $t_{osu(\text{DSP})}$ 为 DSP 控制线建立时间, $t_{\text{Clock Route Delay}}$ 为时钟线布线延时, $t_{\text{Control Route Delay}(\text{Slowest})}$ 为最慢的控制线延时.

② 保持时间应满足 $t_{ih(\text{Control})} = t_{oh(\text{DSP})} - t_{\text{Clock Route Delay}} + t_{\text{Control Route Delay}(\text{Fastest})} \geq t_{ih(\text{SDRAM})}$, 即

$$t_{\text{Clock Route Delay}} - t_{\text{Control Route Delay}(\text{Fastest})} \leq t_{oh(\text{DSP})} - t_{ih(\text{SDRAM})} \quad (2)$$

其中 $t_{\text{Control Route Delay}(\text{Fastest})}$ 为最快的控制线延时.

(2) 对于数据线要求满足下列条件才能保证正确读写(分读、写两种情况):

① 读建立时间应满足 $t_{\text{Clock Period}} - t_{\text{Clock Route Delay}} - t_{\text{Data Route Delay}(\text{Slowest})} + t_{\text{ACC}} \geq t_{isu(\text{DSP})}$, 即

$$t_{\text{Clock Route Delay}} + t_{\text{Data Route Delay}(\text{Slowest})} \leq t_{\text{Clock Period}} - t_{\text{ACC}} - t_{isu(\text{DSP})} \quad (3)$$

其中 $t_{\text{Clock Period}}$ 为时钟周期, $t_{\text{Data Route Delay}(\text{Slowest})}$ 为最慢的数据线延时, t_{ACC} 为 SDRAM 存取时间.

② 读保持时间应满足 $t_{oh(\text{SDRAM})} + t_{\text{Clock Route Delay}} + t_{\text{Data Route Delay}(\text{Fastest})} \geq t_{ih(\text{DSP})}$, 即

$$t_{\text{Clock Route Delay}} + t_{\text{Data Route Delay}(\text{Fastest})} \geq t_{ih(\text{DSP})} - t_{oh(\text{SDRAM})} \quad (4)$$

其中 $t_{oh(\text{SDRAM})}$ 为 SDRAM 数据线输出保持时间, $t_{\text{Data Route Delay}(\text{fastest})}$ 为最快的数据线延时.

③ 写建立时间应满足 $t_{osu(\text{DSP})} - t_{\text{Data Route Delay}(\text{Slowest})} + t_{\text{Clock Route Delay}} \geq t_{isu(\text{SDRAM})}$, 即

$$t_{\text{Data Route Delay}(\text{Slowest})} - t_{\text{Clock Route Delay}} \leq t_{osu(\text{DSP})} - t_{isu(\text{SDRAM})} \quad (5)$$

④ 写保持时间应满足 $t_{oh(\text{DSP})} - t_{\text{Clock Route Delay}} + t_{\text{Data Route Delay}(\text{Fastest})} \geq t_{ih(\text{SDRAM})}$, 即

$$t_{\text{Clock Route Delay}} - t_{\text{Data Route Delay}(\text{Fastest})} \leq t_{oh(\text{DSP})} - t_{ih(\text{SDRAM})} \quad (6)$$

3.2.2 时序关系约束条件的引申推导

由式(6)可得

$$t_{\text{Data Route Delay}(\text{Fastest})} \geq t_{\text{Clock Route Delay}} - t_{oh(\text{DSP})} + t_{ih(\text{SDRAM})},$$

又 $t_{\text{Data Route Delay}(\text{Slowest})} \geq t_{\text{Data Route Delay}(\text{Fastest})}$, 推出

$$t_{\text{Data Route Delay}(\text{Slowest})} \geq t_{\text{Clock Route Delay}} - t_{oh(\text{DSP})} + t_{ih(\text{SDRAM})} \quad (7)$$

由式(3)~(6)得

$$t_{\text{Clock Route Delay}} \leq t_{\text{Clock Period}} - t_{\text{ACC}} - t_{isu(\text{DSP})} + t_{oh(\text{DSP})} - t_{\text{Clock Route Delay}} - t_{ih(\text{SDRAM})},$$

即

$$t_{\text{Clock Route Delay}} \leq (t_{\text{Clock Period}} - t_{\text{ACC}} - t_{isu(\text{DSP})} + t_{oh(\text{DSP})} - t_{ih(\text{SDRAM})}) / 2 \quad (8)$$

由式(5)可得

$$t_{\text{Data Route Delay}(\text{Slowest})} \leq t_{\text{Clock Route Delay}} + t_{osu(\text{DSP})} - t_{isu(\text{SDRAM})},$$

又 $t_{\text{Data Route Delay(Slowest)}} \geq t_{\text{Data Route Delay(Fastest)}}$, 推出

$$t_{\text{Data Route Delay(Fastest)}} \leq t_{\text{Clock Route Delay}} + t_{\text{osu(DSP)}} - t_{\text{isu(SDRAM)}} \quad (9)$$

由式(4),(5)得

$$t_{\text{Clock Route Delay}} \geq t_{\text{ih(DSP)}} - t_{\text{oh(SDRAM)}} - t_{\text{Clock Route Delay}} - t_{\text{osu(DSP)}} + t_{\text{isu(SDRAM)}} \quad (10)$$

即 $t_{\text{Clock Route Delay}} \geq$

$$(t_{\text{ih(DSP)}} - t_{\text{oh(SDRAM)}} - t_{\text{osu(DSP)}} + t_{\text{isu(SDRAM)}}) / 2.$$

由式(8)和式(10)得出

$$(t_{\text{ih(DSP)}} - t_{\text{oh(SDRAM)}} - t_{\text{osu(DSP)}} + t_{\text{isu(SDRAM)}}) / 2 \leq t_{\text{Clock Route Delay}} \leq (t_{\text{Clock Period}} - t_{\text{ACC}} - t_{\text{isu(DSP)}} + t_{\text{oh(DSP)}} - t_{\text{ih(SDRAM)}}) / 2 \quad (11)$$

由式(11)可见,时钟线的传输延时必须在某一范围之内,才能满足 DSP 与 SDRAM 间的时序参数要求,较短的时钟线增加控制信号线到 SDRAM 的保持时间,但却减少从 SDRAM 来的数据保持时间;较长的时钟线减少控制信号线到 SDRAM 的保持时间,但却增加从 SDRAM 来的数据保持时间.在设计高速同步时序电路时应该仔细考虑、规划时钟信号线,一旦时钟信号线的布线确定下来,控制线和数据线的布线长度应该满足上述约束条件才行.

3.2.3 时序关系的实例验证

下面以 TMS320C6202 DSP 和 MT48LC2M32B2

SDRAM 相连为例来说明如何应用上述时序约束关系.

(1) TI 的 TMS320C6202 DSP 和 MICRON 的 MT48LC2M32B2 SDRAM 主要参数如表 1 所示.

表 1 主要参数表 (单位: ns)

控制线		数据线读		数据线写	
$t_{\text{osu(DSP)}}$	$P-0.9$	$t_{\text{osu(DSP)}}$	$P-1.5$	$t_{\text{isu(DSP)}}$	1.2
$t_{\text{oh(DSP)}}$	$P-2.9$	$t_{\text{oh(DSP)}}$	$P-2.8$	$t_{\text{ih(DSP)}}$	2.7
$t_{\text{isu(SDRAM)}}$	2	$t_{\text{isu(SDRAM)}}$	1.5		
$t_{\text{ih(SDRAM)}}$	1	$t_{\text{ih(SDRAM)}}$	1	$t_{\text{oh(SDRAM)}}$	2

其它参数的值分别为: $P=4\text{ns}$ (时钟周期), $t_{\text{ACC}}=5.5\text{ns}$, $t_{\text{Clock Period}}=8\text{ns}$.

将上述参数代入上述不等式(11)可得

$$0 \leq t_{\text{Clock Route Delay}} \leq 0.75\text{ns}.$$

(2) 验证时序关系

在初步布好线后,首先进行信号完整性仿真,若信号完整性不满足,再重新布局、布线;信号完整性满足时,便可以分析时钟、控制和数据信号线的传输延时了.首先检查时钟线是否满足约束条件,然后再看其它信号是否满足时序约束条件,如有个别信号线不满足可手动调整,否则还要重新布局、布线和仿真.经 PSD14.2 软件仿真得出了相关管脚对间的传输延时情况,如表 2 所示.

表 2 相关管脚对间的传输延时

线网名称	管脚对	传输延时(ns)	线网名称	管脚对	传输延时(ns)
XNet;A2	U88. V26; U89. 25	0.324004	XNet;D15	U89. 85; U88. AC14	0.426849
XNet;D0	U88. AF21; U89. 2	0.312854	XNet;D27	U89. 50; U88. AC10	0.575496
XNet;D4	U89. 8; U88. AD18	0.373108	XNet;D31	U89. 56; U88. AD8	0.587291
XNet;D5	U89. 10; U88. AC17	0.408676	XNet;BE0	U88. Y25; U89. 16	0.341517
XNet;D6	U89. 11; U88. AE18	0.399017	XNet;BE1	U88. AA26; U89. 71	0.25945
XNet;D7	U89. 13; U88. AF18	0.394301	XNet;BE2	U88. W23; U89. 28	0.340782
XNet;D8	U89. 74; U88. AC16	0.44654	XNet;BE3	U88. Y24; U89. 59	0.26648
XNet;D11	U89. 79; U88. AE16	0.428235	XNet;SDCLK	U88. AC19; U89. 68	0.293031

注: U88 代表 TMS320C6202 DSP, U89 代表 SDRAM.

从表 2 可以得出(见表中黑体部分)

$$t_{\text{Clock Route Delay}} = 0.293031\text{ns},$$

$$t_{\text{Control Route Delay(Slowest)}} = 0.587291\text{ns},$$

$$t_{\text{Control Route Delay(Fastest)}} = 0.25945\text{ns},$$

$$t_{\text{Data Route Delay(Slowest)}} = 0.44654\text{ns},$$

$$t_{\text{Data Route Delay(Fastest)}} = 0.312854\text{ns}.$$

将以上数据代入上述约束条件不等式,发现时钟信号、控制信号和数据信号的建立与保持时间都能够满足要求.

已采用上述方法进行多次设计和实验验证,证明 DSP 都能够稳定、可靠、正确地读写 SDRAM,这充分说明了本文对信号布线时序分析是正确的,应用方法是可行的.本文对于高速数字电路布线的时

序分析及其解决方法有着重要的理论和方法上的指导意义,可使用户在设计高速 PCB 时提高成功率.

4 面向 DSP 的软件优化

由于 TMS320C6202 DSP 的体系结构和存储器资源与 PC 机不同,将 PC 机上运行高效的软件向 DSP 移植时,必须针对 DSP 的并行和流水特点^[6]以及有限的存储器资源^[3]进行软件优化,才能使软件高效运行,否则运行效率会大大降低.本文主要在如下三个方面进行了优化.

4.1 面向 DSP 的 MPEG 编码器结构优化

(1) 改进 GOP 结构,去掉 B 帧

MPEG 编码器以图像组 GOP(Group of Pictures)为单位进行编码,GOP 的结构如图 7 所示. I 图像只采用了帧内压缩编码. P 图像通过参考前面的 I 图像或 P 图像进行编码. B 图像通过参考相邻

的 I、P 图像或 P、P 图像进行编码,因此 B 图像也带来了延迟增加、复杂性增高、需要更多的缓存等优点. 为此,在本编码器中去掉 B 帧图像,而只保留 I 帧和 P 帧图像.

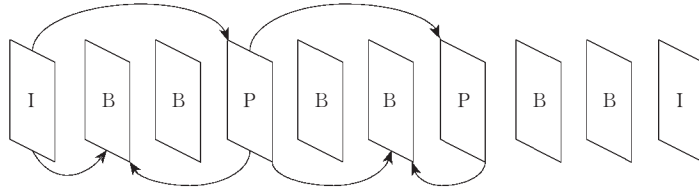


图 7 GOP 结构示意图

(2)基于宏块组 GOMB 进行视频编码

在基于帧的编码器结构中,每次对整帧视频数据进行处理,这种结构在存储资源有限的嵌入式系统上实现时将会严重影响编码器的效率,本文针对 DSP 的存储资源特点,提出了基于 GOMB(Group of Macro Block)的编码器结构. 每次只将当前编码帧中一定数目的宏块数据、参考帧中对应的宏块以及这些宏块搜索窗口中的数据读入到 DSP 片内快速存储器进行处理,提高了系统处理速度.

4.2 基于 DSP 的 DMA 数据传输优化

由于视频数据量巨大,数据传输时间比较长,因

此应该尽量使用 DMA 传输数据,使得数据传输与 DSP 的核处理并行进行. 为减少对片内存储器的存取冲突应合理安排数据存储位置并选择适当的时机进行 DMA 数据传输. 本文将压缩编码过程分解为运动估计、运动预测、计算预测残差、DCT 变换、量化以及生成重建 GOMB 6 个部分,然后将参考 GOMB、采集 GOMB、压缩码流和重建 GOMB 的数据交换过程与编码过程交织在一起,从而实现了 DSP 中 CPU 与 DMA 的高度并行. 由图 8 可以看出,该方案将 DMA 传输数据尽量安排在 CPU 后台进行,从而使步骤 5,7,9,11,13,15 的计算过程分别

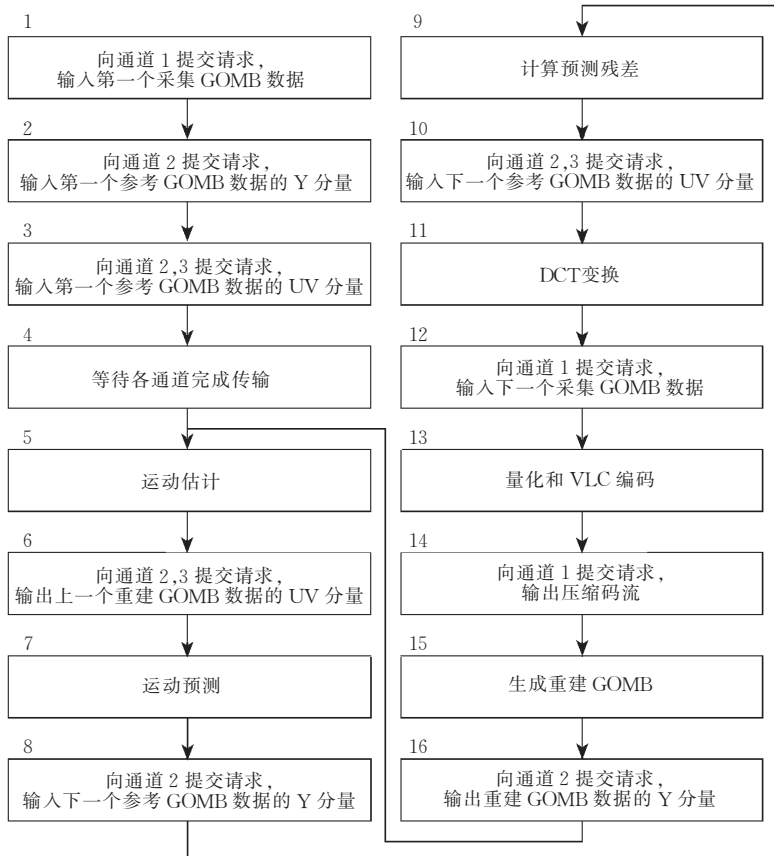


图 8 基于 GOMB 的 DMA 优化传输流程图

与步骤 6,8,10,12,14,16 的数据传输过程实现了并行,因此有助于提高系统整体处理效率.

4.3 基于 DSP 的编码器的代码优化

本文中代码优化主要采取了如下方法:

(1)通过设置编译器的优化选项,来让编译工具自动完成对 C 代码的优化. C6000 编译器提供的优化级别共分五级,分别是寄存器级优化(-o0 选项)、局部级优化(-o1 选项)、函数级优化(-o2 选项)、文件级优化(-o3 选项)和程序级优化(-o3+-pm 选项)^[6,9~11]

(2)利用 Intrinsics 函数. C6000 编译器提供的 Intrinsics 函数是直接映射为一条汇编指令的特殊函数. 它提供了标准的 C 接口,可以在 C 代码中直接调用. 使用这种技术简化了 C 和汇编的混合编程,而且优化后的 C 代码可以达到汇编代码的效果. 在所提供的函数中,有一些函数对应的指令特别适合应用在视频压缩算法中. 这类指令采用 SIMD (Single Instruction Multiple Data) 技术,使用一条指令可以同时处理多个数据元素,从而加速了数据处理的速度. 例如, `_add2()` 函数对应的 ADD2 指令,就能在一个时钟周期内完成两个 16 位加法.

(3)用字访问短型数据. 当对一连串短型数据(短整型和字节类型)进行操作时,可使用字(整型)一次访问 2 个短整型数据或 4 个字节类型数据,从而减少对存储器的访问次数. 在视频压缩算法中,图像数据大多是按字节存储,而且图像数据量非常巨大,这导致存储器的访问对 CPU 性能影响很大. 尽可能减少程序中存储器的访问次数,可极大提高编码器的性能.

(4)软件流水和循环展开. 软件流水是用来安排循环指令,使这个循环的多次迭代并行执行的一种技术. 当资源没有被充分利用时,可通过展开循环来提高性能^[6,9~11].

优化计算宏块方差函数时就综合运用了上述方法,该函数中的核心代码段如下:

```
for(j=0; j<16; j++)
{
    for(i=0; i<16; i++)
    {
        v = *p++;
        s += v;
        s2 += v * v;
    }
    p += slicewidth - 16;
}
```

优化后的代码为:

```
for(j=0; j<16; j++)
{
    for(i=0; i<4; i++)
```

```
{
    v = i_p[i];
    byte1_v = _extu(v, 24, 24);
    /* extract the first byte of the word and zero extend */
    byte2_v = _extu(v, 16, 24);
    /* extract the second byte of the word and zero extend */
    byte3_v = _extu(v, 8, 24);
    /* extract the third byte of the word and zero extend */
    byte4_v = _extu(v, 0, 24);
    /* extract the fourth byte of the word and zero extend */
    s_1 += byte1_v + byte2_v;
    s_2 += byte3_v + byte4_v;
    s2_1 += _mpyu(byte1_v, byte1_v);
    s2_2 += _mpyu(byte2_v, byte2_v);
    s2_3 += _mpyu(byte3_v, byte3_v);
    s2_4 += _mpyu(byte4_v, byte4_v);
}
i_p += slicewidth >> 2;
}
```

在优化之前的代码中,内循环每次迭代需要执行 16 次取字节操作,不仅浪费了数据带宽,而且无法形成流水,为了对内循环进行软件流水,可以将内循环充分展开. 由于宏块每行像素的首地址都能保证字对齐,因此可以按字来访问像素数据,每次迭代只需执行 4 次取字操作,存储器的访问次数大大减少. 为了进一步提高代码的执行效率,本文使用 Intrinsics 函数 `_extu()` 从字中提取每个字节,使用 Intrinsics 函数 `_mpyu()` 完成字节乘法,从而大大提高运算速度.

本文作了许多代码优化工作,表 3 列出了几项主要函数优化前后的性能对比情况.

表 3 几项主要函数优化前后的性能对比情况

函数名称	单次调用 CPU 周期数		性能提高比 (%)
	优化前	优化后	
Dist1	746	289	61.3
Variance	284	183	35.6
Motion_estimation	58518	33737	42.3

5 实验结果和总结

本文进行了两套编码器的实验,其中:第一套实验硬件采用主频为 250MHz 的 TMS320C6202 DSP,压缩算法采用改进的 MPEG-2,实验结果见表 4. 该编码器已经通过了低温、振动、冲击、电磁兼容性等多种恶劣环境试验,运行正常稳定,能够进行多种模式的压缩编码. 第二套实验硬件采用主频为 600MHz 的 TMS320C6416 DSP,压缩算法采用改进的 MPEG-4,实验结果见表 5. 采用本文方法设计的编

码器不仅可靠性高、速度快、成本低、体积小、功耗低、环境适应性强、可适应不同信道并可压缩多种不同大小的灰度/彩色图像,而且由于采用通用 DSP 作为核心处理单元,系统灵活性和可扩展性好,便于根据应用要求形成性能不同、压缩算法不同的系列化视频编码器,另外该编码器硬件还可用于多种视频处理场合,如车牌识别等,有着广泛的应用前景.

表 4 第一套编码器性能测试结果

信道码速率 (Kbps)	图像分辨率	黑白图像压缩帧率 (帧/秒)	彩色图像压缩帧率 (帧/秒)
1974	720×576	13	10
	352×288	25	25
230	720×576	3	2
	352×288	12	8

表 5 第二套编码器性能测试结果

信道码速率 (Kbps)	图像分辨率	灰度图像压缩帧率 (帧/秒)	彩色图像压缩帧率 (帧/秒)
1974	720×576	22	18
230	352×288	25	25

参 考 文 献

- 1 Shen Lan-Sun, Zhuo Li, Tian Dong, Wang Kong-Qiao. Video Encoding and Low Bit Rate Transmission. Beijing: Publishing House of Electronics Industry, 2001(in Chinese)
(沈兰荪,卓力,田栋,汪孔桥. 视频编码与低位率传输. 北京: 电子工业出版社, 2001)
- 2 Niu Jian-Wei. Research and implementation on key technology of video compression and transmission[Ph. D. dissertation]. Beihang University, Beijing, 2002(in Chinese)



LI Bo, born in 1966, professor, Ph. D. supervisor. His research interests include digital video processing, multimedia, intelligent information processing and embedded digital image processor.

Background

The work is supported by the National Natural Science Foundation of China "Video Compression, Transmission and Storage" and "Motion Estimation and Entropy Encoding in Video Compression and Surveillance System", the Fok Ying Tong Education Foundation "Optical Flow Estimation Based on Wavelet" and the Doctoral Education Foundation of MOE "Motion Object Detection in Complex Background". These projects aim to provide various effective and fast video compression methods, and to study their implementation technologies for different application environments.

The research group has presented fast motion estimation

(牛建伟. 视频压缩与传输关键技术研究及实现[博士学位论文]. 北京航空航天大学, 北京, 2002)

- 3 Lappalainen V. *et al.*. Performance of H. 26L video encoder on general-purpose processor. In: Proceedings of the International Conference on Consumer Electronics, Los Angeles, 2001, 266~267
- 4 McVeigh J. *et al.*. A software-based real-time MPEG-2 video encoder. IEEE Transactions on Circuits and Systems for Video Technology, 2000, 10(10): 1178~1184
- 5 Miyazaki T. *et al.*. Real-time software video encoder on a multimedia RISC processor. In: Proceedings of the IEEE Workshop on Signal Processing Systems, Cambridge, Massachusetts, 1998, 33~42
- 6 Ren Li-Xiang, Ma Shu-Fen, Li Fang-Hui. The Principle and Application of TMS320C6000 DSPs. Beijing: Publishing House of Electronics Industry, 2000(in Chinese)
(任丽香,马淑芬,李方慧. TMS320C6000 系列 DSPs 的原理与应用. 北京: 电子工业出版社, 2000)
- 7 Texas Instruments Inc. . TMS320C6000 Peripherals Reference Guide, 2001
- 8 Hall S. H. , Hall G. W. . John High-Speed Digital System Design. Wiley&Sons, Inc. , 2000
- 9 Texas Instruments Inc. . TMS320C6000 Optimizing C Compiler User's Guide, 2002
- 10 Li Wei. Research of video coding and DSP-based implementation[Ph. D. dissertation]. Beihang University, Beijing, 2003 (in Chinese)
(李 炜. 视频编码技术及其在 DSP 上的实现研究[博士学位论文]. 北京航空航天大学, 北京, 2003)
- 11 Feng Yu-Hong. Studies on rate control and motion estimation and their DSP implementations[M. S. dissertation]. Beihang University, Beijing, 2003(in Chinese)
(冯宇红. 速率控制和运动估计的研究及其在 DSP 上的实现[硕士学位论文]. 北京航空航天大学, 北京, 2003)

GE Bao-Shan, born in 1967, Ph. D. candidate. His research interests include digital video processing, computer network and embedded system.

LI Wei, born in 1973, lecturer, Ph. D. . His research interests include video coding, multimedia systems and VLSI design for video coding.

YAO Chun-Lian, born in 1973, Ph. D. candidate. Her research interests include video coding and motion detection.

algorithm based on smooth motion vector field(SMVFAST), half-pixel fast motion estimation algorithm based on smooth motion vector field(HSMVFAST) and scene adaptive forward rate control algorithm(SAFRC). They have developed high-speed digital image/video processing hardware and concluded a solution to high-speed digital video encoding circuit design also. The paper investigates a series of hardware and software key technologies about video compression, furthermore designs and implements a kind of multi-modal video encoder using general high speed DSP.