

文章编号: 1002-0411(2002)05-473-04

卷积编码及基于 DSP 的 Viterbi 译码器设计

赵 冰

(同济大学中德学院信号与信息处理专业 上海 200092)

摘 要: 卷积编码是前向纠错的差错控制编码方法之一, Viterbi 译码是卷积码的一种杰出的译码算法, 它是一种最大似然算法, 适于硬件实现. 本设计中的 Viterbi 译码器是构建在台湾智源科技的 DSP 芯片 FD216 之上的. 在对 Viterbi 译码器测试时取一幅图像文件作为数据源, 并用软件方法模拟高斯白噪声信道. DSP 芯片卓越的性能为我们提供了更深入的开发潜力.*

关键词: 前向纠错; 卷积码; Viterbi 算法; 最大似然函数; 高斯白噪声; DSP

中图分类号: TP14

文献标识码: B

CONVOLUTIONAL CODING AND VITERBI DECODER BASED ON DSP

ZHAO Bing

(CDHK, Tongji University, Shanghai 200092)

Abstract: Convolutional coding is a forward error correction technique. Viterbi algorithm, which bases upon Maximum-Likelihood estimation, is an outstanding decoding algorithms used with convolutional code. Viterbi algorithm is suited for hardware implementation. In this thesis, we concentrate on how to implement a Viterbi decoder with DSP. To test the decoder, we take a BMP file as the data source, and simulate an AWGN channel in software. This can be widely used in digital communications applications.

Keywords: FEC, Convolutional coding, Viterbi algorithm, Maximum-Likelihood function, AWGN, DSP

1 差错控制编码的概述(Summary of error control coding)

数字信息在有噪声的信道中传输时, 受到噪声的影响, 误码总是不可避免的. 根据香农信息理论, 只要使 E_s/N_0 足够大, 就可以达到任意小的误码率. 采用差错控制编码, 即信道编码技术, 可以在一定的信噪比条件下有效地降低误码率.

差错控制编码的基本做法是: 在发送端被传输的信息序列上附加一些监督码元, 这些多余的码元与信息码元之间以某种确定的规则相互关联(约束). 接收端按照既定的规则检验信息码元与监督码元之间的关系, 一旦传输过程中发生错误, 信息码元与监督码元之间的关系将受到破坏, 从而发现错误, 乃至纠正错误.

差错控制编码有两种最基本的方法, 一种是自动重发请求(ARQ)方式, 接收端能通过检验约束关系发现错误, 然后通知发送端重新发送出错的部分;

另一种是前向纠错(FEC)方法, 接收端能根据接收序列的具体情况, 猜测出发送端最有可能发送的序列. FEC 不需要反馈信道, 不要求检错重发, 因而延时小, 实时性好.

卷积码和分组码是差错控制编码的两种主要形式, 卷积码处理连续数据, 一次处理 1 位或几位, 分组码处理一个相当大的消息块(一般可以到几百字节). 在编码器复杂度相同的情况下, 卷积码的性能优于分组码, 如今卷积码被使用于几乎所有的无线通信标准中, 如 GSM、IS-95、3GPP 和 CDMA2000 等, 也可以应用在有线的数字视频广播(DVB)系统中.

2 卷积编码(Convolutional encoding)

卷积码不是把信息序列分组后再进行单独地编码, 而是由连续输入的信息序列得到连续输出的已编码序列. 卷积码通常用 2 个参数来描述: 码率 (code rate) 和约束长度 (constraint length): 码率 $k/$

* 收稿日期: 2002-02-10

n 是在 1 个编码周期内进入卷积编码器的位数 k 与卷积编码器输出的码元数 n 的比值. 约束长度 K 表示了编码器的长度, 即: 多少个 k 位的段可供输入组合逻辑. 通常把卷积码记作 (n, k, K) .

卷积码的 k 和 n 通常很小, 特别适宜于以串行形式传输信息, 延时小. 与分组码不同, 卷积码中编码后的 n 个码元不但与当前段的 k 个信息有关, 而且与前面 $K - 1$ 段的信息有关. 另一点不同的是: 分组码有严格的代数结构, 但卷积码至今尚未找到如此严密的数学手段, 把纠错性能与码的构成十分有规律地联系起来, 目前大都采用计算机来搜索好码.

卷积码编码器的一般形式如图 1 所示, 它包括:

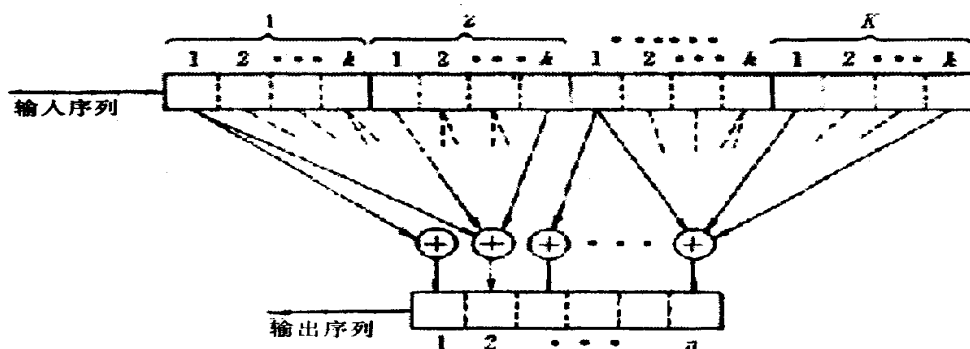


图 1 卷积码编码器的一般结构图

Fig. 1 Convolutional encoder

表 1 不同码率和约束长度的卷积码生成多项式

Tab. 1 Generator polynomials of different convolutional coding

	$K = 3$	$K = 4$	$K = 5$	$K = 6$	$K = 7$	$K = 8$	$K = 9$	$K = 15$
1/2 码率	0×7	$0 \times f$	0×13	$0 \times 2f$	$0 \times 6d$	$0 \times 9f$	$0 \times 1af$	$0 \times 45dd$
	0×5	$0 \times b$	$0 \times 1b$	0×35	$0 \times 4f$	$0 \times e5$	$0 \times 11d$	$0 \times 69e3$
1/3 码率	0×7	$0 \times f$	$0 \times 1f$	$0 \times 2f$	$0 \times 4f$	$0 \times ef$	$0 \times 1ed$	
	0×7	$0 \times b$	$0 \times 1b$	0×35	0×57	$0 \times 9b$	$0 \times 19b$	
	0×5	$0 \times d$	0×15	0×39	$0 \times 6d$	$0 \times a9$	0×127	

在信息比特编码完毕后, 需要再输入 $m = K - 1$ 个 0, 以清空移位寄存器, 使寄存器的内容处于已知的状态, 以便对数据进行解码. 对这 m 个 0 的编码, 产生的 $2m$ 个码元称为 flushing 位, 与编码后的信息比特一起发送.

本设计中采用工业应用中常见的码率为 1/2、约束长度为 7 的卷积码, 生成多项式为 $\{0 \times 6d, 0 \times 4f\}$, 可以有效地降低误码率.

一个由 K 段组成的输入移位寄存器, 每段有 k 级; 一组由 n 个模 2 加法器组成的组合逻辑; 一个由 n 级组成的输出移位寄存器. 移位寄存器中的内容称为当前的编码状态, 共有 2^{K-1} 个编码状态.

下面以无符号整型数组的形式给出了一些常用的卷积码生成多项式, 在这里生成多项式是指 n 个向量, 每个向量对应于 n 个模 2 加法器中的一个. 每个向量指明了编码器和模 2 加法器之间的连接关系: 向量的第 i 个元素为 1, 表示连到了对应的移位寄存器, 为 0 时表示未连接. 计算机模拟证明, 当码率和约束长度给定时, 它们具有能够得到的最大的自由距, 因而可以认为是好码.

3 卷积码的最佳译码算法——Viterbi 译码 (Viterbi decoding algorithm)

任何信息序列和码序列将与网格图中的唯一一条路径相联系, 而卷积译码器的工作就是找到网格图中的这一条路径. 解卷积码的技术有许多种, 包括 Fano 序列译码、堆栈算法、反馈译码等, 而其中最重要的是 Viterbi 算法, 它由美国 Qualcomm 公司的创始人 Andrew J. Viterbi 在 1967 年首先提出.

V ite r b i 译码采用最大似然算法, 能达到最佳误码率, 特别适用于加性高斯白噪声信道(AWGN, additive white gaussian noise)的前向纠错, 而且其运算量完全可以接受。

我们把编码器发送序列和译码器接收序列的联合条件概率(似然函数)作为选择路径的标准, 称为量度(Metric)。V ite r b i 译码可以采用硬判决, 也可以采用软判决的方法, 通常在硬判决时采用汉明距(Hamming Distance), 而软判决时采用欧几里德距(Euclidean Distance), 来作为计算支路长度的度量, 它们都能反映码和码之间的区别程度。在卷积码网格图上的两条路径之间进行判决的准则是选取支路的似然函数累加和最大的一条路径, 它使得正确判决的概率最大, 或等效于使信息比特序列的差错率最小, 在这个意义上, 这种译码器是最佳的。

卷积码的移位寄存器共有 $2^{k(k-1)}$ 种状态, 在网格图上每 2^k 个状态有条支路引入也有 2^k 条支路引出。讨论 $k=1$ 的情形: 设 $t=0$ 时刻移位寄存器的初始状态为全 0; 由网格图的前 $K-1$ 条连续支路构成的路径互不相交, 在 $t=K-1$ 时刻, 最初的 2^{k-1} 条各不相同的路径分别到达 2^{k-1} 个节点; 当接收到第 K 条支路时, 每条路径都有 2 条支路延伸到第 K 级节点上; 我们把每个节点上延伸出的两条支路的量度值分别加到该节点原来的累积量度值上, 并进行比较, 选择较小的值作为该状态新的累积量度值存储起来, 具有较小累积量度的路径被称为“幸存”路径(Survivor), 其他的路径被丢弃, 经挑选后第 K 级只剩下了 2^{k-1} 条幸存路径。这一译码过程中被称作“加比选”操作, 它是 V ite r b i 算法的基本操作。在执行每一级的译码时, 计算量将随着 k 与 K 呈指数增长, 因此 V ite r b i 算法的应用局限于 k 和 K 较小的场合。

在对一个卷积码的长序列进行译码时, 译码延时将会很长。因此需要找到一种方法, 使 V ite r b i 译码算法既能保持一个固定的译码延时, 又对算法的最佳性能没有显著影响。对算法的修改办法是: 在任一给定的时间 t 内, 仅保留每条幸存路径中最新的 M 个译码信息比特。当收到每一个新的信息比特时, 译码器对各幸存支路的累积量度进行比较, 找出具有最大对数似然函数的幸存路径, 再在网格图上回退 M 个时间窗, 将该时刻幸存路径上的比特判决为接收比特的译码输出。这一过程称为“回溯”运算(Trace back), 而 M 称为译码深度。在实际应用中, 通常取 M 为 5 倍的编码约束长度, 更长的译码深度

对译码器性能的改善趋近饱和, 反而增加了译码延时和存储器数目。

本设计是基于 FD216DSP 芯片, 它是台湾智原科技(Faraday)公司推出的一款 16 位单片 DSP 微处理器, 适用于数字信号处理和其他高速算法处理的应用。FD216 的指令集支持灵活的数据移动和多功能操作(Multifunction), 每条指令都可以在 CPU 的一个周期内完成。FD216 微处理器的卓越功能和强大的指令集非常适合于高速 V ite r b i 译码器的 DSP 算法实现。智原公司还为 DSP 的调试仿真提供了一系列丰富的开发工具, 使得 V ite r b i 译码算法程序的开发和调试变得非常容易。

基于 DSP 设计的 V ite r b i 译码器分为支路量度计算、加比选运算、回溯运算三个主要的运算单元。对于数字通信来说, 软判决比硬判决总有大约 2dB 的性能改善, 这里取软判决量化的位数为 3 比特, 更多位数的软量化对性能的提高并无明显的帮助, 3 比特软量化过程如图 2 所示。

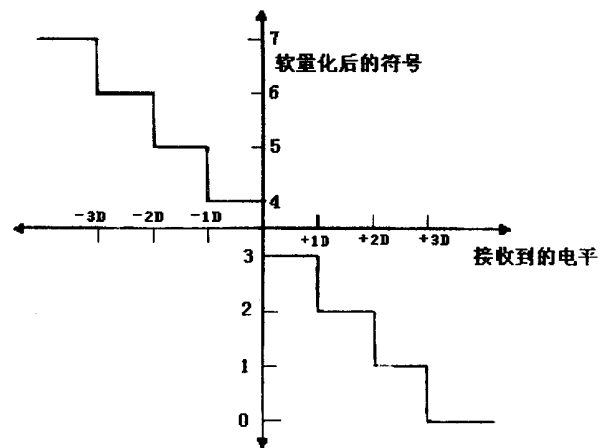


图 2 三比特均匀量化

Fig. 2 3-bit quantization

这里的 D 为软判决量化的分层电平, D 的值与信道的信噪比相关联, 可取为噪声标准差的 $1/2$ 。量化器的最大量化电平为 $3D$, 所接收的最强烈的正信号判为 0, 最强烈的负信号判为 7, 当接收电平超过 $(-3D, 3D)$ 范围时, 称为量化器过载, 此时将接收符号判决为 0 和 7。

在量度计算时采用欧几里德距, 它可以理解为接收到的码元在量度坐标图上距离 00、11、01、10 的几何距离。为了简化计算, 可以将软量化后的值与 00、11、01、10 四点的矢量和作为分支量度值, 来代替几何距离。这样就避免了大量的乘法计算, 降低了硬件的复杂度, 实际上用这种方法来计算分支量度

对 Viterbi 译码器性能影响不大, 完全可以满足设计要求。

加比选单元是 Viterbi 译码器的核心单元, 它的主要功能是取出当前状态的量度值, 分别与其两个后续支路的量度相加并比较, 选择较小的一个作为后续状态的量度, 并保存幸存支路。运算前首先要生成后续状态表 $next_state$ 和支路输出表 $branch_output$, 它们的作用为:

$next_state$ 表: 已知当前状态, 得到两个可能的后续状态;

$branch_output$ 表: 已知当前状态和确定的后续状态, 得到译码器的输出。

这两个表与卷积编码器的形式密切相关, 已知卷积编码器的生成多项式, 即可以通过状态值的移位事先用软件来找到, 存储在 DSP 的片上 RAM

中。

在接收 35 个信息比特后, 对每个时间窗进行 $Traceback$ 操作, 输出一位译码结果, 回溯操作先在 2^{K-1} 个状态节点中找到累积量度值最小的一个, 把它作为 $Traceback$ 的起点。然后从这个最小量度节点开始, 查找上一个状态节点, 以此类推, 得到一条完整的幸存路径, 它的长度就是译码深度。将幸存路径的第一条支路作为译码输出, 这样 Viterbi 译码器就可以连续不断地进行译码操作。

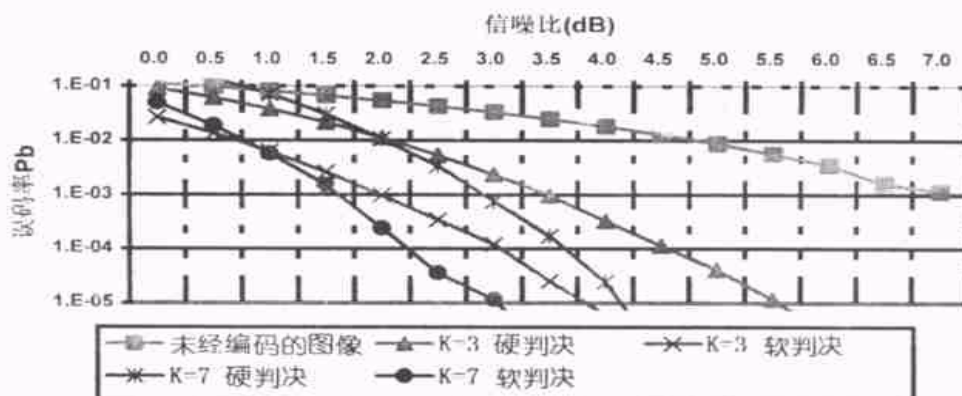
4 测试结果和结论 (Testing of the decoder)

下面的表格中显示了本系统经测试的结果, 可以看到采用不同约束长度的卷积编码, 以及译码时判决量化方式的不同, 对误码率的影响有着显著的不同。

表 2 采用不同约束长度以及判决方式的 Viterbi 译码结果

Tab. 2 Simulation results for rate 1/2 convolutional coding with viterbi decoding

在不同信噪比下的误码率比较



在同一块 DSP 芯片上还可以集成 RS 译码算法, 使之成为具有独立功能的数字接收器部分, 当采用约束长度为 7、量化精度为 3 比特的软判决 Viterbi 译码算法时, 可以将信道误码率降到一个相当低的水平。它还具有速率高、功耗低, 以及体积小(在单片上实现)等优点, 有着广阔的应用前景。

参 考 文 献 (References)

- 1 S L in, D J Costello. 差错控制编码基础和应用. 人民邮电出版社, 1981
- 2 曹志刚, 钱亚生. 现代通信原理. 清华大学出版社, 1992
- 3 John G. Proakis. Digital Communications (Third Edition). 1995

- 4 Theodore S. Pappaport. Wireless Communications Principles and Practice. 1999
- 5 杨大成等. CDMA2000 技术. 北京邮电大学出版社, 2000
- 6 Joachim Hagenauer. Digitaler Mobilfunk
- 7 Chip Fleming. A Tutorial on Convolutional Coding with Viterbi Decoding, Jan. 1999
- 8 Faraday Technology. FD216 16-bit DSP Microcomputer Data Sheet (version 1.36), 2001

作者简介

赵冰(1976-), 男, 硕士研究生. 专业方向为信号与信息处理, 从事信道编码及 DSP 设计等方面的研究。