

博士论文

系统芯片IP核透明路径构建中的可测性分析

邢建辉, 王 红, 杨士元, 成本茂

(清华大学自动化系, 北京 100084)

收稿日期 修回日期 网络版发布日期 2007-1-29 接受日期

摘要 系统芯片的设计方法为测试技术带来新挑战。知识产权模块(IP核)测试访问机制成为测试复用的关键。构建IP核透明路径会对电路的故障覆盖率产生影响。基于门级透明路径的构建方法,通过分析插入电路的控制门和多路器的激活和传播条件,对路径构建对于IP核单固定型故障覆盖率的影响进行分析,给出可测性条件和故障覆盖率的计算公式,无需故障仿真即可估计构造透明路径后电路的故障覆盖率。通过故障仿真实验,证明该故障覆盖率的分析和计算方法是有效的。

关键词 [系统芯片](#) [测试访问机制](#) [透明路径](#) [IP核](#) [可测性分析](#)

分类号

DOI:

通讯作者:

作者个人主页: 邢建辉;王 红;杨士元;成本茂

扩展功能

本文信息

▶ [Supporting info](#)

▶ [PDF](#)(OKB)

▶ [\[HTML全文\]](#)(OKB)

▶ [参考文献\[PDF\]](#)

▶ [参考文献](#)

服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [引用本文](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

相关信息

▶ [本刊中 包含“系统芯片”的 相关文章](#)

▶ 本文作者相关文章

· [邢建辉, 王 红, 杨士元, 成本茂](#)