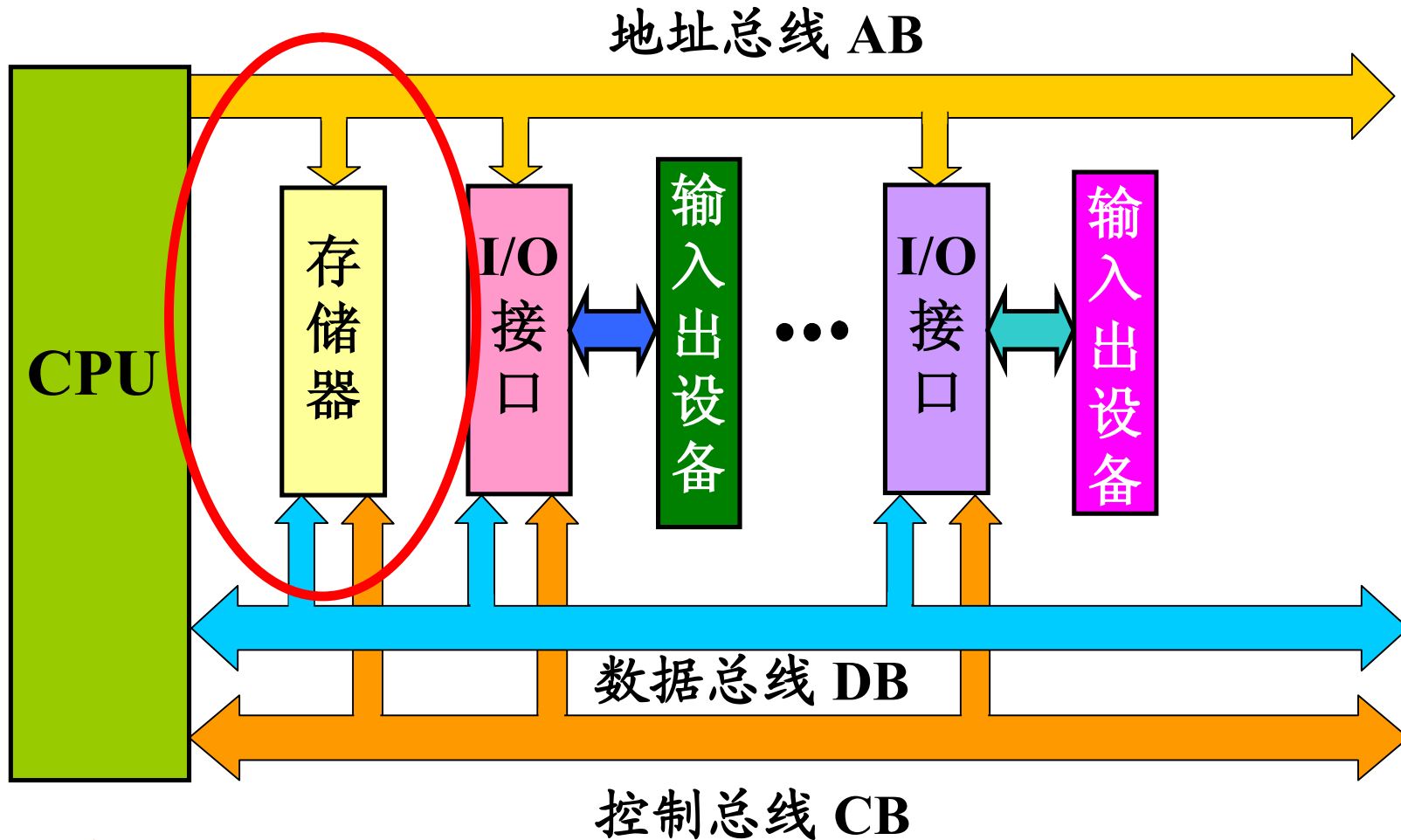




# 第四章 存储器 (Memory)





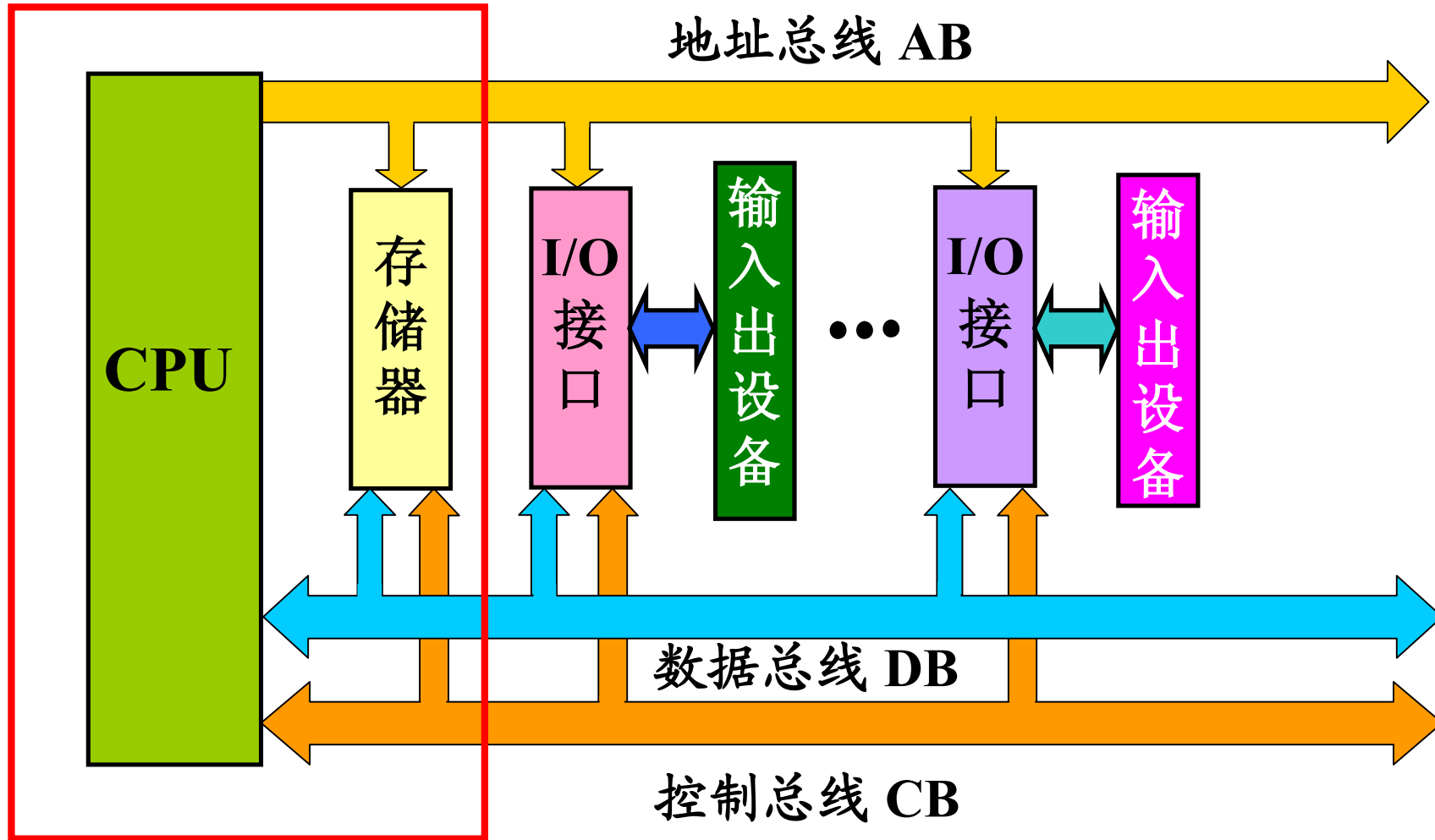
# 第四章 存储器 (Memory)

## 主要内容

- 1、存储器——分类和特点  
(ROM/RAM/FLASH) (概念)
- 2、内存储器与CPU的连接
- 3、IBM-PC系列机的存储器 (内存) 组织



# 微型计算机中存储器的位置与作用

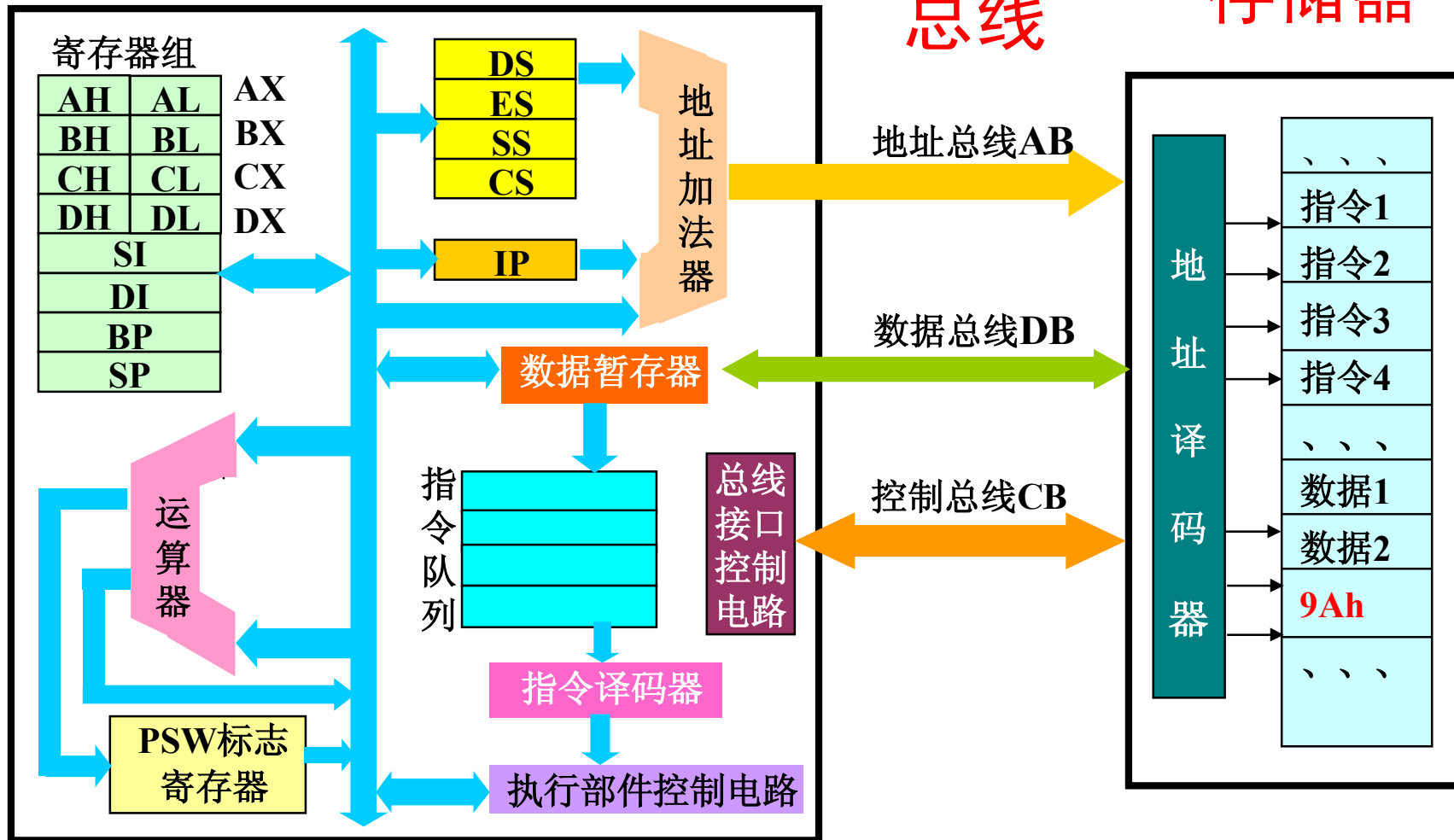


微机的最基本部分



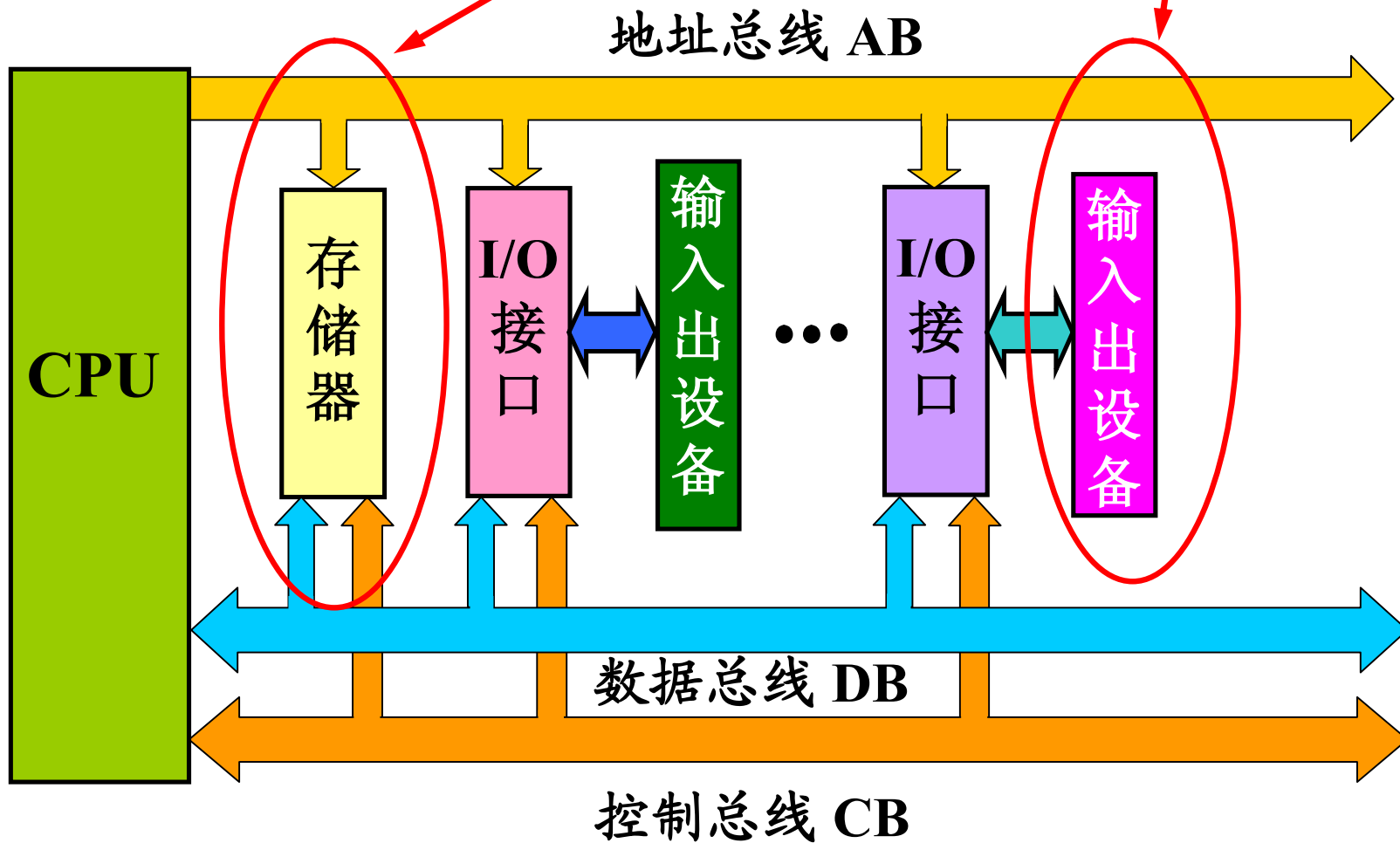
# 微机的最基本部分

## CPU (微处理器)





# 微型计算机中内存存储器与外存储器





# 存储器的分类和存储介质

**存储器**（计算机实现大容量记忆功能的核心部件）

→按位存放，具有记忆功能，可读写

## 存储器的分类：

内存储器——内存，半导体存储介质

外存储器——外存，各种存储介质

## 外存储器：

各种存储介质：

磁：磁化

光：凹坑(激光反射)

电：半导体存储器，电子磁盘

与MPU接口：串/并行Serial/Parallel电路



# 半导体存储器分类

根据运行时存取（读写）过程的不同分类

半导体存储器  
Memory

只读存储器  
ROM

掩膜ROM  
可编程ROM (PROM)  
UV可擦除PROM (EPROM)  
OTP-ROM (One-Time PROM)  
快闪ROM (FLASH-ROM: 整片/块)  
电可擦除PROM (E<sup>2</sup>PROM) (字节、页)

随机存取存储器  
RAM

双极型RAM  
MOS型RAM

+SRAM →  
+BATT →

NVRAM

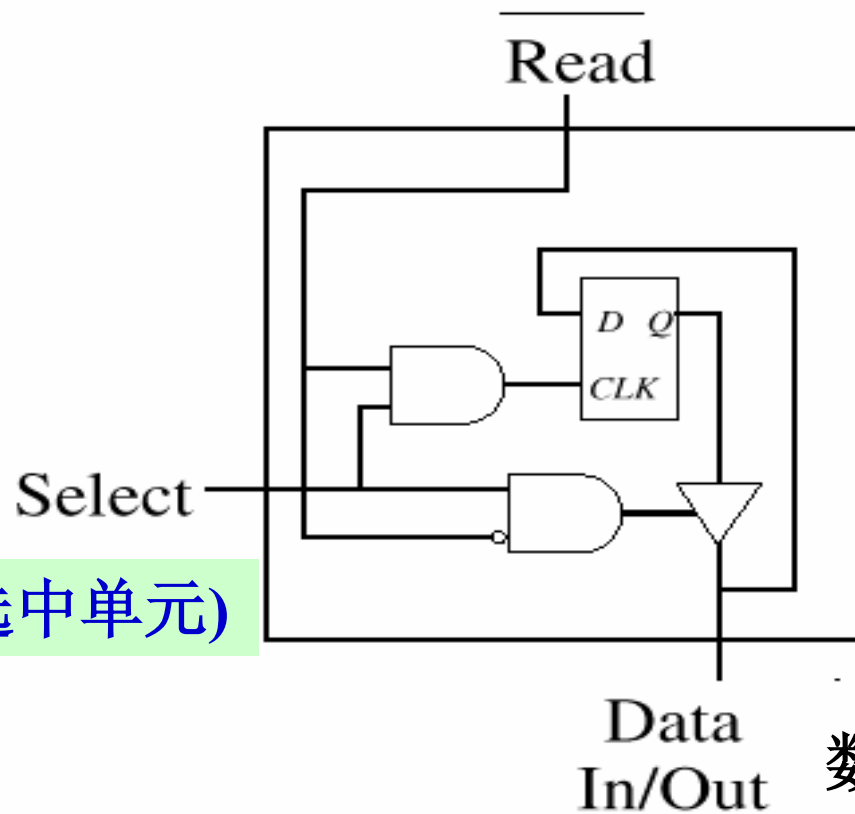
SRAM (双稳态触发器)  
DRAM (电容)  
SDRAM  
IRAM(EDO,SDRAM,DDR, RAMBUS....)

微机系统与接口



# 存储器基本 (RAM) 单元 (位) 工作原理

## Functional Behavior of a RAM Cell



(Select=1选中单元)

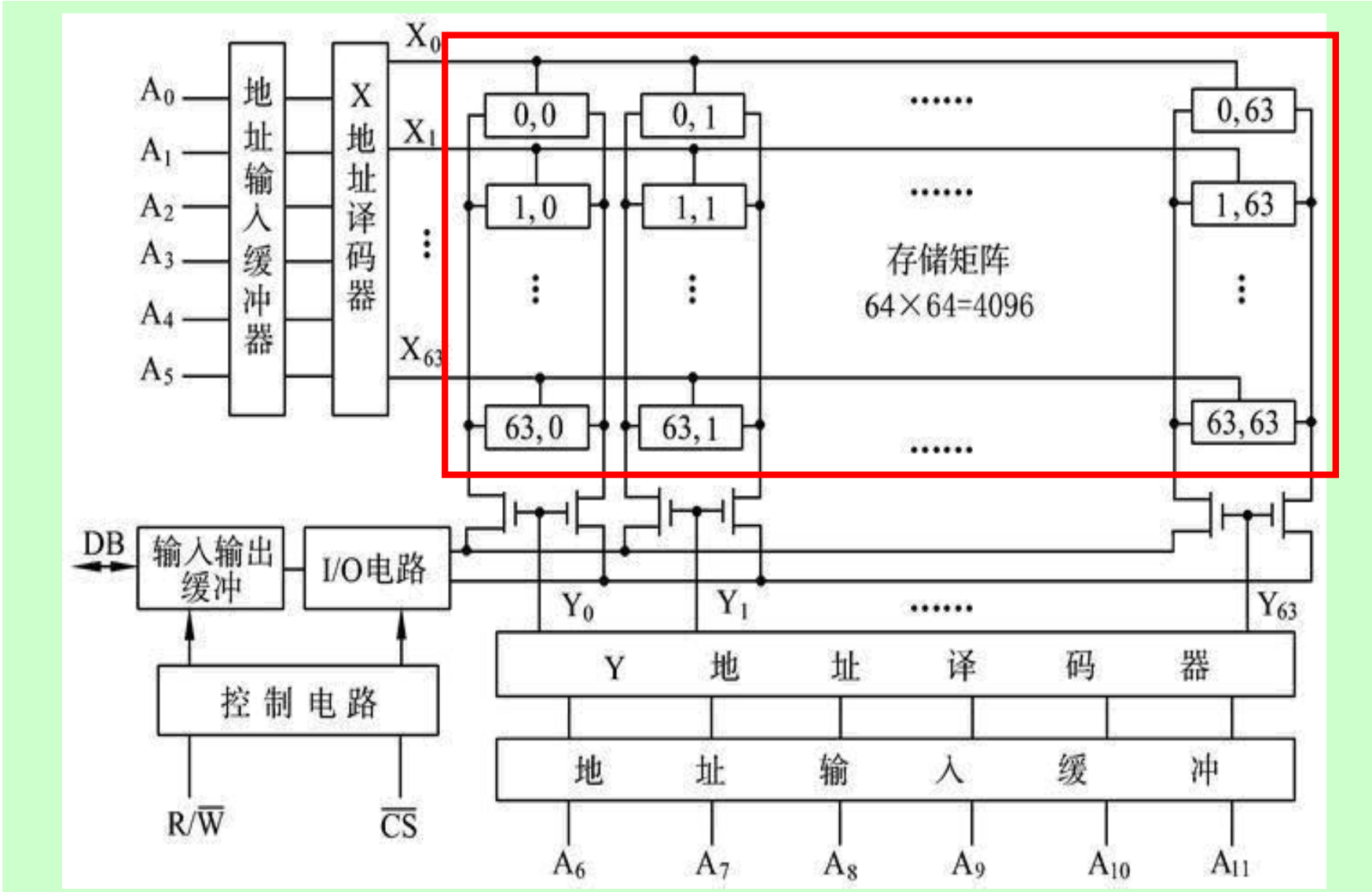
Select=1&/Read=↑  
锁存输入数据  
Select=1&/RD=0  
三态门开(输出允许)  
存储器读操作

数据总线



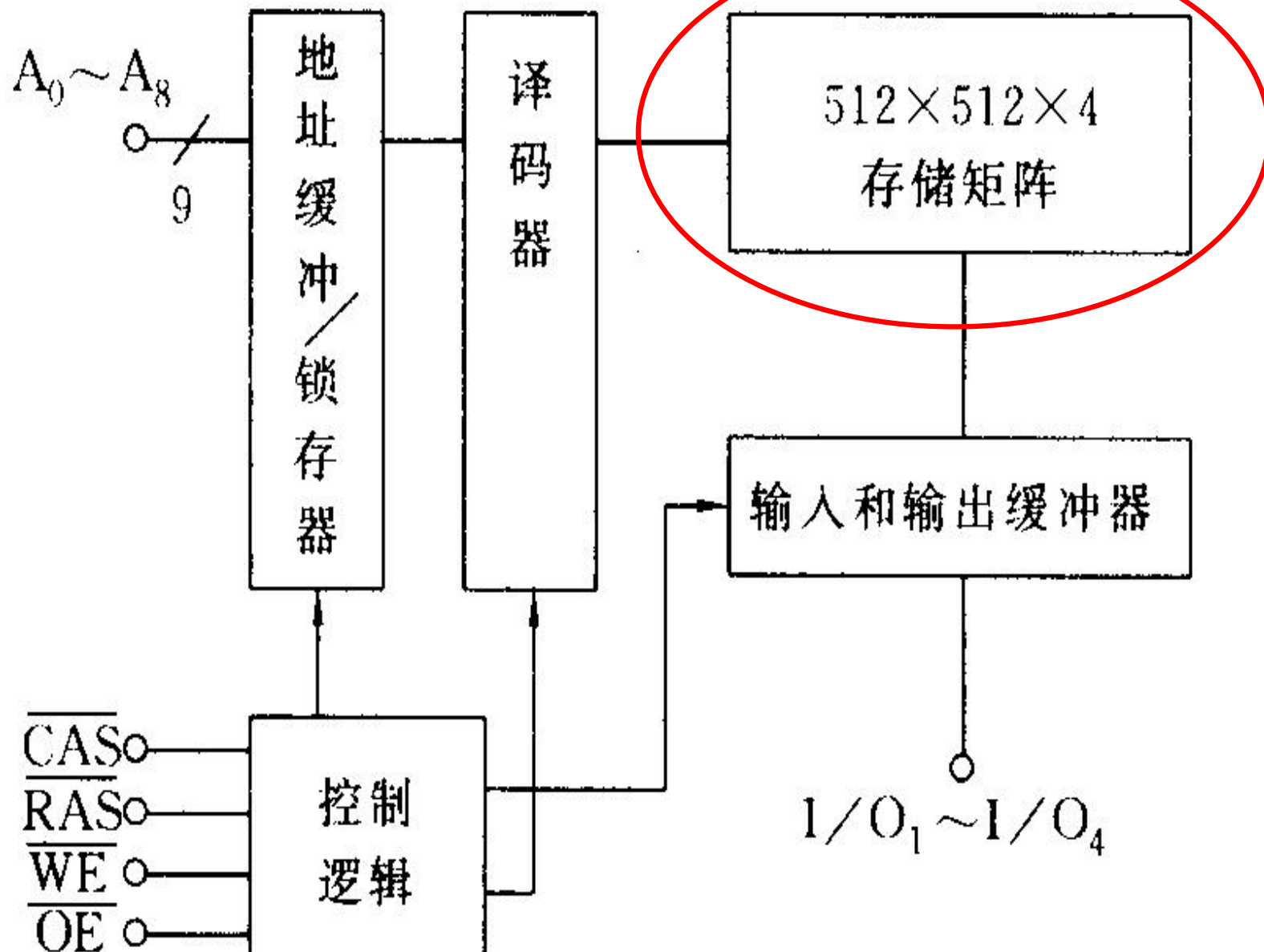


# 4KB存储器内部结构



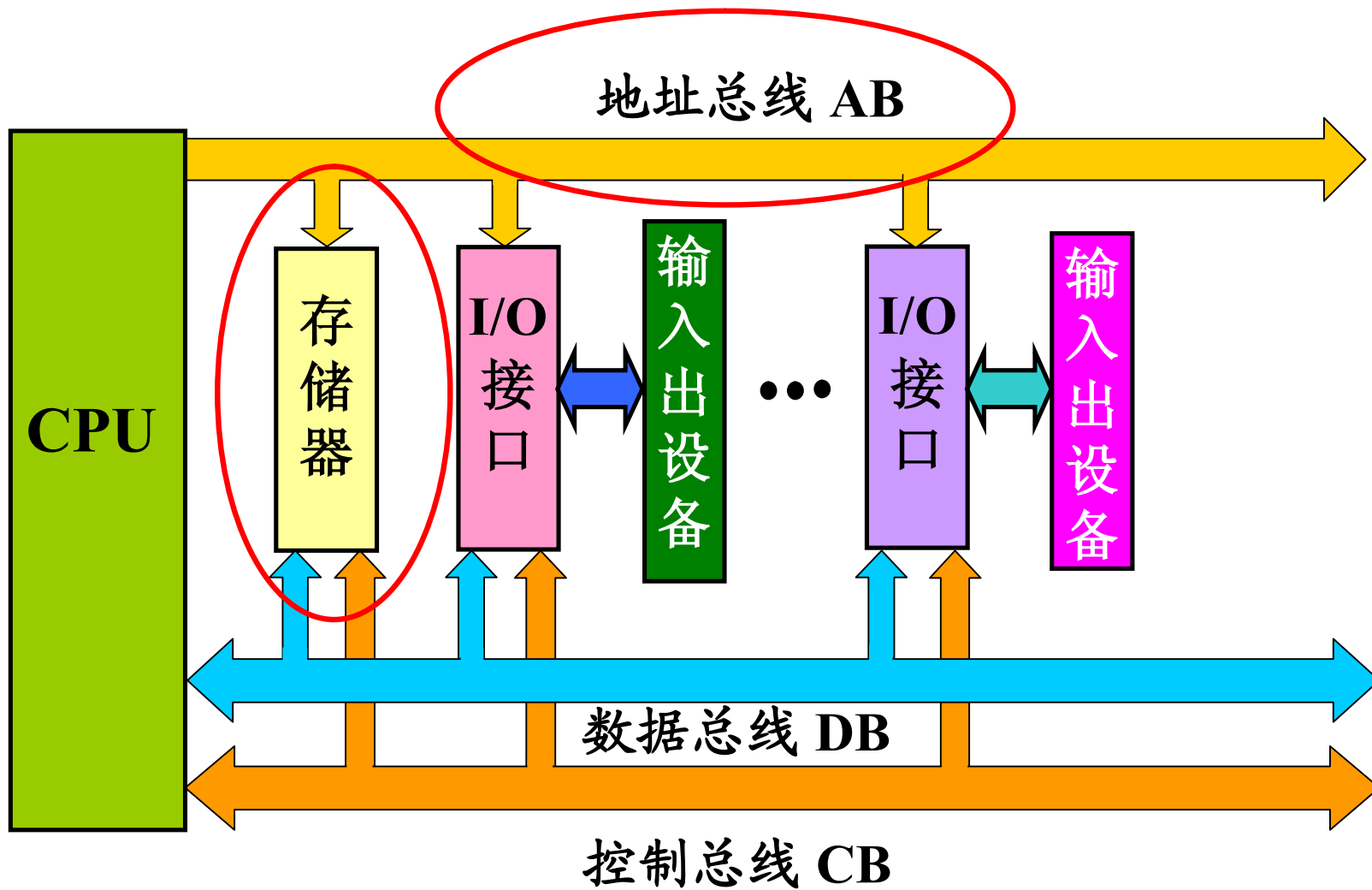


# 存储器芯片例 $\mu$ PD424256 内部原理图





# 译码：CPU地址-存储器单元

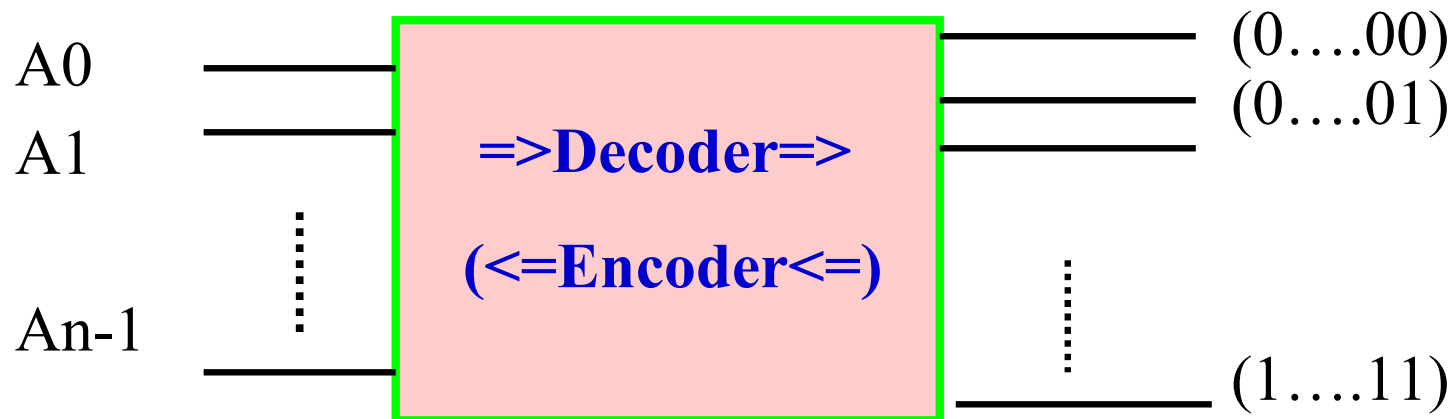




译码器 (Decoder) 将每个代码译成一个特定输出的信号的电路——翻译原意  
编码器 (encoder)——逆过程

n个编码信号 (地址)

$2^n$ 个输出状态 (存储单元)



实际 (大容量): 内部 (X/Y) 双译码或称复合译码结构。

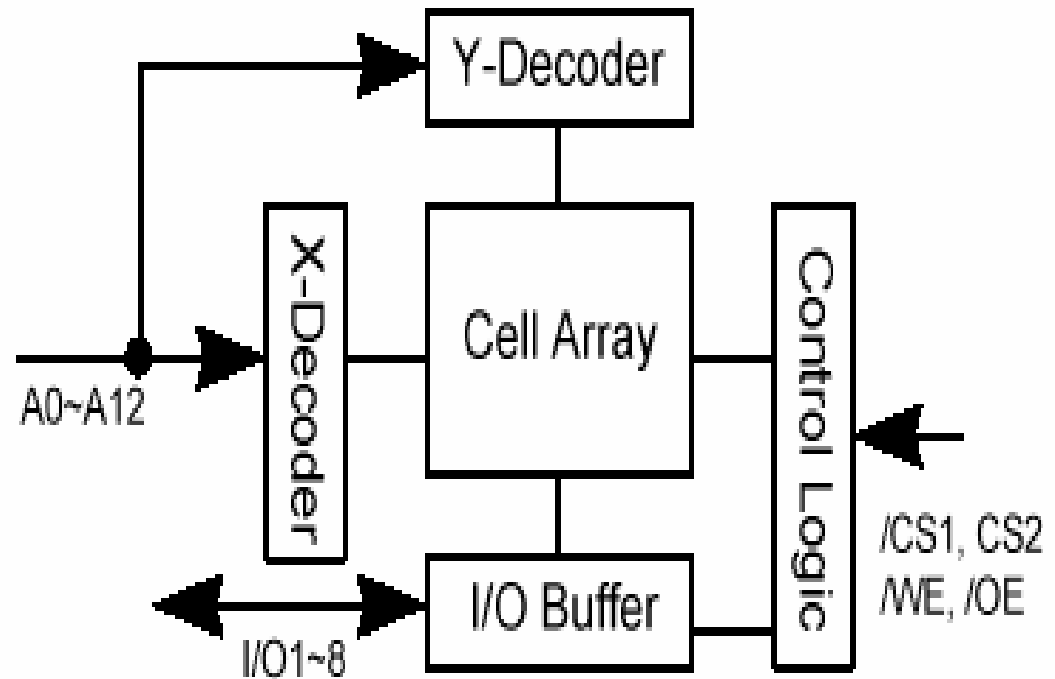
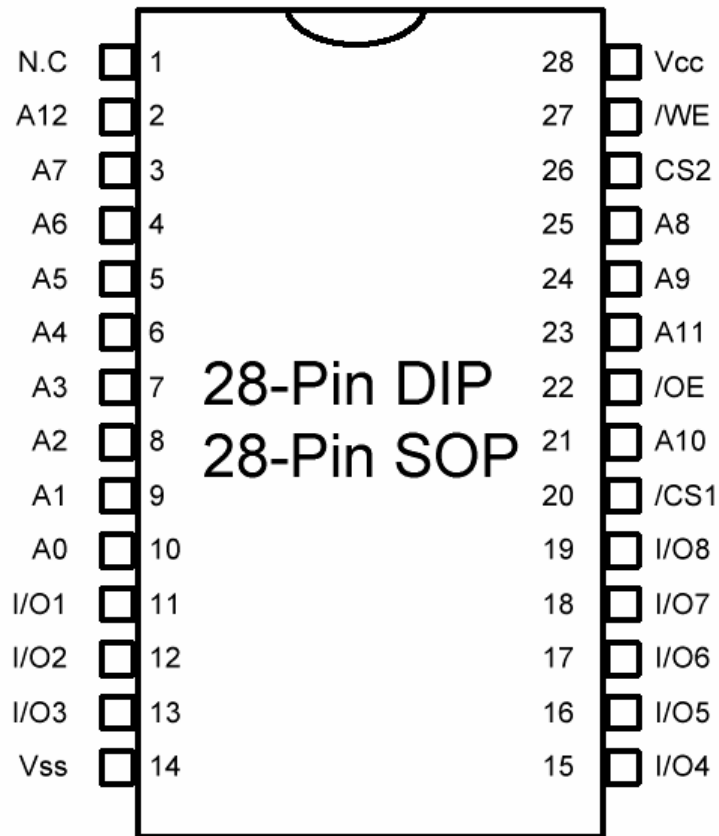
微机系统与接口

东南大学



# RAM存储器芯片例

HM6264: 256B\*32\*8B — X:8 Y:5



Pin Name	Function
A0~A12	Address Inputs
/WE	Write Enable Input



# 半导体存储器的性能指标

**容量**——通常：以字节BYTE为单位

实质（器件）以位数为单位（**存储器按位存放**）

位数 = 存储单元数 × 字长

62C256: 256K = 32K\*8B

27C010: 1M = 128K\*8B

27C210: 1M = 64K\*16B

**最大存取时间** 访问一次存储器（对指定单元写入或读出）

几ns到几百ns

27C512-15 → 150ns ; PC100SDRAM-8:8ns,

**其它性能指标:** 可靠性、集成度、价格等



# 半导体存储器

半导体存储器  
Memory

只读存储器  
ROM

- 掩膜ROM
- 可编程ROM (PROM)
- UV可擦除PROM (EPROM)
- OTP-ROM (One-Time PROM)
- 快闪ROM (FLASH-ROM: 整片/块)
- 电可擦除PROM (E<sup>2</sup>PROM) (字节、页)

随机存取存储器  
RAM

双极型RAM

MOS型RAM

- SRAM (双稳态触发器)
- DRAM (电容)
- SDRAM
- IRAM(EDO,SDRAM,DDR,RAMBUS....)

+SRAM →

+BATT →

NVRAM



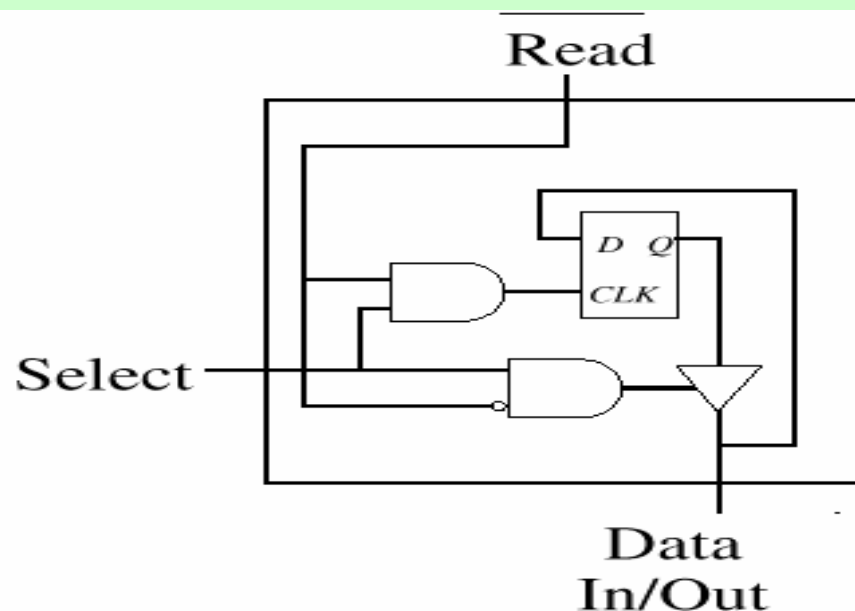
## 静态随机存取存储器 (SRAM)

**原理：**基本存储电路主要由**R—S触发器**构成，其两个稳态分别表示存储内容为“0”或为“1”。

电源供电→存入的数据才可读与写，掉电→原存信息全部丢失→所谓“易失性”(volatile)。

**优点：**存储内容“0或1”一直有效，不需刷新电路

**缺点：**MOS管数目多，集成度低，功耗大

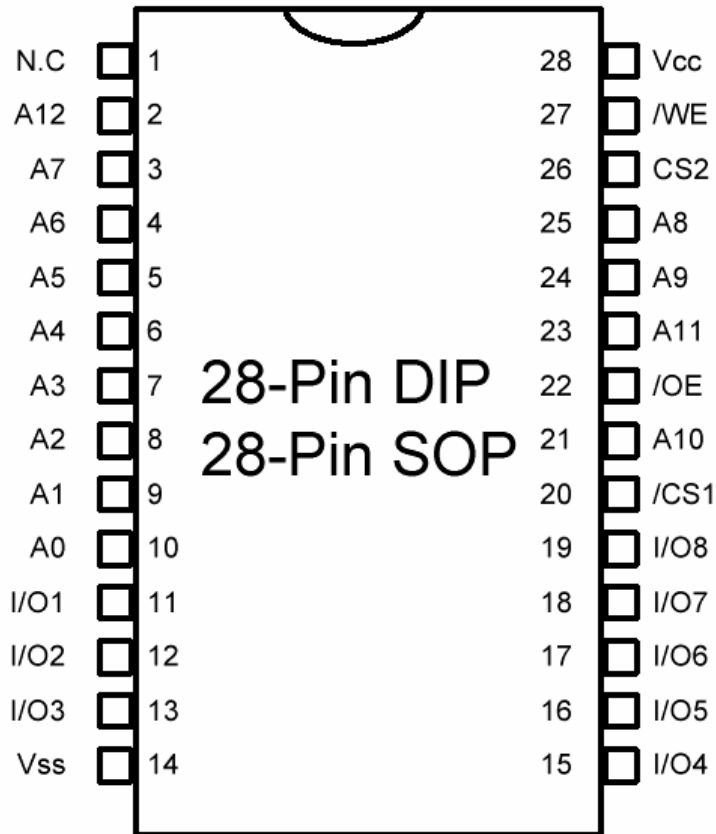




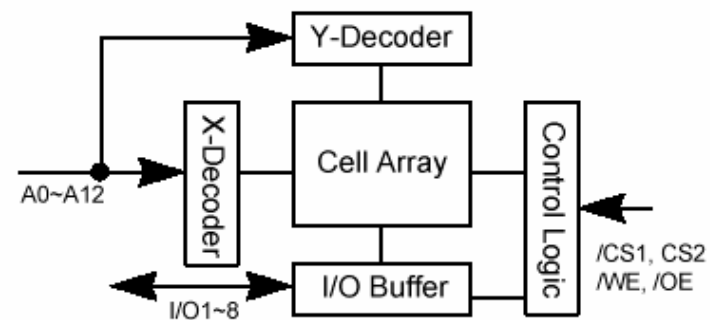


# RAM存储器芯片举例(P229)

HM6264: 256B\*32\*8B--X:8 Y:5



FUNCTIONAL BLOCK DIAGRAM



Pin Name	Function
A0~A12	Address Inputs
/WE	Write Enable Input
/CS1, CS2	Chip Select Input
/OE	Output Enable Input
I/O1~I/O8	Data Input/Output
Vcc	Power(5V)
Vss	Ground
N.C	No Connection

HM6264参数: 8K\*8B, 100ns, 50/100uA, 55mA, 2V (min) 维持电压



# HM6264芯片外围电路组成

HM6264:  $256B * 32 * 8B == 8K * 8B$

即: 需要12位 (根) 地址线,  $8K = 2^{13} \rightarrow A_{0-12}$

有8位 (根) 数据线, I/O 0-7

控制线:  $\overline{WE}$ 、 $\overline{OE}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$

关键: 三态输出/写入锁存



# 动态存储器DRAM

## 原理:

电容C存放信息0/1。为保持C中信息（电荷），故需周期性地不断充电，**这一过程称为刷新**。

刷新周期通常为2ms-8ms。

**优点：少的MOS管数目，从而集成度高，功耗低**

代价：特殊动态（不断）刷新电路

刷新电路：片外/片\ (模块)内



# 单管动态存储电路

行=列=1时选中（读/写）。存储刷新：逐行进行（1选中：内部进行：刷新放大器重写C）

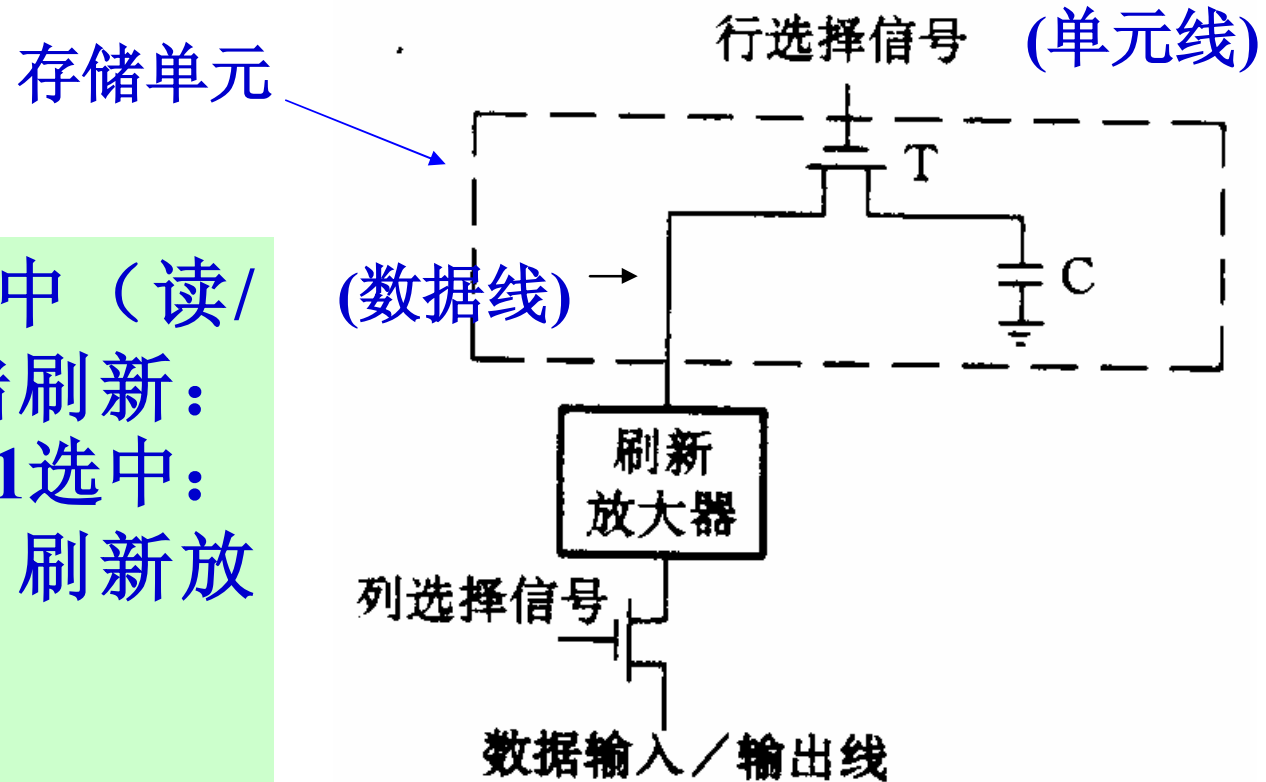
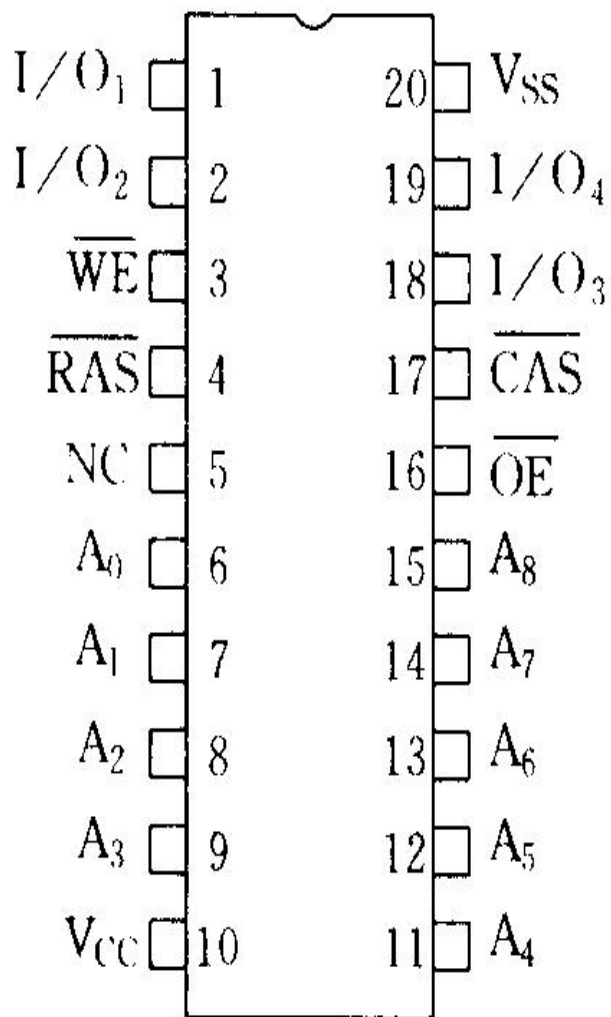


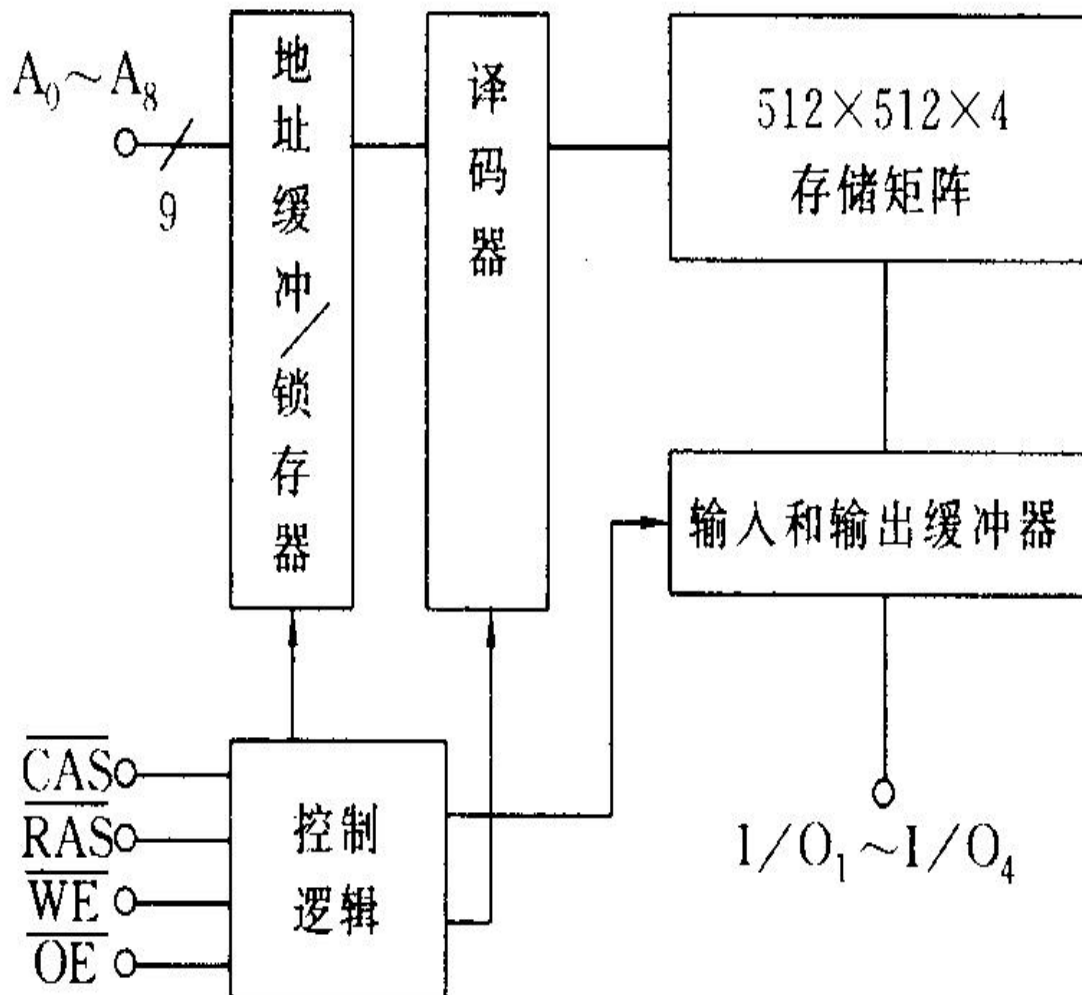
示意图 单管动态存储电路



# $\mu$ PD424256 (256K\*4bit)



(a) 引脚图



(b) 内部结构图



# 动态存储器DRAM集成电路

例P230 i2164A:  $64\text{K} * 1\text{bit}$

8片构成 $64\text{K} * 8\text{bit} = 64\text{KB}$

$\mu$  PD424256:  $256\text{K} * 4\text{bit}$

2片构成 $256\text{K} * 8\text{bit} = 256\text{KB}$

?片构成 $64\text{K} * 16\text{bit}$



# 高集成DRAM (RAM Modules)

多片DRAM/SDRAM集成→内存条

**DIP**

**SIMM (30P, 单边缘: 8位数据, 3/486机成4条使用)**

**DIMM (72P: 32位: 486单, P5成双使用)**

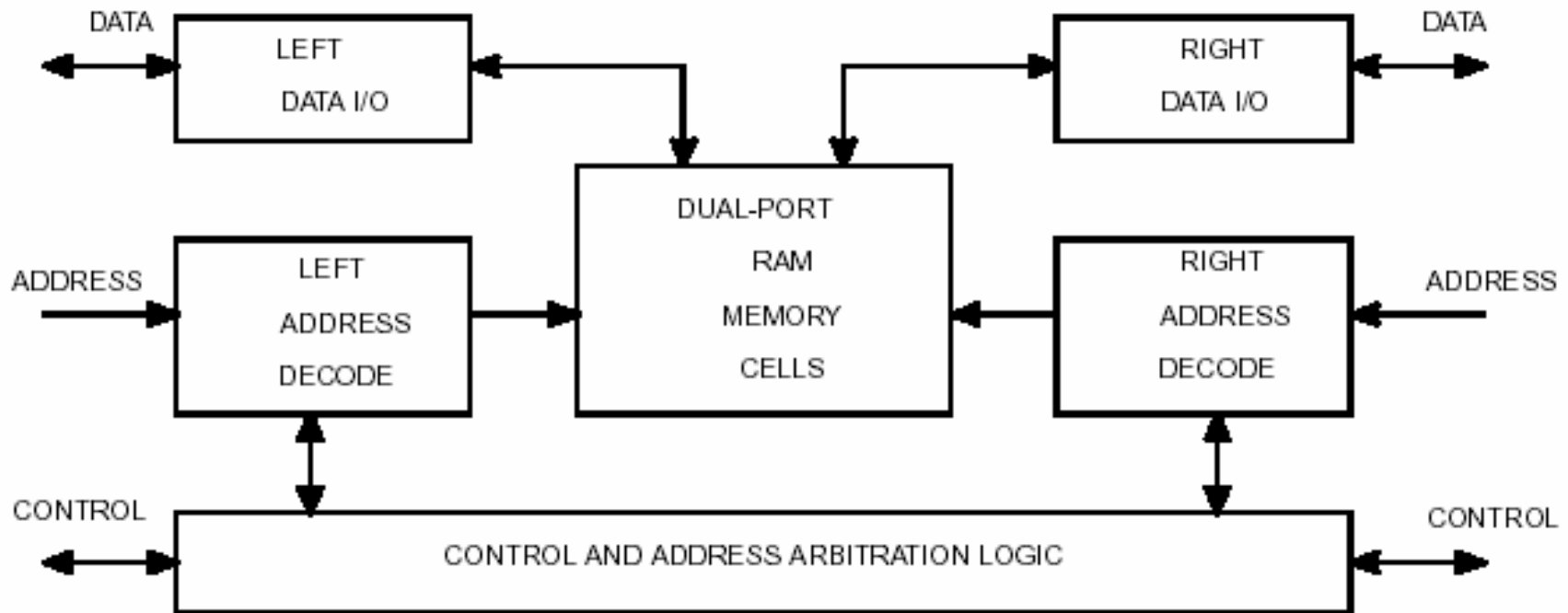
**168P 64位KMM375S1620BT 16M\*72bit**

**(条上包括18片16M×4位的SDRAM芯片及一些辅助芯片)**



# 特殊RAM:DP-RAM

## Dual Port RAM(DPRAM, P232) CY7C130/131



典型双口RAM结构图

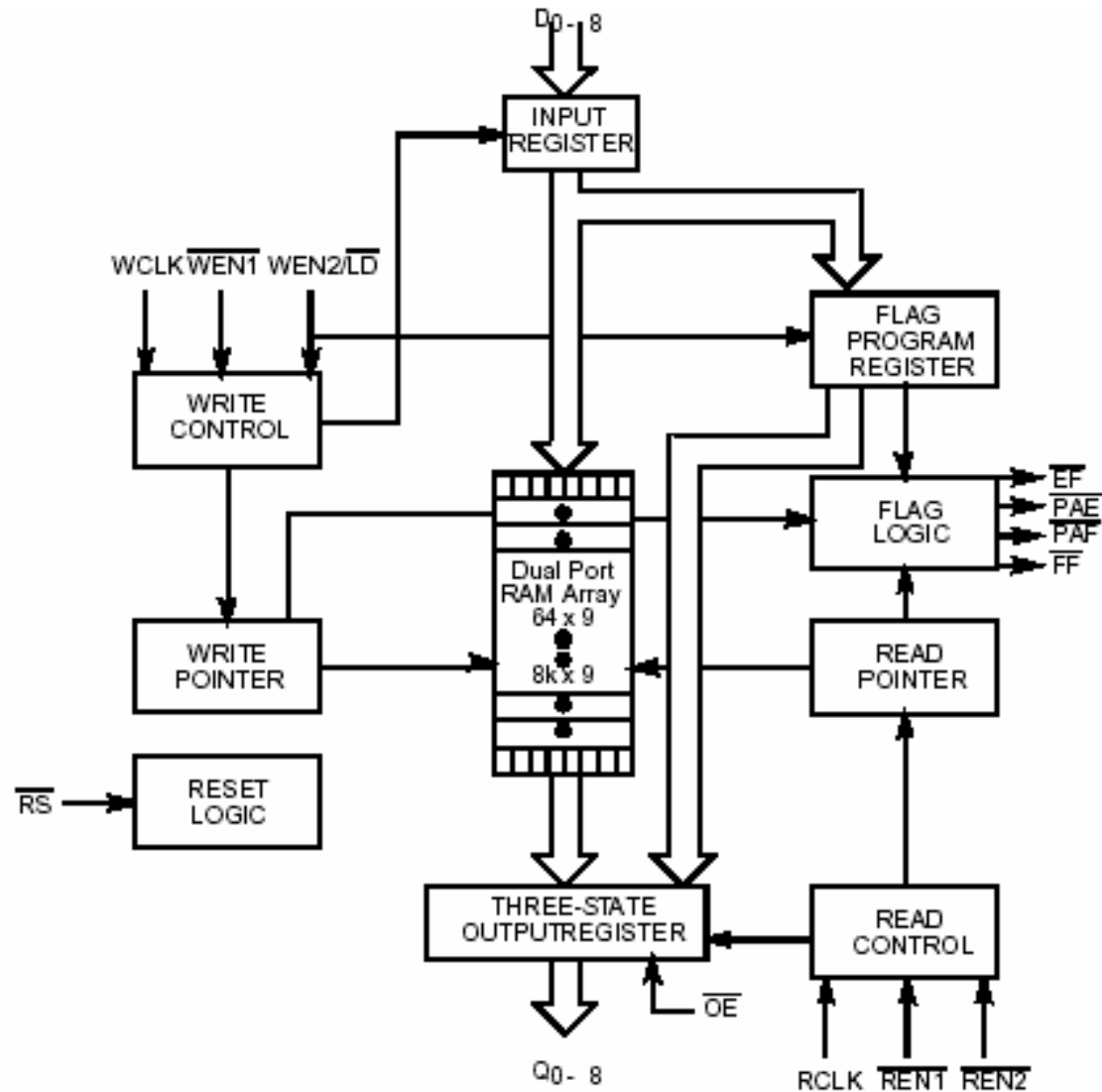




# 特殊RAM:FIFO-RAM

## FIFO-RAM

CY7C4221:  
1K\*9同步;  
4251:8K

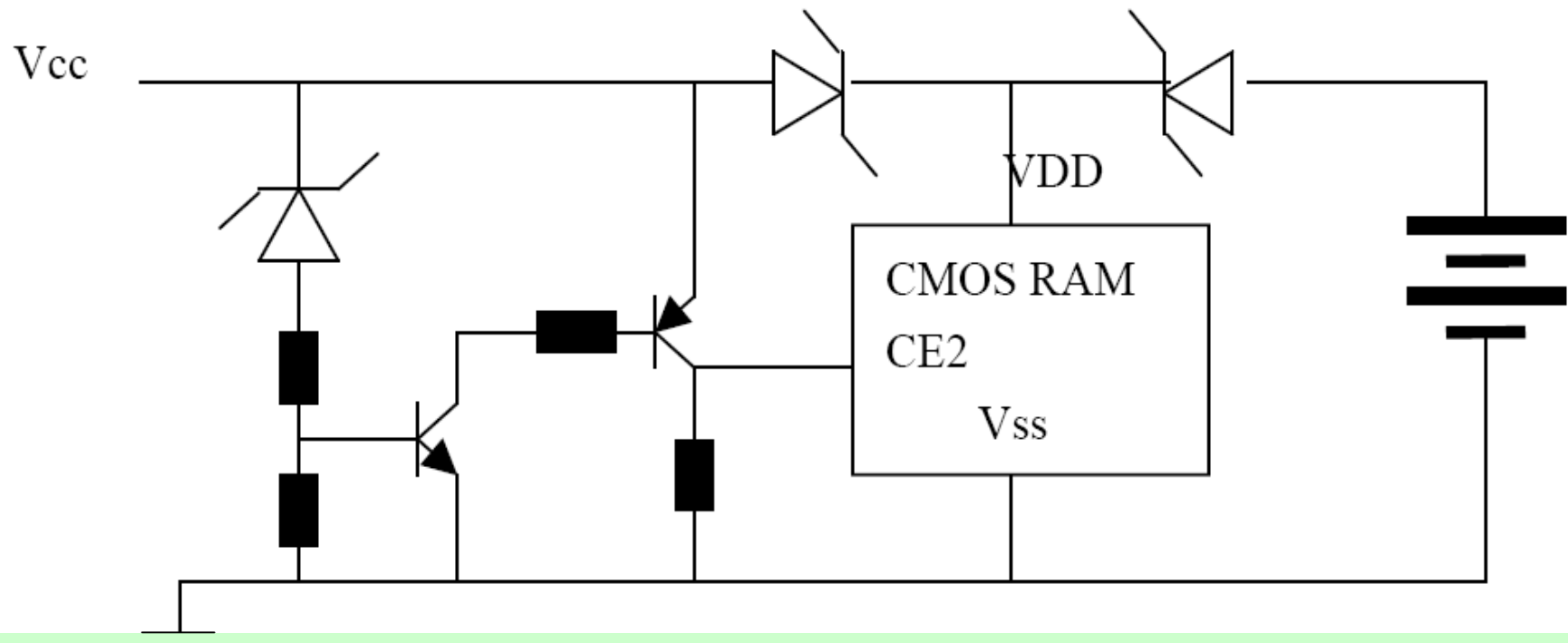




# 特殊RAM:NVRAM

## NVRAM

### Pseudo NVRAM, 6264+Battery





# 半导体存储器

## 半导体存储器 Memory

只读  
存储器  
ROM

掩膜ROM  
可编程ROM (PROM)  
UV可擦除PROM (EPROM)  
OTP-ROM (One-Time PROM)  
快闪ROM (FLASH-ROM: 整片/块)  
电可擦除PROM (E<sup>2</sup>PROM) (字节、页)

随机存取  
存储器  
RAM

双极型  
RAM  
  
MOS型  
RAM

+SRAM →  
+BATT →

NVRAM

SRAM (双稳态触发器)  
DRAM (电容)  
SDRAM  
IRAM(EDO,SDRAM,DDR,  
RAMBUS....)



# 只读存储器 (ROM)

特点：固定程序/数据（表格等）----非易失性

1. 掩膜ROM (Read Only Memory)
2. PROM (Programmable ROM)

熔断或保留熔丝

3. EPROM (Erasable Programmable ROM)
4. EEPROM (Electrically Erasable Programmable ROM)。

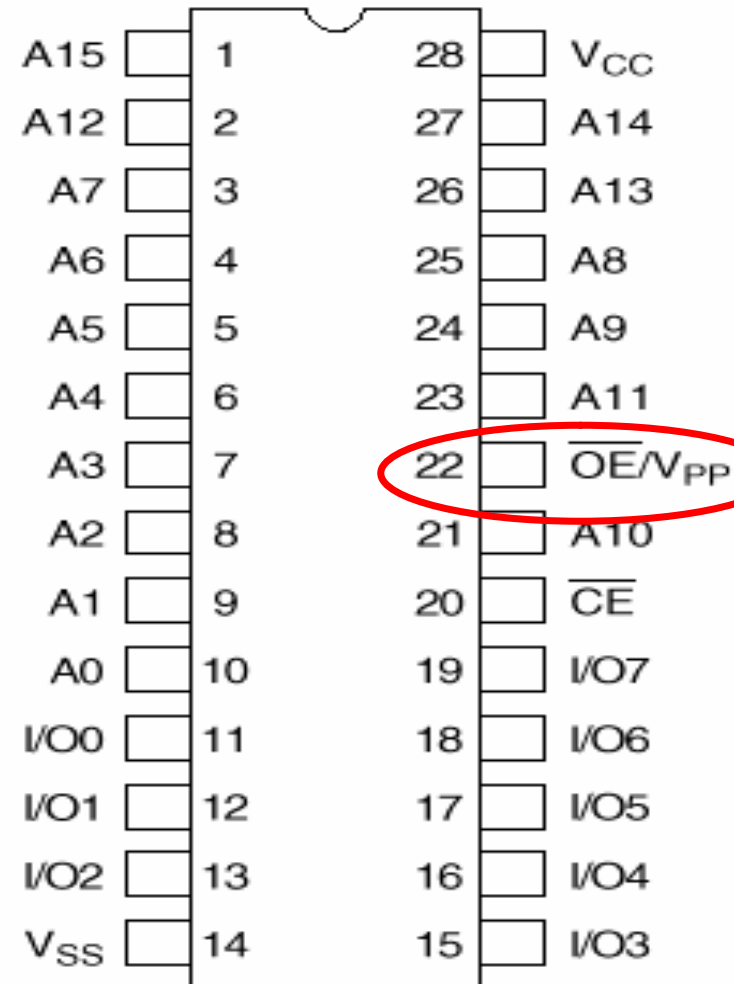


# 典型EPROM芯片—Intel 27512

编程电压

$V_{pp}$  12.5V

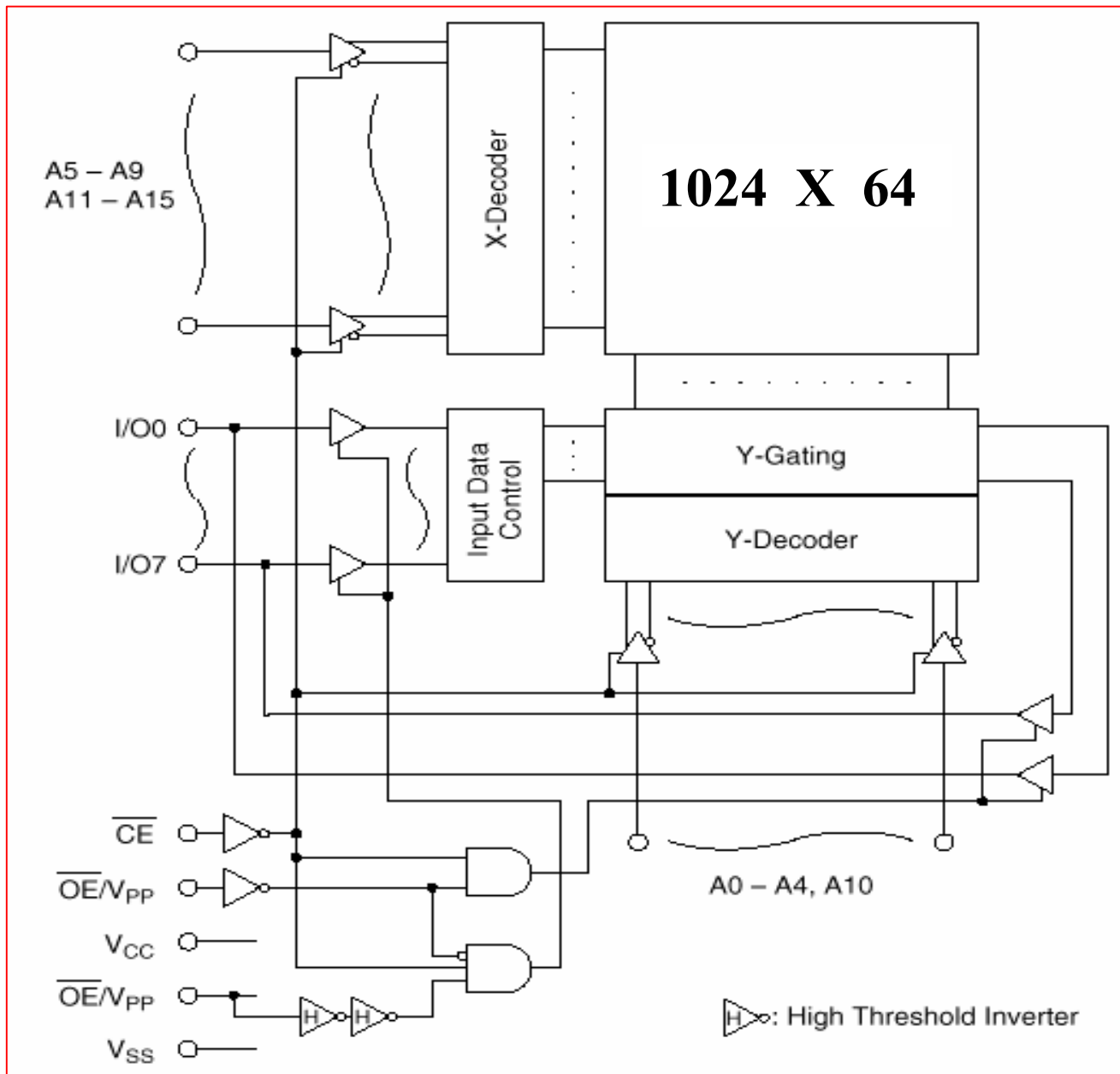
(14.0VMax)



(Top View)



# 典型EPROM芯片—Intel 27512



27512引脚信号  
A<sub>0</sub>—A<sub>15</sub>地址  
CE片选  
/OE/ V<sub>PP</sub>输出  
允许/V<sub>pp</sub>  
O<sub>0</sub>-O<sub>7</sub>数据输出  
NC未用



# EEPROM与FLASH ROM

EEPROM, 电擦除, **10,000次**

低容量: 2816/2817, 21V擦除, 9-70ms

中容量: 2864A: 8K\*8B, 5V擦除, 2ms.

高容量: 28010: 128K\*8B

**快闪存储器 (FLASH memory)**

**----大容量, 快速全擦除----软件在线升级**

28F001 128K\*8 CMOS F M(兼容F010)

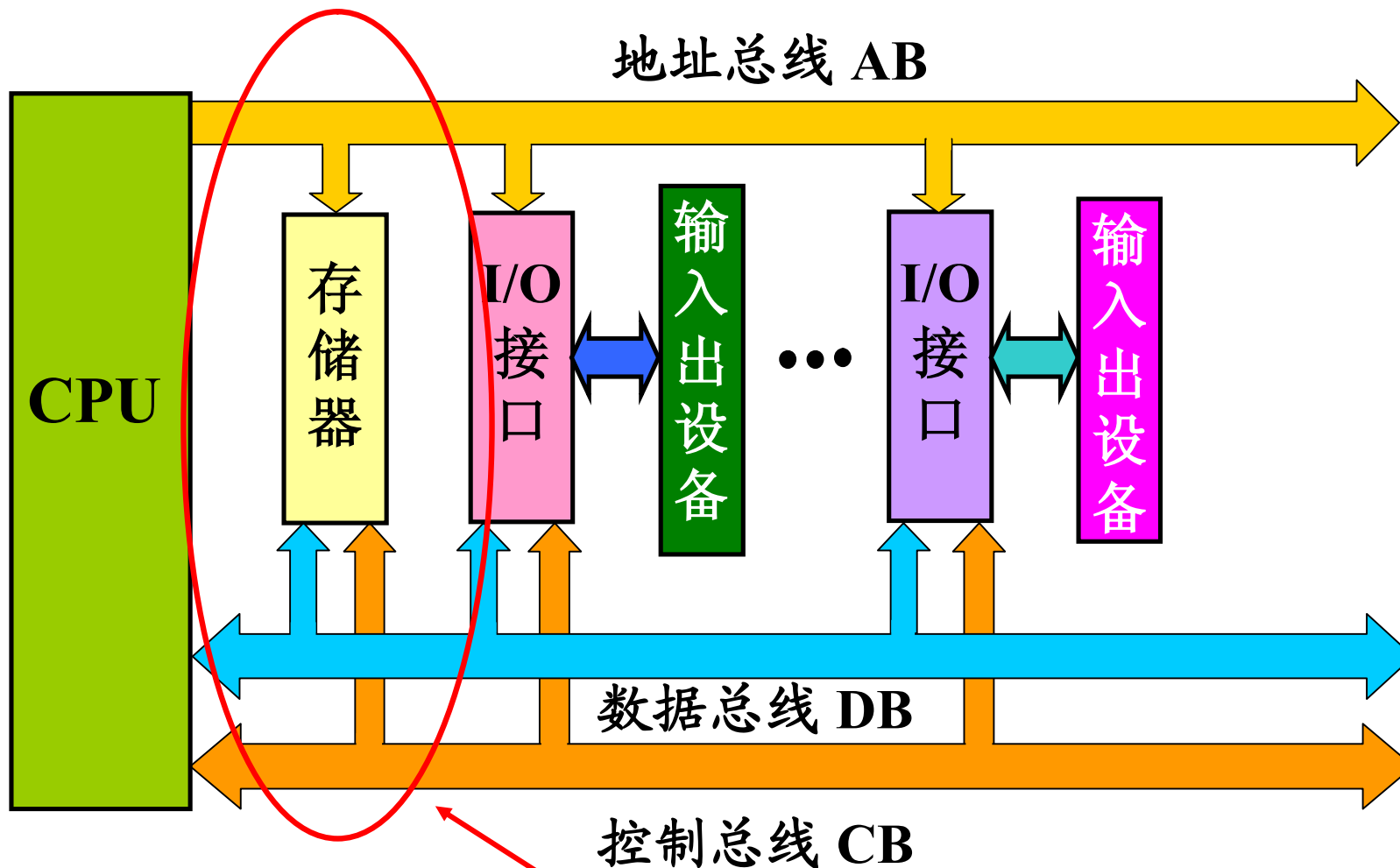
28F200BX(=002)128K\*16,256K\*8)

HN28F101: 128K\*8位(12V V<sub>pp</sub>/5V V<sub>cc</sub>)

10,000(旧)~**1,000,000次(新)**



# 处理器系统与内存储器连接

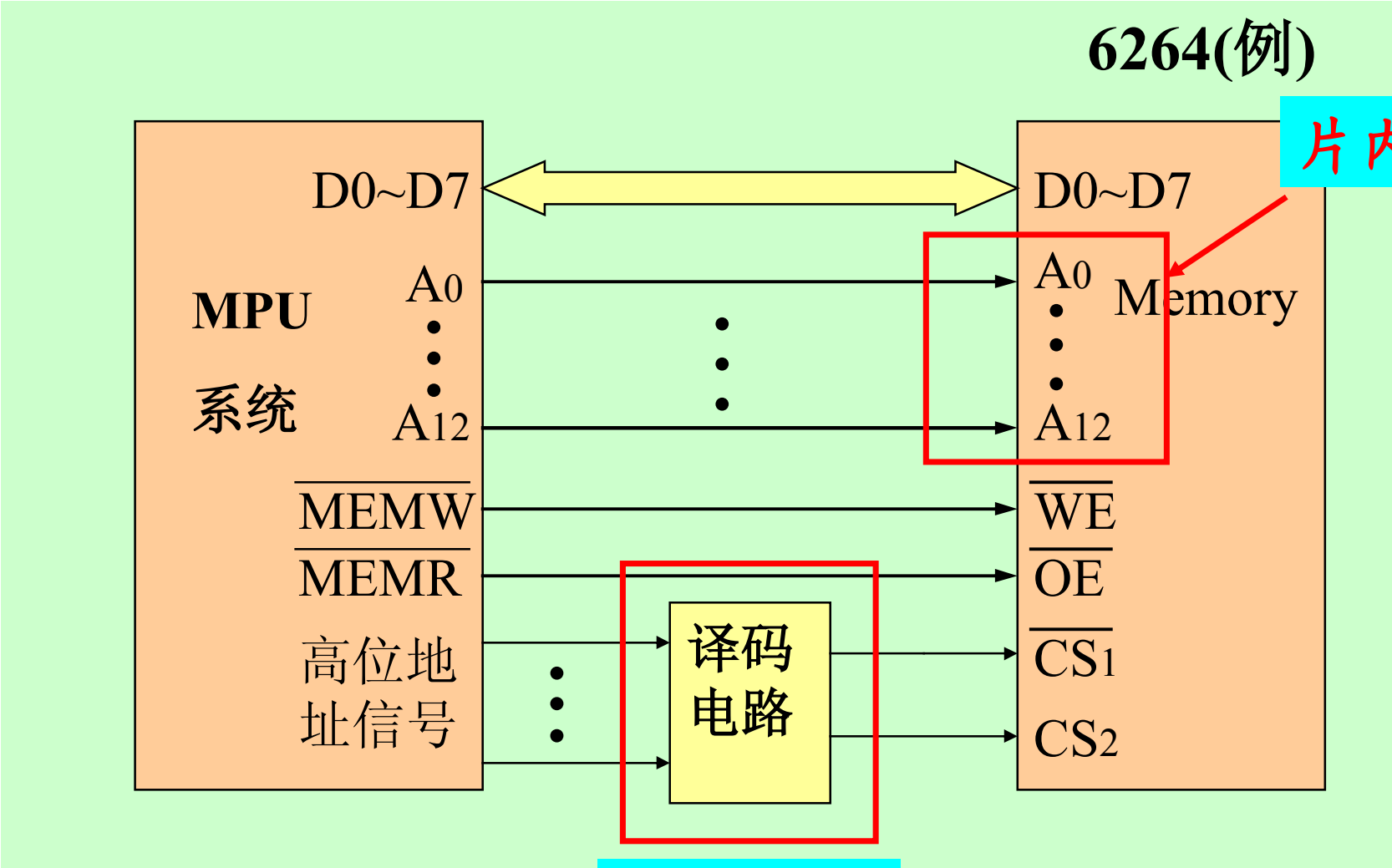


微机系统与接口 数据线、地址线、控制线





# 处理器系统与存储器连接—简单例





# IBM PC/XT中的存储器

**8088 20位AB, 寻址1M(00000-0FFFFFFH)**

**前640KB主存储器RAM (0-9FFFFH);**

**后384KB内存保留区。其中:**

**0A0000H~0BFFFFFFH, 128K, 显示RAM**

**0C0000H~0EFFFFFFH, 192KB, 控制ROM**

**0F0000H~0FFFFFFH, 64KB, 系统ROM**

**(BIOS,BASIC等冷热启动、自检、I/O驱动、DOS引导、中断管理)。**



# 8086 / 8088

数据总线

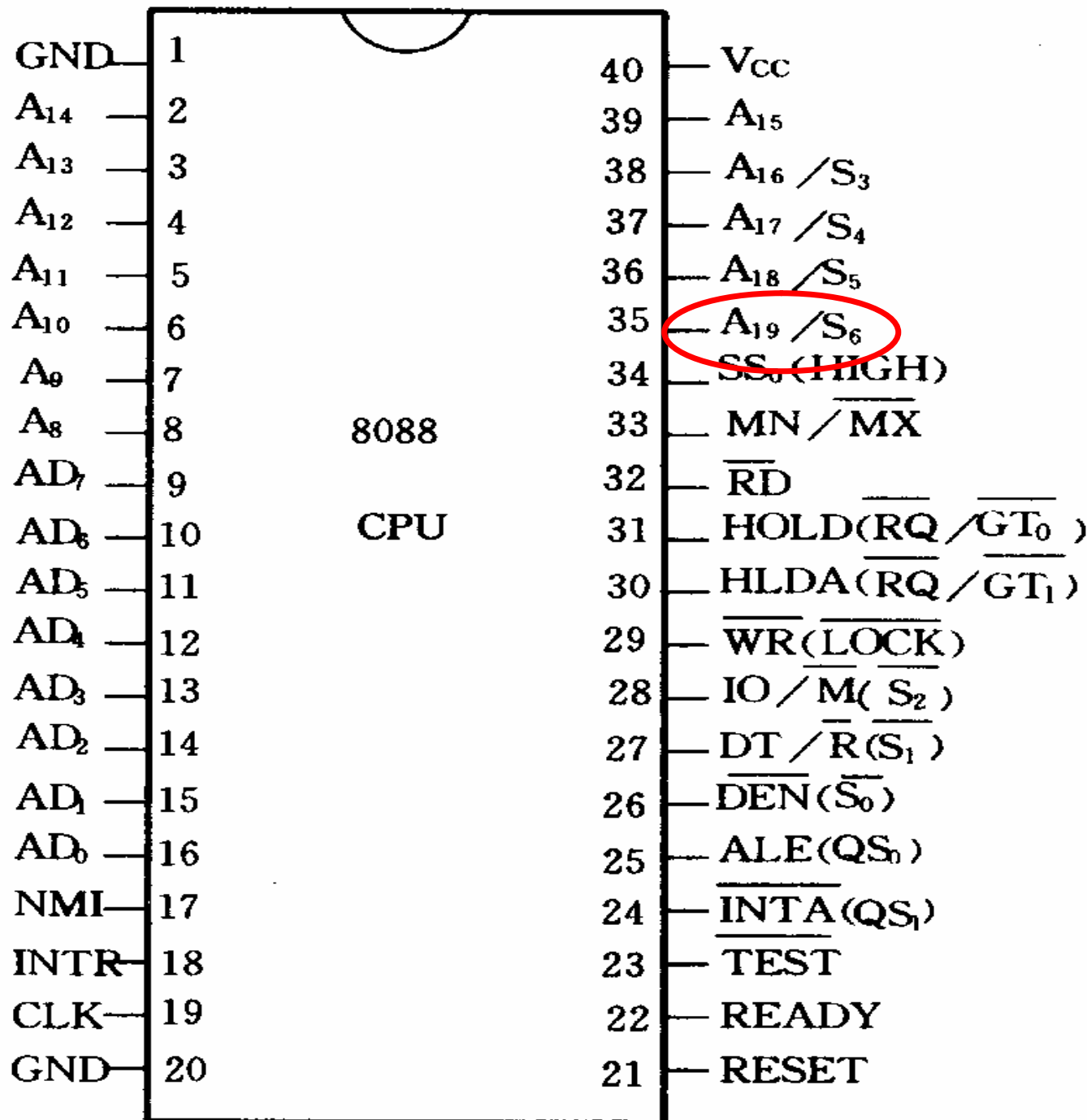
D0-D7

地址总线

A0-A19

控制总线

微机系统与接口

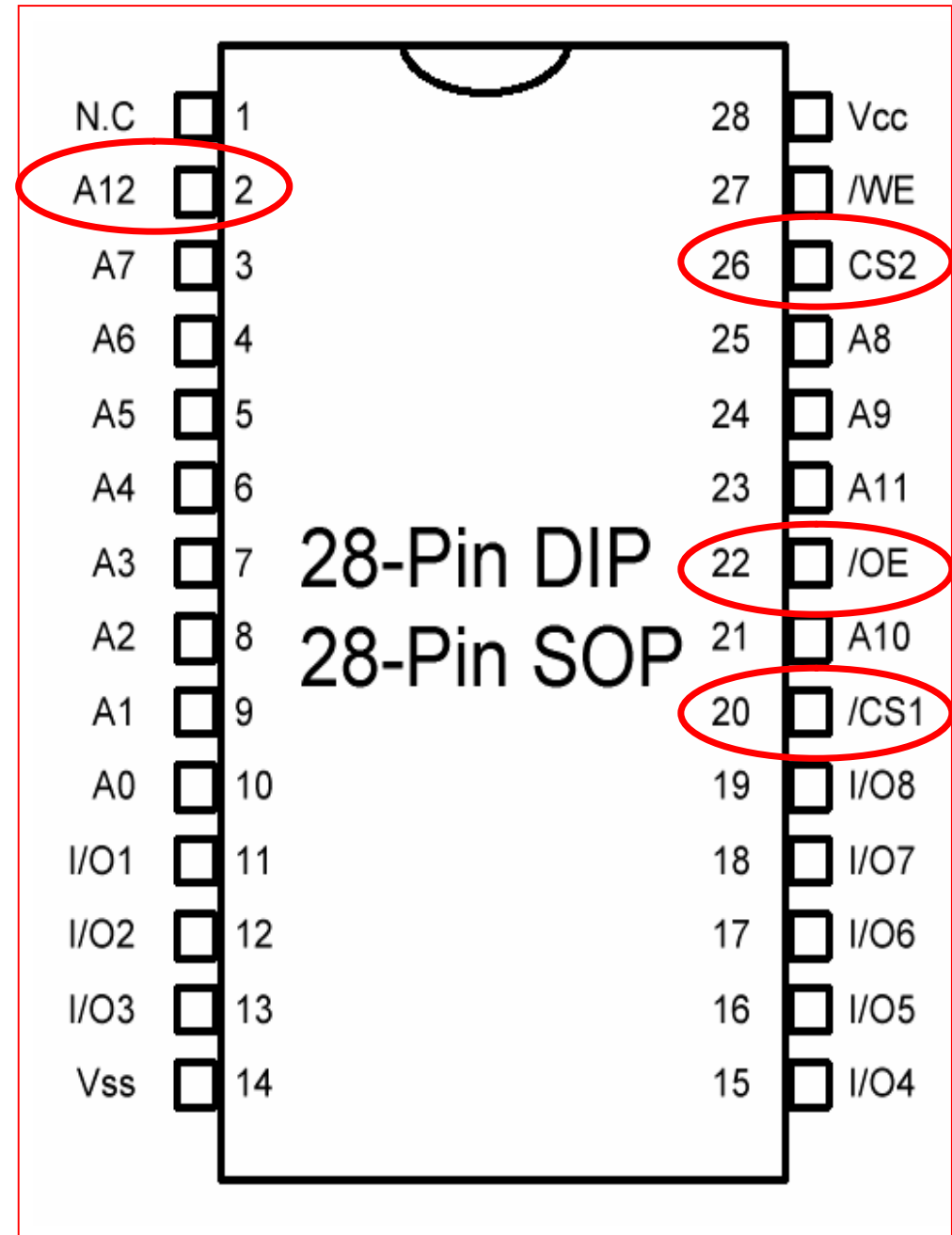


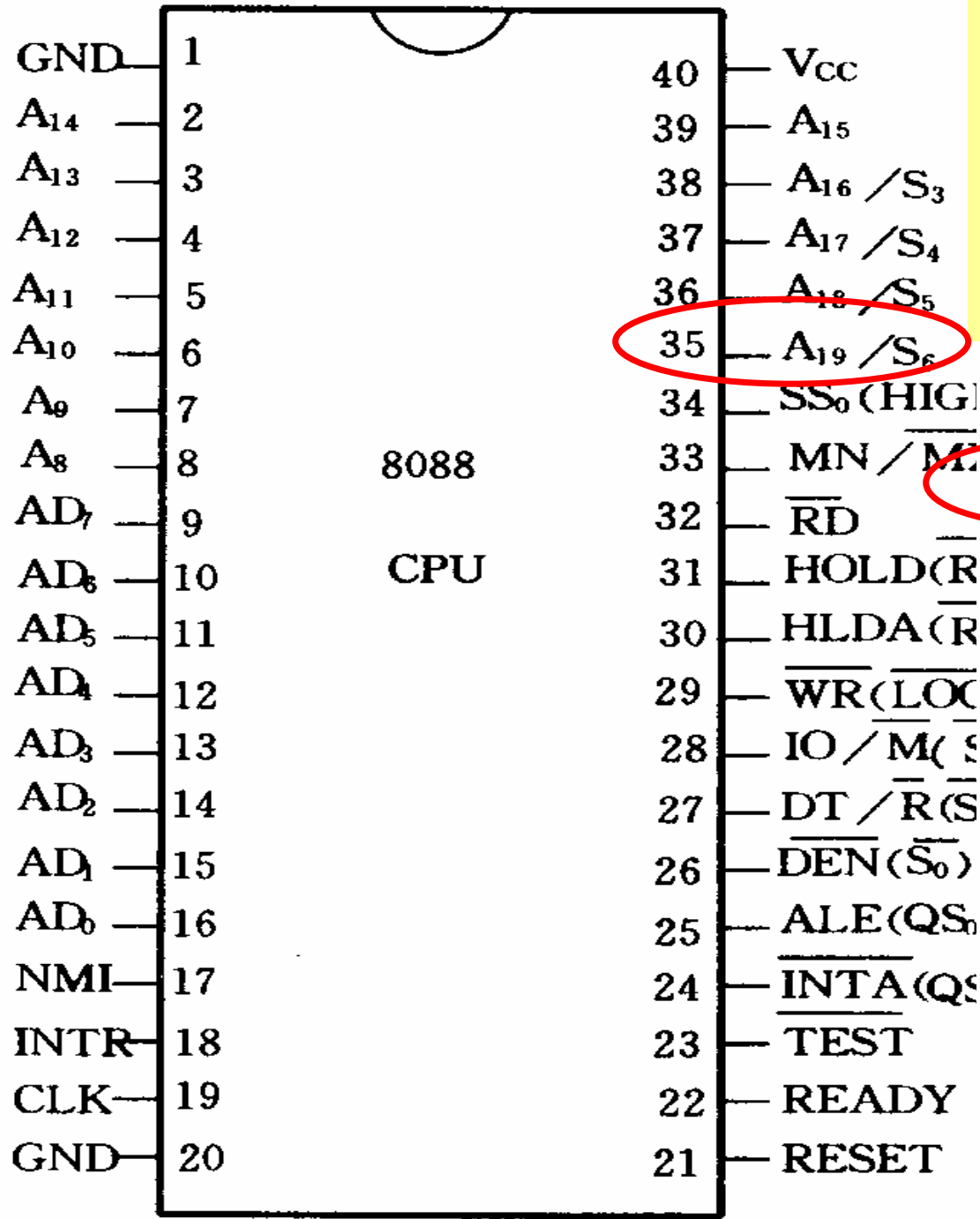


# 6264存储器

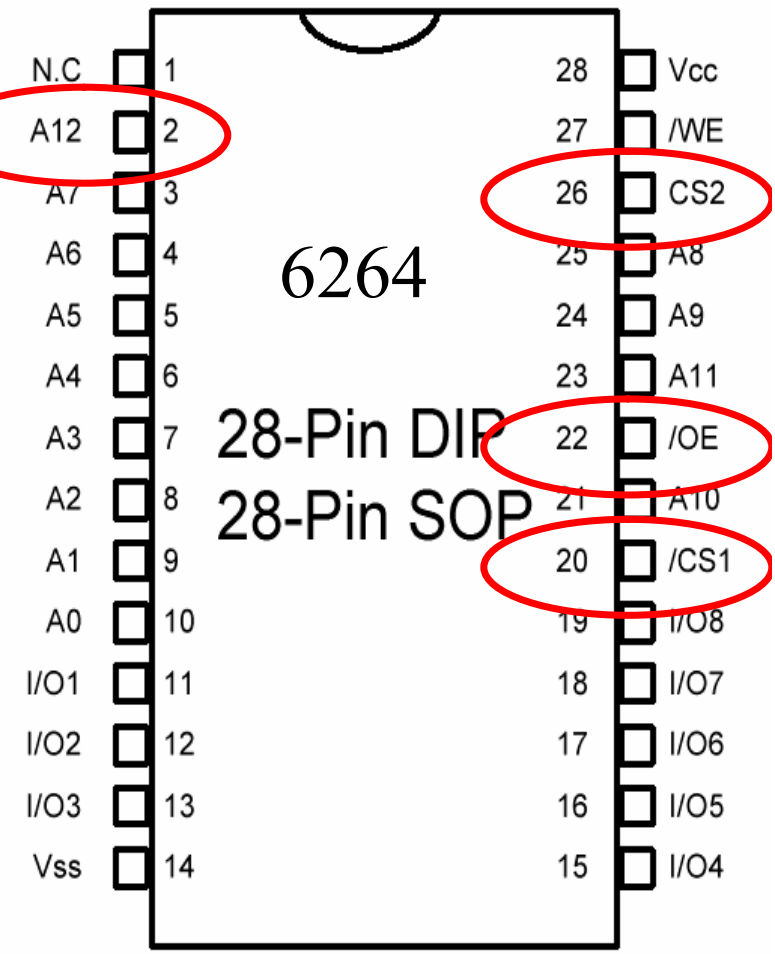
地址线: A0~A12

片选: /CS1, CS2



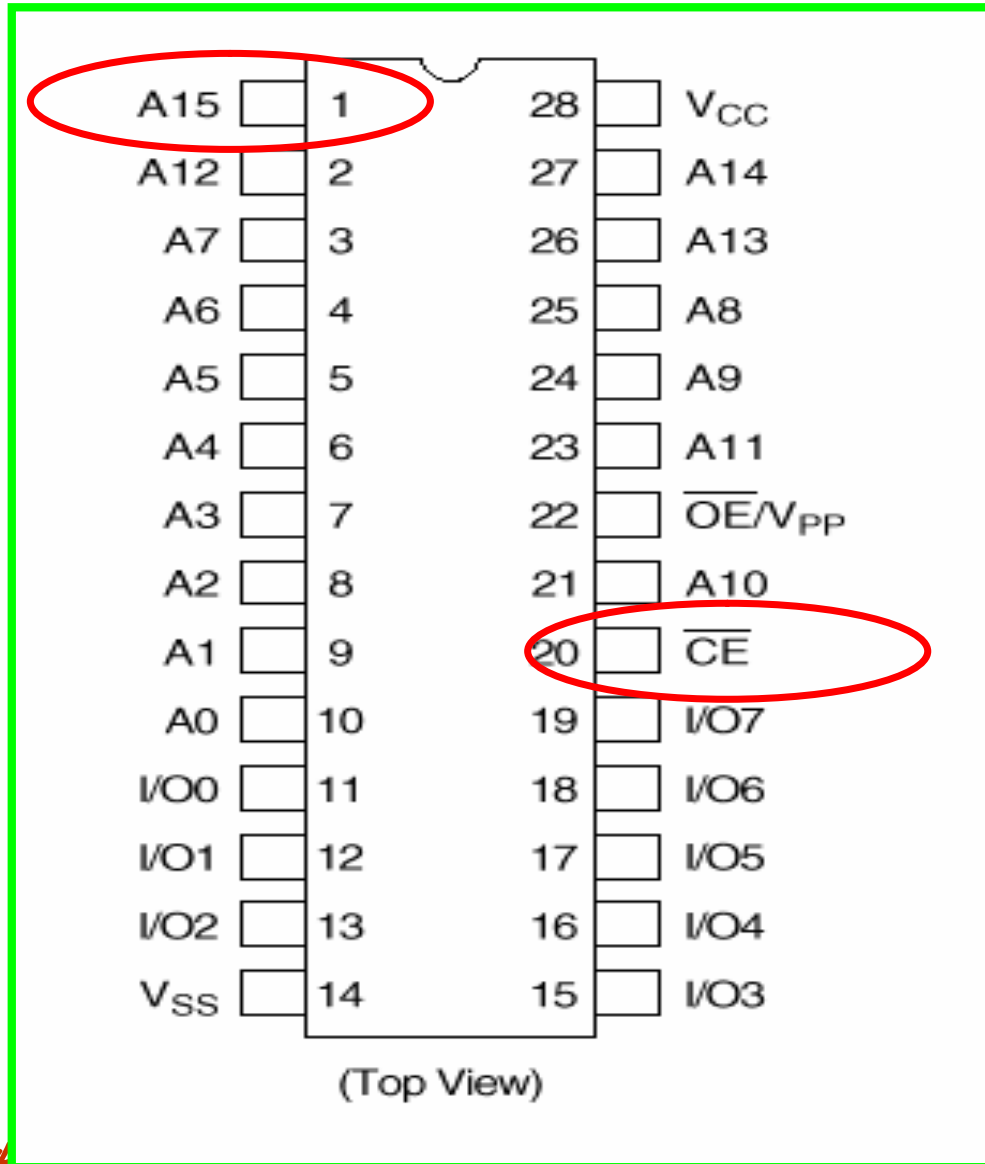


**CPU 20位地址线:**  
**1M地址**  
**存储器13位地址线:**  
**8K地址**  
**高7位地址如何连接?**





# 典型EPROM芯片—Intel 27512



微处理器接口

27512引脚信号

16位地址

$A_0—A_{15}$

8位数据输出

$I/O_0—I/O_7$

CE片选

CPU 20位地址线:

1M地址

存储器16位地址线:

64K地址

高4位地址如何连接?



# 存储器连接要求

8086 CPU 20位地址线—— 1M地址

6264存储器13位地址线——8K地址

62512存储器16位地址线——64K地址

理论上，CPU可连接16片62512存储器，  
或 128片6264存储器

低13位地址——对应(片内译码)

CPU 20位地址线: 1010 0000 0000 0000 0000 A0000H

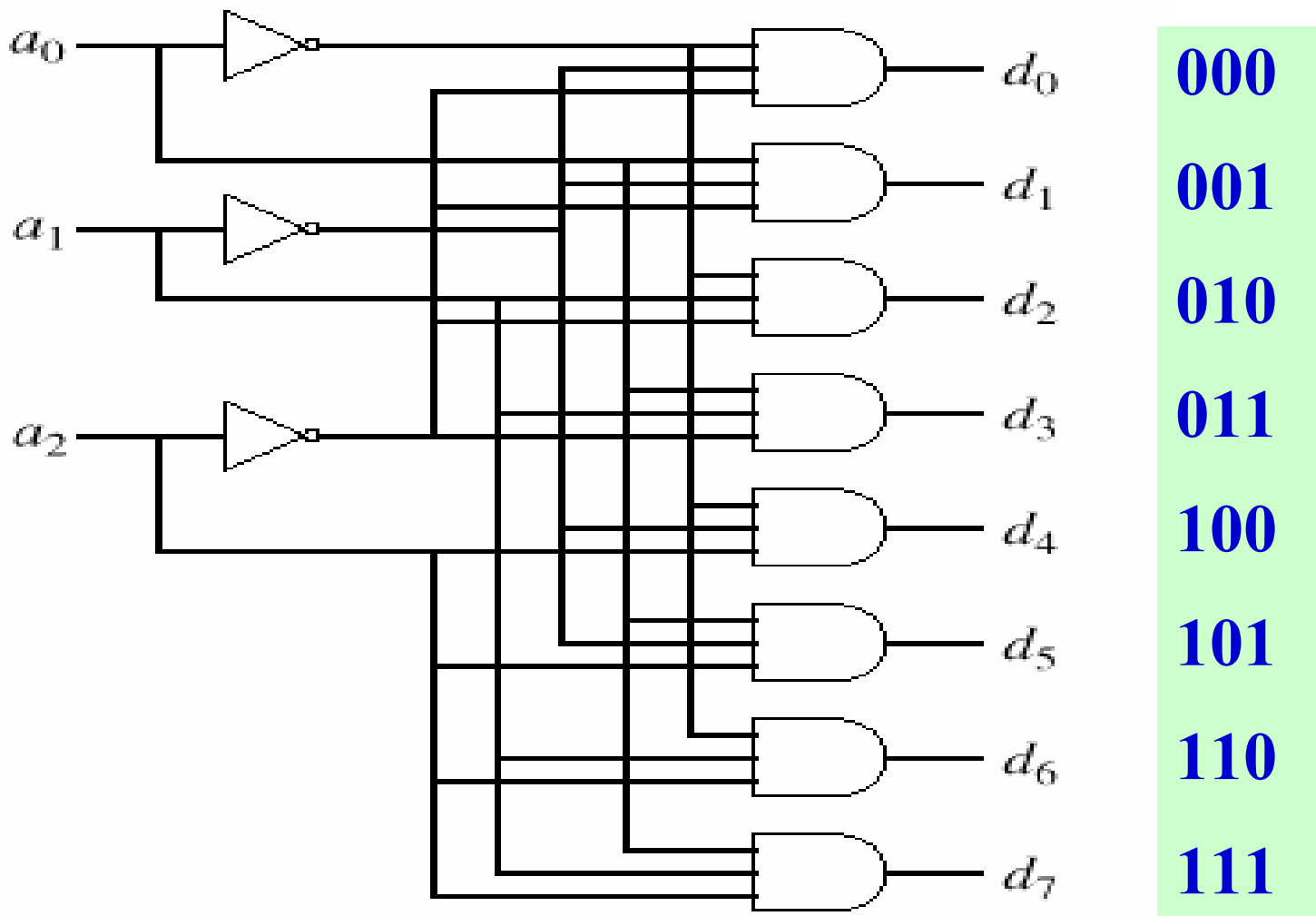
存储器13位地址线: 1010 0001 1111 1111 1111 A1FFFH

高7位地址各芯片不同

——高7位地址通过片外译码器连到芯片的选通端



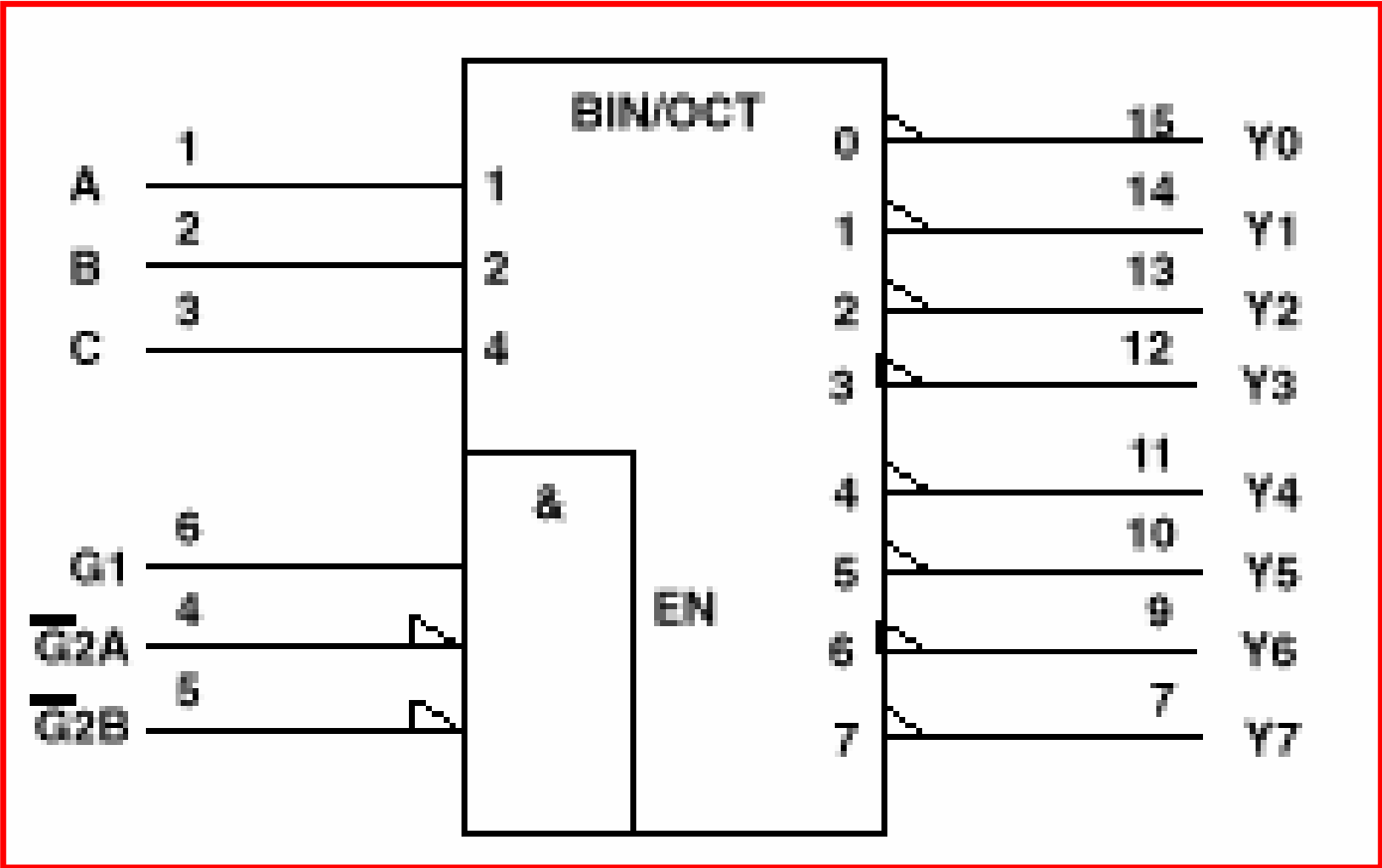
# 3-8译码器电路







# 典型译码电路74LS138





# 74LS138

FUNCTION TABLE

INPUTS						OUTPUTS							
ENABLE			SELECT										
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L



## 三种译码方式

**全译码法** 片内寻址未用的全部高位地址线都参加译码，译码输出作为片选信号。全译码的优点是每个芯片的地址范围是唯一确定，而且各片之间是连续的。缺点是译码电路比较复杂。

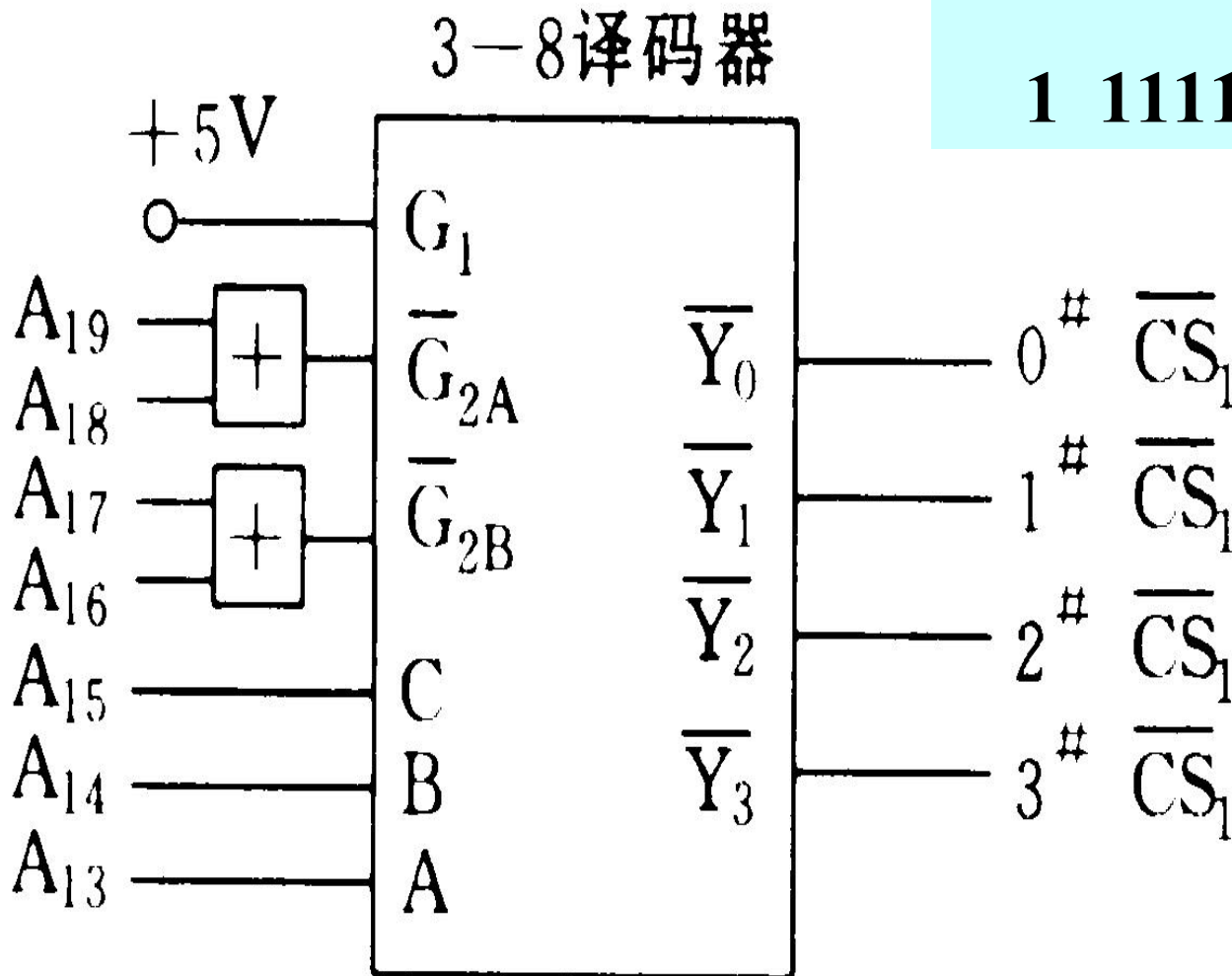
**部分译码** 用片内寻址外的高位地址的一部分译码产生片选信号。→部分译码较全译码简单，但存在地址重叠区。

**线选法** 高位地址线不经过译码，直接（或经反相器）分别接各存储器芯片的片选端来区别各芯片的地址。（软件上必须保证这些片选线每次寻址时只能有一位有效）→也会造成地址重叠，且各芯片地址不连续。



# 全译码例

A12-----A0  
 0 0000 0000 0000  
 1 1111 1111 1111



A19--A13  
 0000 000  
 0000 001  
 0000 010  
 0000 011

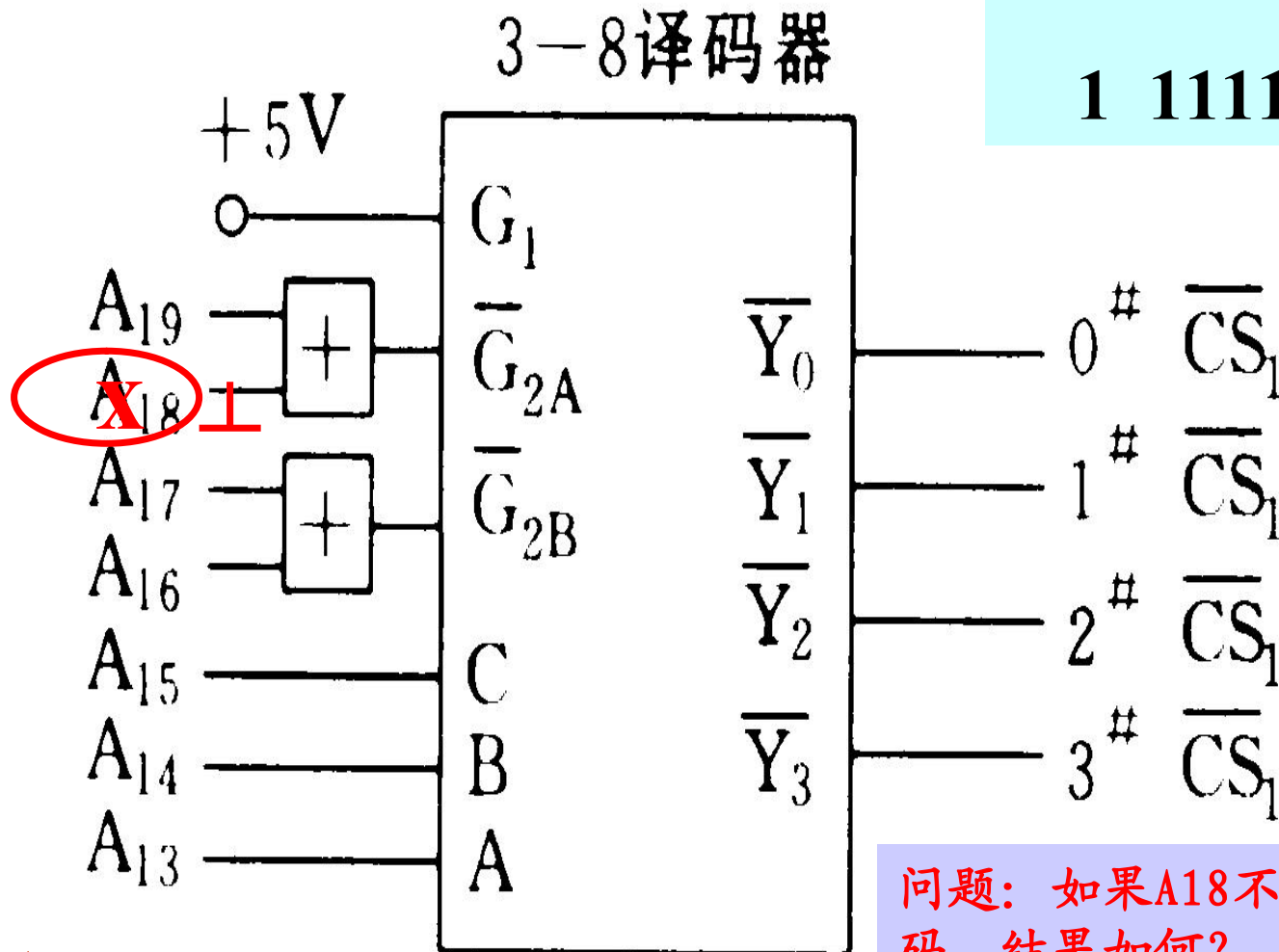


# 部分译码

A12-----A0

0 0000 0000 0000

1 1111 1111 1111



A19--A13

0x00 000

0x00 001

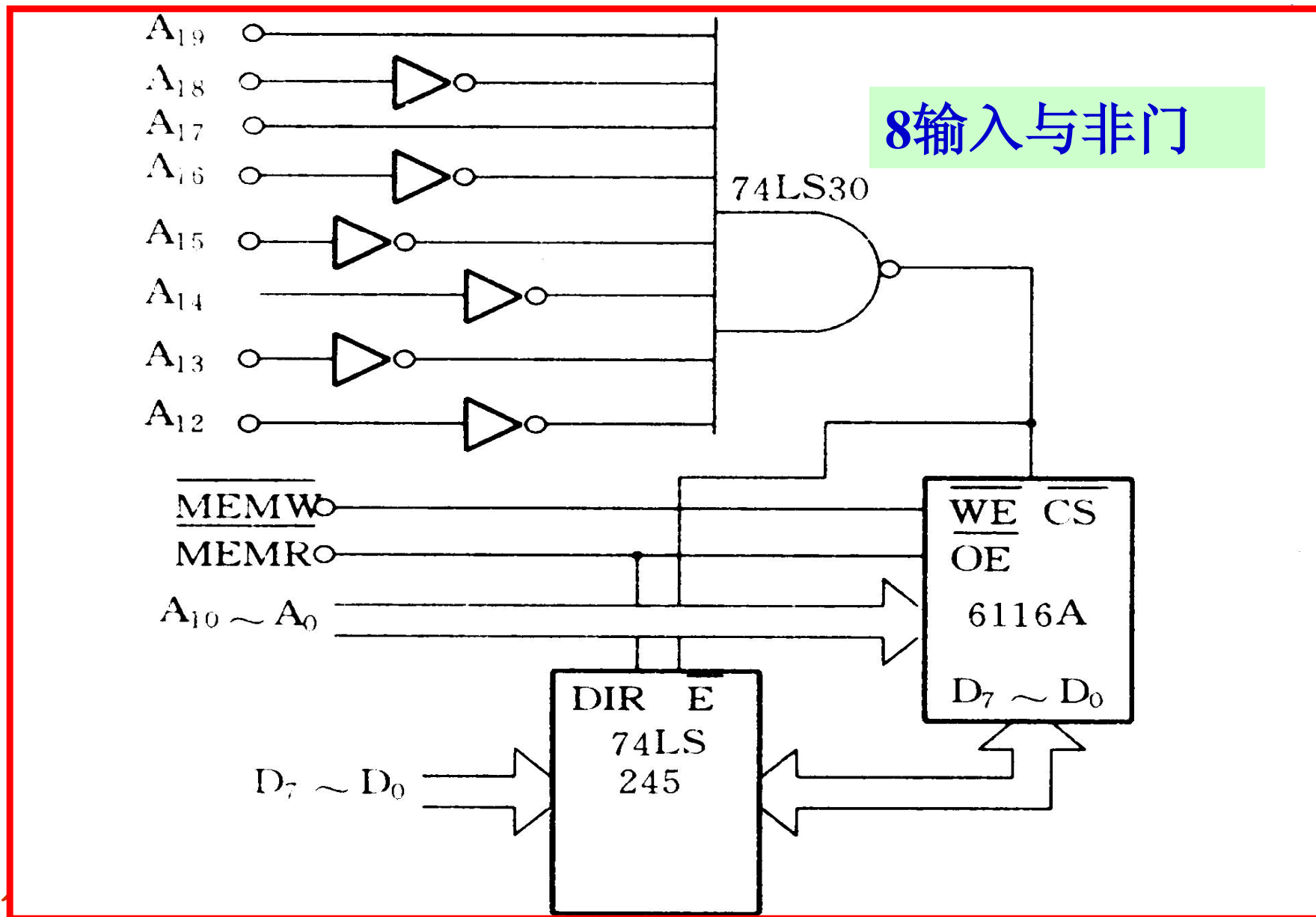
0x00 010

0x00 011

问题: 如果A18不参加译码, 结果如何?



# 存储器连接举例(P253)





## 存储器连接举例

74LS30为8输入与非门

6116: A0~A10(2K)

地址: 1010 0000 0000 0000 0000

~1010 0000 X111 1111 1111

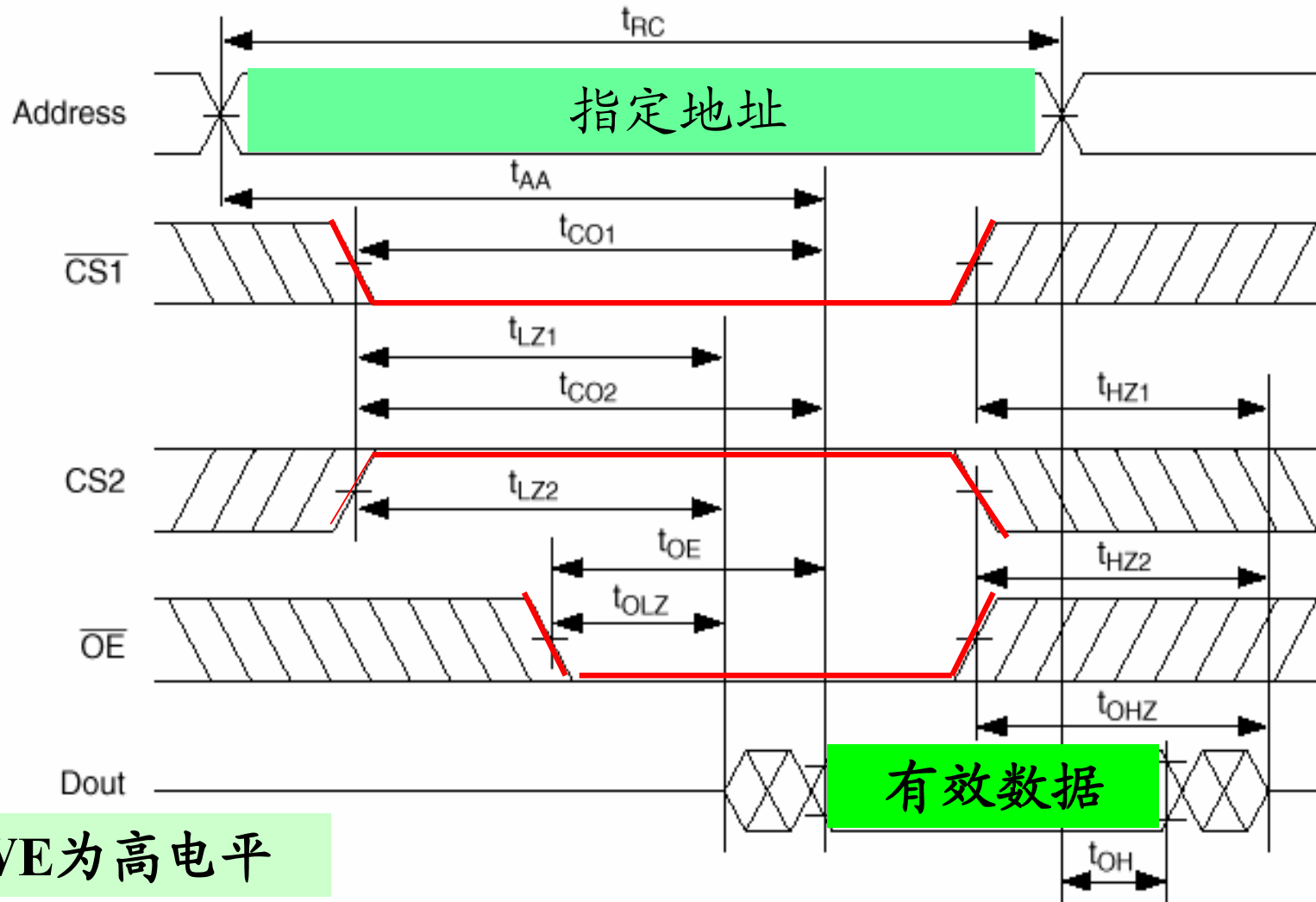
A0000~A07FFH (地址重叠区:

A0800~A0FFFH: 原因A11未参加译码)。

与逻辑:  $y = !(A19 \& (!A18) \& A17 \& (!A16) \& (!A15) \& (!A14) \& (!A13) \& (!A12))$  (无A11)



# 存储器读时序图



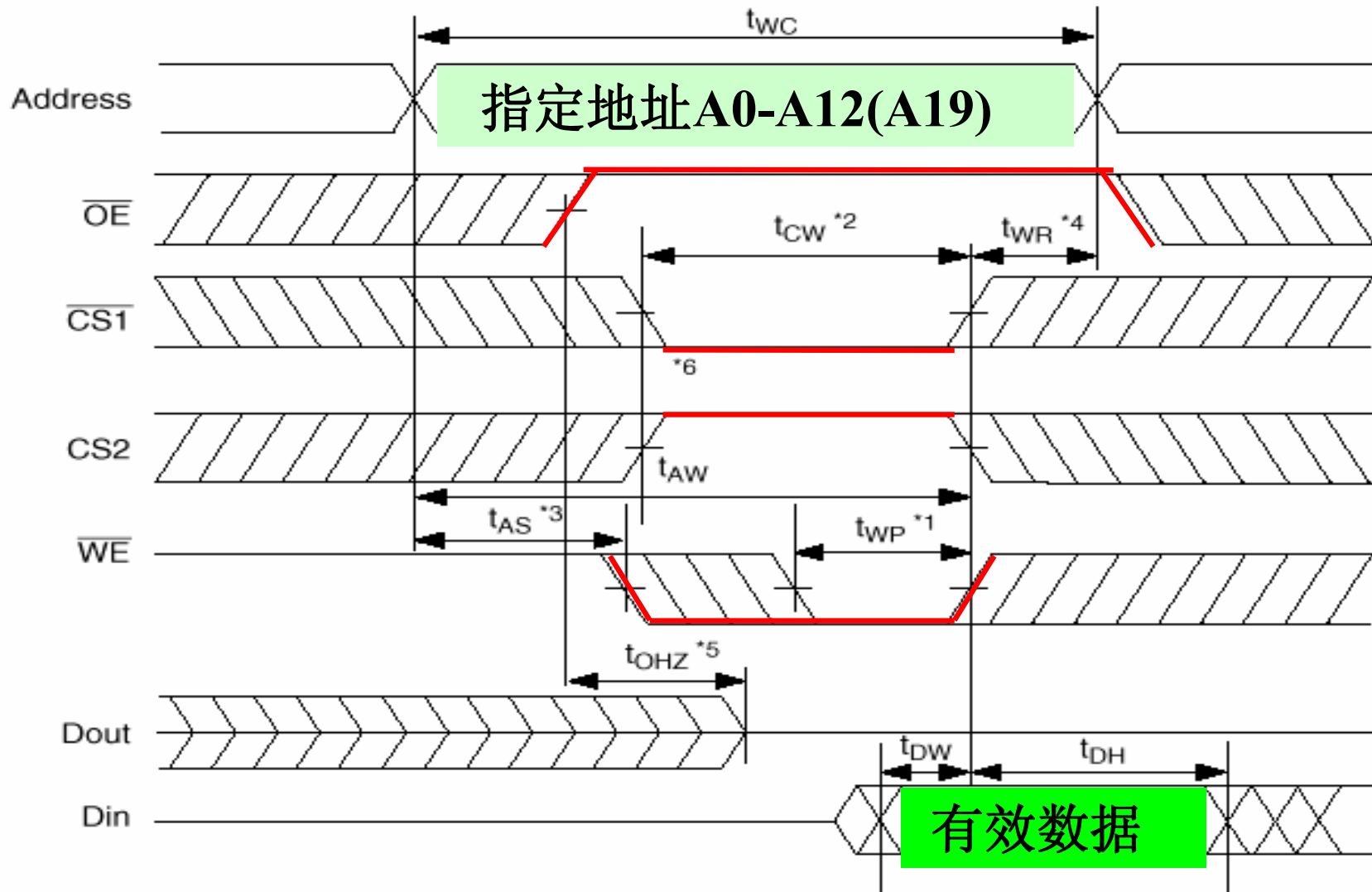
**$\overline{WE}$ 为高电平**

Note:  $\overline{WE}$  is high for read cycle.



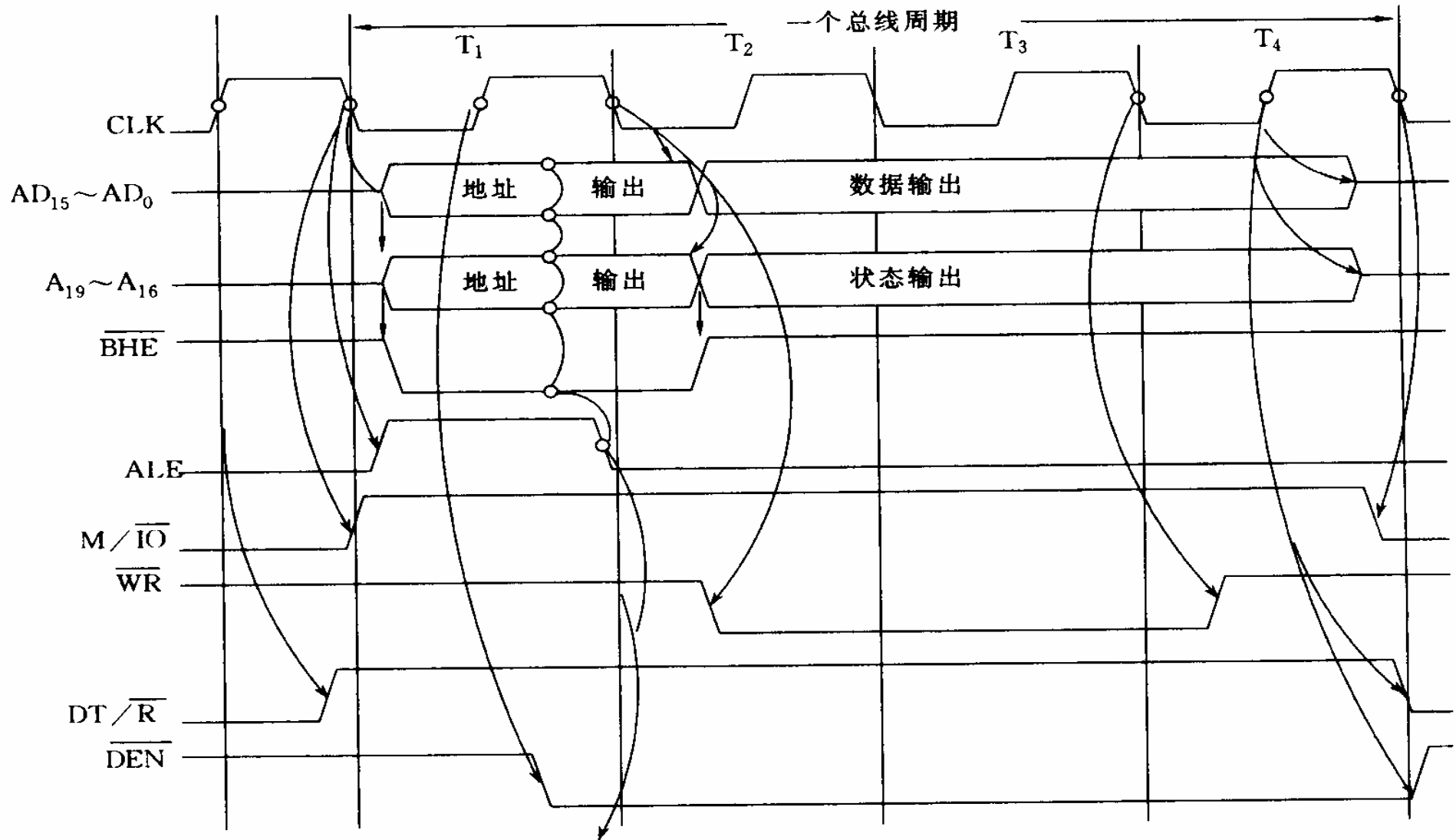


# 存储器写时序图





# 8086/8088时序例 - 存储器写



**T1: 输出地址; T2: 总线转向; T3: 存储器访问; T4: 结束**



# 存储器应用小结

## 存储器芯片选择:

类型、容量、速度 (R/W)、带载能力、功耗

- 1、类型选择
- 2、容量: 计算, 组合; 片内 A0~AX, 片选
- 3、存取时间与时序配合



## 存储器应用小结（续）

存储器连接要求:

1. 对给定芯片容量和规格, 在规定的地址范围 (地址总线信号AB), 设计出正确的译码电路;

2. 对给定电路原理图, 读懂电路原理, 写出芯片译码信号 (地址范围)

• 关键: 根据容量确定片内译码所需地址线 (A0-Ax); 根据高位地址写出译码电路的逻辑关系或列表:

• 上例: 已知6116 (2K): A0~A10

地址: 1010 0000 0 000 0000 0000      A0000H 或 A0800H 到  
~1010 0000 X 111 1111 1111      A07FFH 或 A0FFFH

(地址有重叠, 原因A11未参加译码, x=0或=1对应相同地址)。