

研发、设计、测试

## 多核多线程处理器二级Cache预取结构的设计

杨可, 樊晓桠, 王党辉

西北工业大学 航空微电子中心, 西安 710072

收稿日期 2008-9-19 修回日期 2008-12-2 网络版发布日期 2009-3-26 接受日期

**摘要** 合理的设计二级Cache是有效地减少多核多线程处理器存储器访问延迟的方法。针对现有的多核多线程处理器, 讨论了二级Cache的混合预取结构设计方案。通过详细设计和仿真分析, 结果表明混合预取结构可有效提高处理器的整体性能。特别是采用不命中混合预取结构的二级Cache性能更佳, 适合满足此类结构的多核多线程处理器需求。

**关键词** [混合预取](#) [多核多线程](#) [二级Cache](#) [命中率](#)

分类号

## Prefetch structure of L2 Cache for multi-core multi-thread processor

YANG Ke, FAN Xiao-ya, WANG Dang-hui

Aviation Microelectronic Center, Northwestern Polytechnical University, Xi'an 710072, China

### Abstract

The effective way of reducing memory accessing delay of the multi-core multi-thread processor is to design L2 Cache reasonable. This paper aims at the present multi-core multi-thread processor, then discusses the design project of mixed-prefetch structure of L2 Cache. By particular design and simulation analyses, it indicates that mixed-prefetch structure can improve the performance of processor remarkably. Furthermore, mixed-prefetch structure with prefetch under miss strategy suits the multi-core multi-thread processor much better, which meets the requirement of the multi-core multi-thread processor with this structure.

**Key words** [mixed-prefetch](#) [multi-core multi-thread](#) [L2 Cache](#) [hit ratio](#)

DOI: 10.3778/j.issn.1002-8331.2009.10.021

通讯作者 杨可 [yangkenwpu@163.com](mailto:yangkenwpu@163.com)

### 扩展功能

#### 本文信息

▶ [Supporting info](#)

▶ [PDF\(641KB\)](#)

▶ [\[HTML全文\]\(0KB\)](#)

▶ [参考文献](#)

#### 服务与反馈

▶ [把本文推荐给朋友](#)

▶ [加入我的书架](#)

▶ [加入引用管理器](#)

▶ [复制索引](#)

▶ [Email Alert](#)

▶ [文章反馈](#)

▶ [浏览反馈信息](#)

#### 相关信息

▶ [本刊中包含“混合预取”的相关文章](#)

▶ [本文作者相关文章](#)

- [杨可](#)
- [樊晓桠](#)
- [王党辉](#)